

# 基于 FPGA 的高速率高性能 64APSK 调制器的设计

王剑飞<sup>1</sup>, 谌明<sup>1</sup>, 罗霞<sup>1</sup>, 杨成武<sup>1</sup>, 郭航<sup>1,2</sup>

(1 北京遥测技术研究所 北京 100076;

2 哈尔滨工业大学电子与信息工程学院 哈尔滨 150001)

**摘要:** 随着卫星通信技术的高速发展, 星地传输数据量不断增加, 对信号传输速率及传输质量的需求不断提升。在传统调制器中, 由于 DAC (Digital-to-Analog Converter, 数模转换器) 采样率、成型滤波技术等多种因素的限制, 其设计多采用低阶调制, 使得信号传输速率低, 无法满足未来高速传输的需要。因此, 本文提出一种传输速率连续可变的 16 路并行成型滤波技术, 该技术采用 64APSK (Amplitude Phase Shift Keying, 振幅相位键控) 的调制方式, 实现调制数据的高速传输。经实验验证, 该技术基于现有硬件平台, 可在 4.8 GHz 的 DAC 采样率下, 实现 7.2 Gbps 码率数据传输, 且 EVM (Error Vector Magnitude, 误差矢量幅度) 低至 2.029 9%。相比于现有的 8PSK、16APSK、32APSK 等高速并行调制器架构, 该技术具有传输速率高、信号质量好、资源消耗占比低等优点, 对未来超 10 Gbps 数据传输系统设计具有参考意义。

**关键词:** 64APSK; 调制器; 并行成型滤波技术; EVM

中图分类号: V556.1; TN953

文献标志码: A

文章编号: 2095-1000(2025)05-0134-08

DOI: 10.12347/j.ycyk.20250402001

CSTR: 32406.14.ycyk.20250402001

引用格式: 王剑飞, 谌明, 罗霞, 等. 基于 FPGA 的高速率高性能 64APSK 调制器的设计[J]. 遥测遥控, 2025, 46(5): 134-141.

## The Design of A High-Speed and High-Performance 64 APSK Modulator Based on FPGA

WANG Jianfei<sup>1</sup>, SHEN Ming<sup>1</sup>, LUO Xia<sup>1</sup>, YANG Chengwu<sup>1</sup>, GUO Hang<sup>1,2</sup>

(1. Beijing Research Institute of Telemetry, Beijing 100076, China;

2. College of Electronics and Information Engineering, Harbin Institute of Technology, Harbin 150001, China)

**Abstract:** With the rapid development of satellite communication technology, the volume of data transmitted between satellites and ground stations continues to increase, driving higher demands for signal transmission rates and quality. In traditional modulators, due to limitations such as DAC(Digital-to-Analog Converter)sampling rates and shaping filter technologies, low-order modulation is often adopted, resulting in lower signal transmission rates that cannot meet the requirements of future high-speed transmission. Therefore, a 16-channel parallel shaping filter technology with a continuously variable transmission rate is proposed in this paper. This technology employs 64APSK(Amplitude Phase Shift Keying)modulation to achieve high-speed data transmission. Experimental results show that, based on the existing hardware platform, data transmission at a rate of 7.2 Gbps is achieved with a 4.8 GHz DAC sampling rate, and the EVM (Error Vector Magnitude)is as low as 2.029 9%. Compared to the original high-speed modulator architecture, this technology offers advantages such as high transmission rates, good signal quality, and low resource consumption, making it a valuable reference for the design of future systems for data transmission exceeding 10 Gbps.

**Keywords:** 64 APSK; Modulator; Parallel shaping filter technology; EVM

**Citation:** WANG Jianfei, SHEN Ming, LUO Xia, et al. The Design of A High-Speed and High-Performance 64 APSK Modulator Based on FPGA[J]. Journal of Telemetry, Tracking and Command, 2025, 46(5): 134-141.

## 0 引言

高速数据传输技术是卫星通信领域的关键技

术之一<sup>[1-4]</sup>。随着信息和数字技术的发展, 人们对信息传输速率的要求越来越高, 这些技术的发展建立在大容量、高速率数据传输的基础上, 同时

对通信系统的性能提出了更高的要求。为了满足未来更大的数据传输带宽和更快的传输速率，需要研究一种更加高效和稳定的高速卫星数据传输技术。

传统卫星通信常采用BPSK(Binary Phase Shift Keying, 二进制相移键控), QPSK(Quadrature Phase Shift Keying, 正交相移键控), 8 PSK(8-Phase Shift Keying, 八相相移键控)等低阶调制方式, 其在信号解调中对滤波、均衡、定时同步、载波同步算法精度以及信噪比的要求低<sup>[5-9]</sup>。然而, 随着传输速率的提高, 其信号占用带宽激增、传输效率低下<sup>[10]</sup>。因此, 使用16 APSK、16 QAM(Quadrature Amplitude Modulation, 正交幅度调制)等高阶调制方式, 能够提高频谱利用率、降低采样率、减少信道及模拟器件失真带来的影响<sup>[11-14]</sup>。由于高阶QAM信号的星座图呈现方形排列, 幅度半径过多, 解调处理复杂, 不适合于实际应用; 而APSK信号的星座点成环形排列, 幅度半径小<sup>[15]</sup>, 因此选用APSK调制体制有助于降低解调端的处理难度, 提高信号传输性能。

为改善信号传输质量, 在调制端采用并行成型滤波技术, 通过增加并行路数, 提高信号传输速率。由于成型滤波器的设计与信号的符号速率及采样率有着严格的倍数关系, 因此, 文献[16]在频率受限的情况下, 采用8路并行, 4倍内插的方法设计了并行成型滤波模块, 提高了传输速率, 但该文献理论最大速率仅有3.2 Gbps, 缺乏实验验证。文献[17]完成了8 PSK调制端的设计, 其并行成型滤波器采用2倍符号速率采样的方式, 实现了2.1 Gbps的数据传输速率, 且EVM(Error Vector Magnitude, 误差矢量幅度)值达到10.3%, 但其调制体制低、EVM高, 使其信号传输质量无法达到实际应用需求。在文献[18]中, 其采用直接并行数字内插成型滤波技术, 实现了40 Mbps~300 Mbps可变速率调制器, 其传输速率低, 无法满足卫星高速数据传输的需求。文献[17]使用两个基于8FFT(Fast Fourier Transform, 快速傅里叶变换)算法代替并行频域滤波器中的DFT(Discrete Fourier Transform, 离散傅里叶变换)/IDFT(Inverse Discrete Fourier Transform, 逆离散傅里叶变换)算法, 采用4路并行的传输方式, 传输速率可达600 Mbps, 其复杂度高, 并行路数低, 有很大提升空间。文献[19]基于FPGA平台, 采用内插FIR多相滤波方法,

实现高达2.5 Gbps的数据传输速率, 但速率仍不满足当前星地数据传输的需求。

为满足未来星地数据的高速传输, 基于上述文献研究, 本文提出了一种速率连续可变的16路并行成型滤波技术, 该技术使用64APSK的调制方式, 实现调制数据的高速传输。该技术基于现有硬件平台, 可在4.8 GHz的DAC采样率下, 实现7.2 Gbps码率数据传输, 且EVM低至2.029 9%, 具有传输速率高、信号质量好、资源消耗低等优点。

## 1 64APSK调制器的基本模型

在星地高速数传系统中, 调制是关键技术之一, 其主要目的是将原始信号转换为适合信道传输的形式, 使其能够有效承载高速数据。

64APSK<sup>[20-22]</sup>调制信号可以表示为:

$$s(t) = a(t)g(t - nT_s)\cos(2\pi f_c t + \varphi_n) \quad (1)$$

式中:  $g(t)$ 表示幅度归一化的基带矩形信号,  $a(t)$ 表示信号幅度,  $T_s$ 表示码元周期,  $f_c$ 表示载波频率,  $\varphi_n$ 表示第 $n$ 个码元所对应的载波相位。

将上式展开可以得到:

$$\begin{aligned} s(t) &= I(t)\cos(2\pi f_c t) + Q(t)\sin(2\pi f_c t) \\ I(t) &= a(t)g(t - nT_s)\cos(\varphi_n) \\ Q(t) &= -a(t)g(t - nT_s)\sin(\varphi_n) \end{aligned} \quad (2)$$

由式(2)可知, 可以先由64APSK的星座图求出两路独立的波形 $I(t)$ 、 $Q(t)$ , 然后与两个正交的本地载波信号 $\cos(2\pi f_c t)$ 和 $\sin(2\pi f_c t)$ 相乘, 最后将两路信号相加可得到调制信号, 这种调制方法为正交调制法。正交调制法的实现框图, 如图1所示: 输入信息首先经过串并转换为不同的码元, 然后经星座映射得到 $I$ 、 $Q$ 两路信号, 其中 $I$ 为同相支路,  $Q$ 为正交支路; 对 $I$ 、 $Q$ 两路信号分别进行成型滤波和插值滤波处理, 之后将两路信号与中频载波相乘, 将 $I$ 、 $Q$ 两路信号相加后得到中频调制信号, 最后经过放大器进行数据输出。

## 2 64APSK星座图模型

64APSK星座图是 $M$ 个星座点排列在多个同心圆环上, 在每个圆环上星座点呈PSK方式排列。本文采用DVB\_S2中64APSK星座点的排列方式, 即星座点的分布为4 + 12 + 20 + 28, 内外圈半径比为1 : 2.4 : 4.3 : 7; 最内圈4个星座点呈QPSK形式排列, 第2圈、第3圈和第4圈分别有12个星座

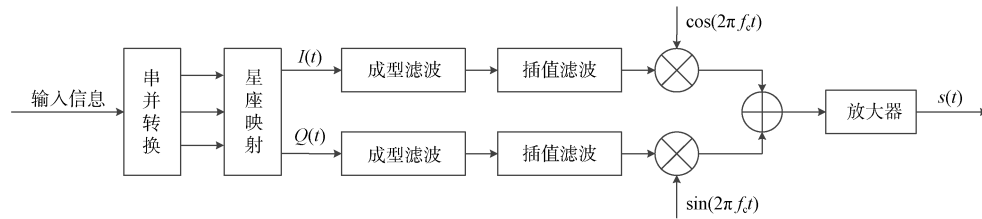


图1 正交调制原理框图

Fig. 1 Block diagram of orthogonal modulation principle

点、20个星座点和28个星座点。星座点构成的信号集C可以表示为:

$$C_M = R_k \exp(j \cdot (\frac{2\pi}{n_k} i_k + \theta_k)) \quad (3)$$

其中,  $R_k$  表示圆环的半径,  $\theta_k$  表示星座点的相位,  $n_k$  表示对应圆环上的星座点数量,  $i_k$  表示该圆环上的星座点序号。其中:

$$\sum_{j=0}^k n_j = M, i_k = 0, 1, \dots, n_k - 1 \quad (4)$$

依照上述映射关系, 搭建64APSK高阶调制模型, 得到仿真后的星座图如图2所示:

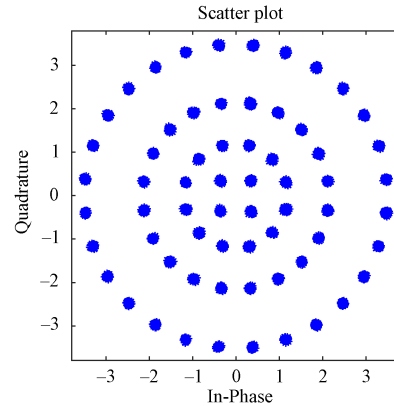


图2 64 APSPK星座图仿真结果

Fig. 2 Simulation results of the 64 APSPK constellation diagram

### 3 并行成型滤波的设计实现

本文提出一种符号速率连续可变的并行成型滤波方法。具体实现为: 将16路并行信号进行4倍内插处理, 其符号速率由  $R_s$  变为  $4R_s$  的信号经并行成型滤波器处理后存储在FIFO(First In, First Out, 先进先出)中。其在DAC的采样率下对NCO

(Numerically Controlled Oscillator, 指数控振荡器)进行控制计算得到码钟, 后根据码钟读取FIFO中的数据并更新, 通过查表法得到16路滤波器的系数。最后将滤波后的数据与滤波器系数相乘累加得到16路的并行数据输出, 如图3所示。

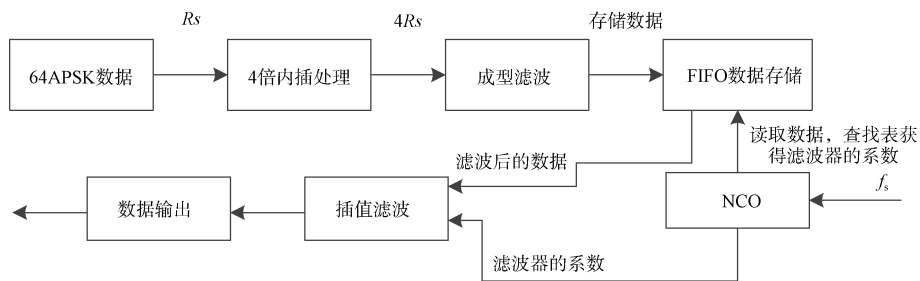


图3 并行成型滤波实现框图

Fig. 3 Block diagram of parallel shaping filter implementation

假设  $x(k)$  为4倍内插处理后的数据,  $h(n)$  为成型滤波器的系数,  $y(k)$  为  $x(k)$  经成型滤波后得到的数据, 具体实现为:

$$y(k) = x(k) \times h(n) \quad (5)$$

本方法使用并行16路设计实现, 因此  $y(k)$  数据可一次按顺序写入16个, 且遵循FIFO规则。当下一轮次的16个数据到来时, 重复上述操作, 后

面的符号依次写入FIFO, 若最后一轮数据未写满全部FIFO, 则进行补0处理。

数字NCO在DAC采样率的控制下, 产生符号速率为  $4R_s$  的并行码钟。实现公式如下:

$$Frqecny_i(n) = Frqecny_{i-1}(M) + n \frac{4R_s}{f_s} \cdot 2^N \quad (6)$$

其中,  $n$  表示当前路数,  $M$  表示并行路数,  $t$  表示

当前时刻,  $t-1$  表示前一时刻,  $N$  表示控制字的精度大小。若累加结果与上一次相比最高位产生了进位, 则此路产生了相对应的码钟, 其他路码钟的产生亦是如此。

以此码钟为基础读取 FIFO 中经过成型滤波后的数据, 计算得到 NCO 控制字, 对其累加得到相应的地址。根据该地址去 ROM(Read-Only Memory, 只读存储器)表中查找滤波器的系数  $h_i(n)$ , 使用该滤波器系数对成型后的数据  $y_i(k)$  作相应的滤波处理, 即可得到  $f_s$  采样率下连续的数据输出。

### 4 64APSK 的 FPGA 实现

如图 4 所示, 本文实现了 64APSK 高速调制器的设计。FPGA 调制端的设计如下<sup>[23-26]</sup>: 信号源可选择固定帧随机数, PN 伪随机码、顺序数等, 并可根据实际需求选择是否加扰(包括编码前加扰, 编码后加扰两种加解扰方式), 之后采用 16 路并行传输进行码型变换、64APSK 调制、星座映射、成型滤波以及插值处理, 最后进行载波混频、加噪等操作实现数据的输出。

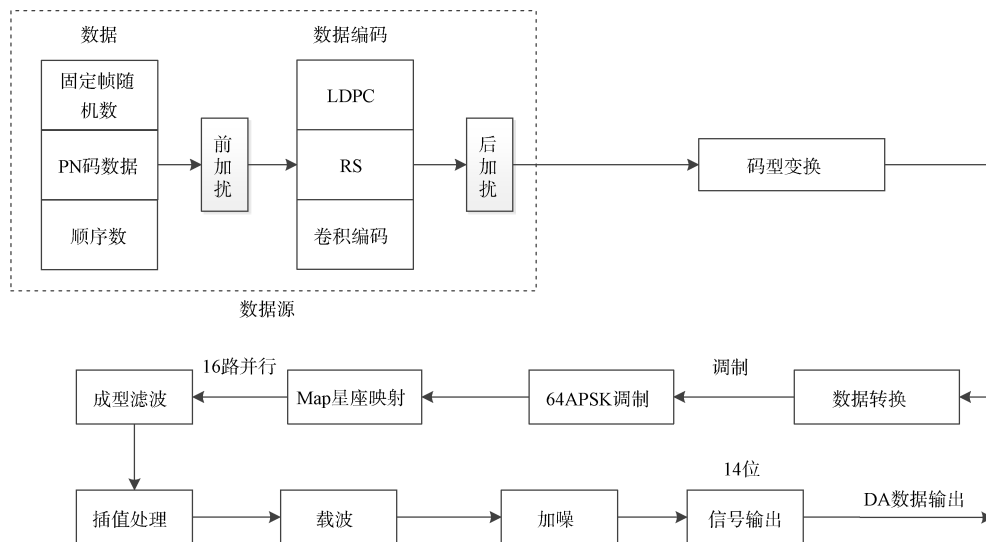


图 4 基于FPGA的64APSK调制端的设计

Fig. 4 Design of the 64APSK modulator based on FPGA

首先完成 64APSK 数据的产生与变换, 对码型变换后的 16 bit 数据进行拆分重组, 输出为 96 bit 的数据, 并对该数据进行每间隔 6 个点数的抽取, 生成 64APSK 星座点的符号。

由于 64APSK 星座图共有 64 个点, 每 6bit 符号映射为 1 个点, 分别对每路数据的相同位置进行取值, 组成 64APSK 映射的 6 bit 数据。第一象限有 16 个点, 具有 16 种不同的幅值, 用 AmpCoe\_1P 到 AmpCoe\_16P 表示, 负幅值关于 X 轴对称, 用 AmpCoe\_1N 到 AmpCoe\_16N 表示。

随机抓取一个时钟的数据进行分析, 如表 1、表 2 所示。其中, DataIn\_I、DataIn\_Q、DataIn\_X、DataIn\_Y、DataIn\_Z、DataIn\_W 表示输入的比特数据, PData\_I、PData\_Q 表示映射完成后输出的幅值大小, 为 14 位无符号整数。本设计实现 16 路并行传输, 现以其中一组数据为例: 输入的数据为

表 1 64APSK 映射模块的输入

Table 1 64APSK mapping module input

参数定义	输入数据 1~16 路
DataIn_I[15:0]	0011000010001000
DataIn_Q[15:0]	0000100101110100
DataIn_X[15:0]	10001011100001010
DataIn_Y[15:0]	11110011100001001
DataIn_Z[15:0]	0000000000111000
DataIn_W[15:0]	0010000101001000

表 2 64APSK 映射模块的输出

Table 2 64APSK mapping module output

参数定义	IQ 输出幅值大小: 1~16 路并行输出
PData_I	827, 917, 792, 792, 5 004, 5 792, 827, 3 052, 817, 4 359, -4 360, -4 360, -818, 4 359, 8 140, 917
PData_Q	827, 8 140, -5 005, 5 004, 792, 5 792, 827, -818, 3 052, -6 937, 6 936, 6 936, -3 053, 6 936, 917, 8 140

001100、000100、100101、100100、011000, 其对应64APSK星座图上的坐标为: (827, 827)、(917, 8140), (792, -5005)、(792, 5004)、(5004, 792), 与理论值结果一致。

64APSK映射后的16路并行I、Q数据中, I路数据对应星座点的实部, Q路数据对应星座点的虚部, 因此星座图上的坐标可以表示为(I, Q)。对64APSK调制后FPGA板卡产生的数据进行存储, 并用MATLAB对该数据进行分析, 绘图结果如图5所示, 在基带完成下变频后, 可以完整地恢复出64APSK调制信号。

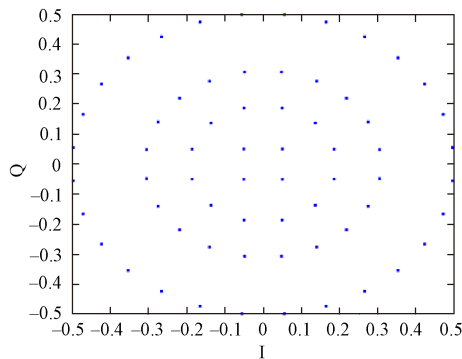


图5 FPGA产生的64APSK信号  
Fig. 5 64APSK signal generated by FPGA

### 5 64APSK调制端的验证

本文选用Xilinx公司研制生产的V7690 FPGA芯片, 具有现场可编程特性。中频频率为1.2 GHz, 调制体制为64APSK, 软件参数管理界面主要参数如下:

- ①中心频率: 1 200 MHz可调;

②调制体制: 支持BPSK、QPSK、SQPSK、8 PSK、16 APSK、16 QAM、32 APSK、64 APSK等多种调制体制;

③成型滤波: 平方根升余弦滤波器, 成型滤波系数0.1~1;

④编码方式: 卷积编码、RS编码、卷积+RS级联编码、LDPC编码等多种编译码方式;

⑤码率设置: 30 Mbps~7 200 Mbps可选择, 且速率逐比特可调。

对软件参数进行设置后, 观察输出的64APSK信号频谱图, 如图6所示。可以发现, 对于调制生成的符号速率为100 Msym/s, 总码率为600 Mbps的64APSK信号, 当成型因子选择0.35时, 其信号带宽为135 MHz, 频谱均匀分布于中频1.2 GHz的两侧, 频谱起始频率为1.131 40 GHz, 频谱结束频率为1.269 46 GHz, 带宽的实际大小为(1.269 46 GHz - 1.131 40 GHz)=0.138 06 GHz, 与理论值差2.26%。

为验证64APSK调制传输信号的最大码率与信号质量, 使用信号分析器对信号进行分析验证, 实物连接如图7所示。高速基带信号处理板生成并发送调制信号, 使用信号分析器进行解调处理。

对于符号速率为400 Msym/s、总码率2.4 Gbps的64APSK信号, 观察信号分析器的64APSK星座图解调结果如图8所示, 发现未经成型滤波处理的64APSK星座图分辨不清晰, 具有严重的码间串扰, EVM值为6.626 5%; 采用本文的方法进行成型滤波处理后的64APSK星座图收敛清晰明显如图9所示, EVM值为1.123 5%, 信号质量变好。对于符号速率为1 200 Msym/s, 总码率7.2 Gbps的64APSK信号, 如图10和11所示, 成型滤波前的EVM值为7.865 8%, 成型滤波处理后的EVM值为2.029 9%, 且星座点

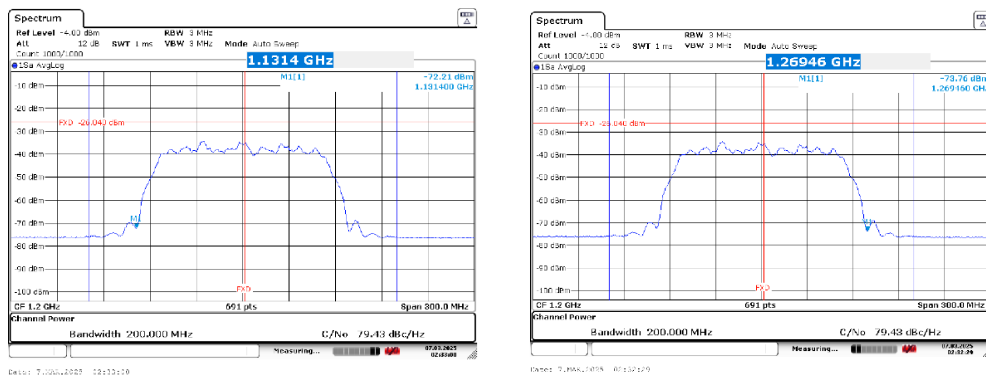


图6 64APSK频谱图(成型滤波因子选择0.35)  
Fig. 6 64APSK spectrum (shaping filter factor selected as 0.35)

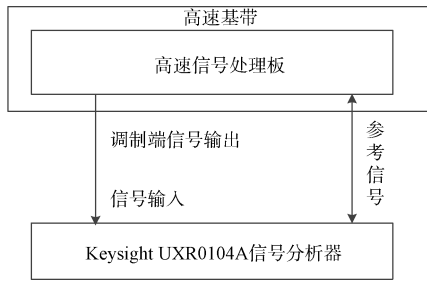


图 7 APSC 调制端验证连接图

Fig. 7 APSC modulation end verification connection diagram

分布清晰, 本文速率连续可变的 16 路高速并行成型滤波技术, 可以大幅度提高信号质量, 改善星座点间的分辨能力, 减少码间串扰。但是在相同条件下, 随着调制信号码速率的增加, 信号质量变差, 但依旧满足实际需求。

### 6 FPGA 资源消耗情况

FPGA 资源消耗情况如表 3 所示。可以发现, 本文提出的设计算法具有较低的资源占比(资源消耗包括 8 种调制体制及各种编译码模块)。其中, 主要的逻辑资源 LUT(Look up Table, 查找表)只占用了 17.61%, 存储器 LUTRAM(Look up Table RAM, 查找表随机存储器)资源占用了 0.22%, DSP(Digi-

表 3 FPGA 资源消耗情况

Table 3 FPGA resource consumption status

资源类型	占用资源数	资源总数	资源占比
LUT	304 338	1 728 000	17.61%
LUTRAM	1 775	791 040	0.22%
DSP	2 114	12 288	17.20%

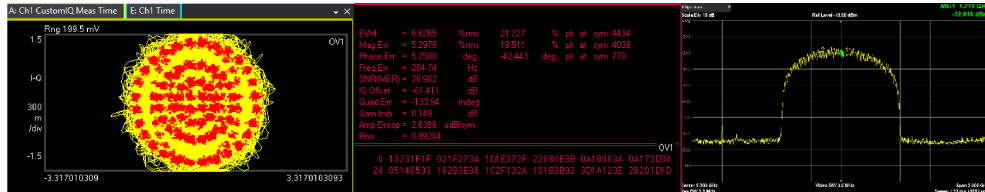


图 8 未经成型滤波的 64APSK 信号分析图(2.4 Gbps)

Fig. 8 Analysis diagram of 64APSK signal without shaping filter (2.4 Gbps)

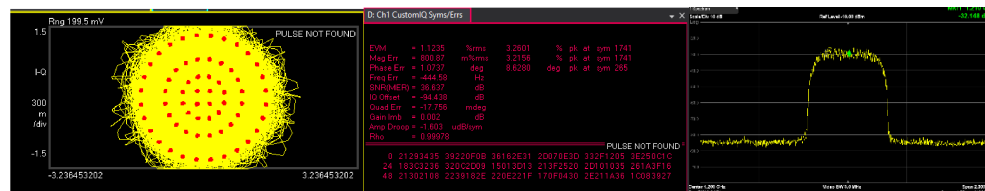


图 9 成型滤波后的 64APSK 信号分析图(2.4 Gbps)

Fig. 9 Analysis diagram of 64APSK signal after shaping filter (2.4 Gbps)

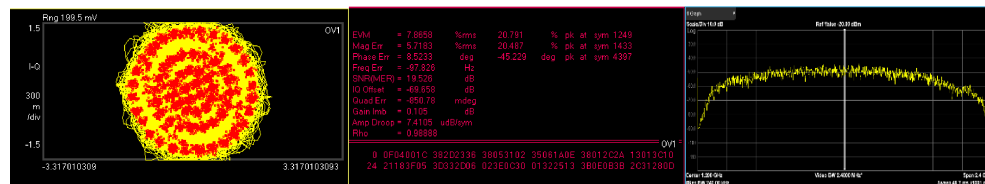


图 10 未经成型滤波的 64APSK 信号分析图(7.2Gbps)

Fig. 10 Analysis diagram of 64APSK signal before shaping filter (7.2Gbps)

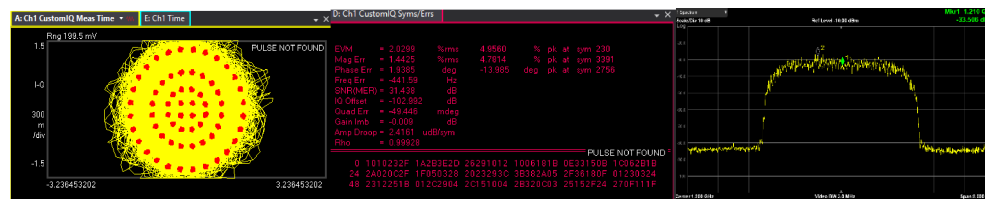


图 11 成型滤波后的 64APSK 信号分析图(7.2Gbps)

Fig. 11 Analysis diagram of 64APSK signal after shaping filter (7.2Gbps)

tal Signal Processor, 数字信号处理器)乘法器资源占用了17.25%, 该方法节省的资源消耗, 可用于进行其他功能的扩展。

## 7 结论

本文基于FPGA平台, 提出了一种速率连续可变的16路高速并行成型滤波技术, 并完成了64APSK高阶调制器的设计。实验结果表明, 本文所提出的技术在4.8 GHz的DAC采样率下, 能够实现码率高达7.2 Gbps的数据传输, 且信号EVM值仅有2.029 9%。相比于8PSK、16APSK、32APSK等调制器, 本文所设计的16路并行64APSK调制器的传输速率具有很大的提升, 信号质量更优, 资源消耗占比低, 为其他模块的扩展提供了资源空间。然而, 由于硬件条件受限, 且本调制器能达到的最大总码率受限于DAC芯片的采样率等因素, 使其无法达到理论最大值。后续通过更换采样率更高的芯片, 如采样率为6.4 GHz的芯片, 可达到最大为9.6 Gbps的传输速率。本文所提出的速率连续可变的16路高速并行成型滤波技术对未来超10 Gbps数据传输系统设计具有很大的参考意义。

### 参考文献

- [1] 郝才勇, 骆超, 刘恒. 卫星通信近期发展综述[J]. 电子技术应用. 2016, 42(8): 11-15.  
HAO Caiyong, LUO Chao, LIU Heng. A survey of recent developments of satellite communications[J]. Application of Electronic Technique, 2016, 42(8): 11-15, 20.
- [2] GRAMLING J, CHRISSOTIMOS N. Three generations of NASA's tracking and data relay satellite system[C]//Space Ops 2008 Conference. New York: IEEE, 2008: 3313.
- [3] FANG Y H, WANG X D, SHI Q X, et al. Review of space China launch activities of various countries in 2015 [J]. Aerospace, 2016, 26(3): 33-37.
- [4] WANG S. "Classification and Recognition of 6G Space-Ground Integrated Network Modulation Modes," 2023 5th International Conference on Applied Machine Learning (ICAML), Dalian, China, 2023: 26-35.
- [5] 刘景元, 王磊, 王宪平. 用并行内插算法恢复宽带信号的定时信息[J]. 电讯技术, 2017, 57(8): 963-966.  
LIU Jingyuan, WANG Lei, WANG Xianping. A parallel interpolation scheme for wideband signal timing recovery [J]. Telecommunication Engineering, 2017, 57(8): 963-966.
- [6] 郭业才, 万逸儒, 吴星, 等. 高阶调制信号发生器可变参数基带模块设计[J]. 实验室研究与探索, 2018, 37(4): 53-58.  
GUO Y C, WAN Y R, WU X, et al. Design of a baseband module with variable parameters for high-order modulation signal generators[J]. Research and Exploration in Laboratory, 2018, 37(4): 53-58.
- [7] 薛晓男, 李增红. 200 MHz带宽基带信号发生器的设计与实现[J]. 国外电子测量技术, 2017, 36(10): 69-72.  
XUE X N, LI Z H. Design and implementation of a 200 MHz bandwidth baseband signal generator[J]. Foreign Electronic Measurement Technology, 2017, 36(10): 69-72.
- [8] PILATO L, MEONI G, FANUCCI L. Design and quantization limits of root raised cosine digital filter[C]//2017 3rd International Conference on Frontiers of Signal Processing (ICFSP). Paris: IEEE, 2017: 59-62. DOI:10.1109/ICFSP.2017.8097061.
- [9] OPROIU E M, IORDACHE M, PATACHIA C, et al. Development and implementation of a smart city use case in a 5G mobile network's operator[C]//2017 Telecommunication Forum (TELFOR). Belgrade, Serbia: IEEE, 2017: 1-4.
- [10] KOIZUMI Y, SUZUKI Y, KOJIMA K, et al. Development of transmitter and receiver with set partitioning 64APSK coded modulation designed on basis of channel capacity[J]. IEEE Transactions on Broadcasting, 2022, 68(3): 753-764.
- [11] ZHAO X, ZHANG X, LIU Y. The digital baseband shaping filter based on Gaussian filter[C]//2015 International Conference on Information and Communications Technologies (ICT 2015). Xi'an, China: IEEE, 2015: 1-5.
- [12] HE Z, LIN F. Design of signal shaping filter based on distributed algorithm[C]//2021 IEEE 4th Advanced Information Management, Communicates, Electronic and Automation Control Conference (IMCEC). Chongqing: IEEE, 2021: 1619-1622. DOI: 10.1109/IMCEC51613.2021.9482131.
- [13] CHATTOPADHYAY S, SANYAL S K. The effect of Gaussian pulse-shaping filter roll-off factor on the performance of QPSK modulated system[C]//2009 International Symposium on Signals, Circuits and Systems (ISSCS). Iasi: IEEE, 2009: 1-4. DOI: 10.1109/ISSCS.2009.5206186.
- [14] 李作坤, 潘亚汉, 尚斌. 高效调制技术在航空卫星宽带通信传输系统中的应用研究[J]. 通信技术, 2015, 48(5): 530-535.

- LI Z K, PAN Y H, SHANG B. Research on application of high-efficiency modulation technology in aeronautical satellite broadband communication transmission systems[J]. Communications Technology, 2015, 48(5): 530-535.
- [15] 李超, 赵超, 崔锋, 等. 16APSK 在高速数传系统中的应用分析[J]. 无线电通信技术, 2025, 51(1): 177-186.  
LI Chao, ZHAO Chao, CUI Feng, et al. Application analysis of 16 APSK in high-speed data transmission system[J]. Radio Communications Technology, 2025, 51(1): 177-186.
- [16] 李然, 王建新. 高速并行调制器的设计与实现[J]. 电子设计工程, 2017, 25(13): 99-103. DOI: 10.14022/j.cnki.1674-6236.2017.13.025.  
LI R, WANG J X. Design and implementation of high-speed parallel modulator[J]. Electronic Design Engineering, 2017, 25(13): 99-103. DOI: 10.14022/j.cnki.1674-6236.2017.13.025.
- [17] 胡西阁, 张伟, 王瑞, 等. 高速并行 2 倍符号速率采样数字成形滤波实现及分析[J]. 空间电子技术, 2020, 17(5): 40-44.  
HU X G, ZHANG W, WANG R, et al. Implementation and analysis of high-speed parallel  $2\times$  symbol rate sampling digital shaping filter[J]. Space Electronic Technology, 2020, 17(5): 40-44.
- [18] 王战强, 王大庆. 高速通信 QPSK 数字调制器设计与实现[J]. 空间电子技术, 2015, 12(6): 50-57.  
WANG Z Q, WANG D Q. Design and implementation of high-speed communication QPSK digital modulator[J]. Space Electronic Technology, 2015, 12(6): 50-57.
- [19] 魏刚冬, 李浩坤, 周良臣. 一种高速并行的 MSK 调制算法[J]. 成都信息工程大学学报, 2023, 38(4): 398-403. DOI:10.16836/j.cnki.jcuit.2023.04.008.  
WEI G D, LI H K, ZHOU L C. A high-speed parallel MSK modulation algorithm[J]. Journal of Chengdu University of Information Technology, 2023, 38(4): 398-403. DOI:10.16836/j.cnki.jcuit.2023.04.008.
- [20] 王奔. 高速卫星通信调制解调器的设计与实现[D]. 哈尔滨: 哈尔滨工业大学, 2017.
- [21] 张玉茹. 2.5 G 采样率任意波形信号源的研究与实现[D]. 西安: 西安电子科技大学, 2016.
- [22] KOIZUMI Y, SUZUKI Y, KOJIMA M, et al. Study on set partitioning 64APSK coded modulation design method based on channel capacity[C]//2017 IEEE Global Communications Conference (GLOBECOM). Singapore: IEEE, 2017: 1-6. DOI: 10.1109/GLOCOM.2017.8254068.
- [23] 单琦, 张志芳, 沙立伟, 等. 高速并行成型滤波器的 FPGA 实现方法[J]. 电子设计工程, 2018, 26(3): 89-92.  
SHAN Q, ZHANG Z F, SHA L W, et al. FPGA implementation method of high-speed parallel shaping filter[J]. Electronic Design Engineering, 2018, 26(3): 89-92.
- [24] 郭子梁. 并行 DVB-S2X 调制器关键技术研究及 FPGA 实现[D]. 西安: 西安电子科技大学, 2022.
- [25] 包可佳, 唐琦. 基于 FPGA 的高码率 QPSK 信号产生方法[J]. 信息通信, 2015(9): 82-84.  
BAO K J, TANG Q. High-rate QPSK signal generation method based on FPGA[J]. Information & Communications, 2015(9): 82-84.
- [26] 李浩, 王厚军, 肖磊, 等. 高速并行数字调制信号的产生与实现[J]. 仪器仪表学报, 2023, 44(2): 110-118.  
LI H, WANG H J, XIAO L, et al. Generation and implementation of high-speed parallel digital modulation signals[J]. Chinese Journal of Scientific Instrument, 2023, 44(2): 110-118.

#### [作者简介]

- 王剑飞 1999年生, 硕士研究生。  
湛明 1977年生, 研究员。  
罗霞 1981年生, 研究员。  
杨成武 1994年生, 工程师。  
郭航 2001年生, 博士研究生。

(本文编辑: 赵尹默)