

一种面向多天线系统的高面积效率 2~18 GHz 真延迟电路设计

黄子凡^{1,2}, 王子彧^{1,2}, 刘马良^{1,2}

(1 西安电子科技大学集成电路学部 西安 710126;

2 西安市可重构芯片及材料重点实验室 西安 710071)

摘要: 随着现代雷达技术的持续发展, 宽带相控阵雷达因其高分辨率、多任务处理能力以及能适应复杂电磁环境的特性, 在遥感与环境检测、5G 基站通信等领域得到了广泛应用。然而, 传统的相控阵雷达主要依赖移相器来控制波束指向, 这种方法在宽带应用中会导致波束偏斜使雷达探测精度降低。为此, 本文提出了一种基于人工传输线 (Artificial Transmission Line, ATL) 延迟单元的高面积效率真延迟 (True Time Delay, TTD) 电路。该电路芯片采用 0.13 μm SiGe BiCMOS 工艺, TTD 电路的工作频率覆盖 S 波段到 Ku 波段, 通过 6 位数字信号控制延时, 具有最小 6 ps 的延迟分辨率和 378 ps 的最大延迟。TTD 电路设计中采用了 T 型和 π 型衰减器结构的延时参考路径, 与延时单元的增益曲线进行良好匹配。通过在芯片中集成无源开关和分散级联增益均衡器, 实现更高的延迟精度和增益平坦度。通过 HFSS (高频结构模拟器) 对 ATL 延时单元中的电感间距优化, 显著减少了电感占用的面积。最终, 所设计的芯片尺寸仅为 3 mm \times 0.9 mm, 每单位面积具有 141.6 ps 的延迟时间。测量结果显示: TTD 电路全状态均方根延时误差小于 5.9 ps, 芯片在 2.5 V 电压供电下的工作频率范围内表现出 -5.5 ~ -1 dB 的增益性能, 为高性能相控阵雷达的发展提供了有力支撑。

关键词: 真延迟; 高面积效率; SiGe; BiCMOS; 宽带相控阵天线系

中图分类号: TN753; TN622 文献标志码: A 文章编号: 2095-1000(2025)04-0033-07

DOI: 10.12347/j.ycyk.20250227005

CSTR: 32406.14.ycyk.20250227005

引用格式: 黄子凡, 王子彧, 刘马良. 一种面向多天线系统的高面积效率 2~18 GHz 真延迟电路设计[J]. 遥测遥控, 2025, 46(4): 33-39.

A High Area-Efficient 2~18 GHz True Delay Circuit Design for Multi-Antenna Systems

HUANG Zifan^{1,2}, WANG Ziyu^{1,2}, LIU Maliang^{1,2}

(1. School of Integrated Circuits, Xidian University, Xi'an 710126, China;

2. Xi'an Key Laboratory of Reconfigurable Chips and Materials, Xi'an 710071, China)

Abstract: With the continuous advancement of radar technology, broadband phased array radar has been widely applied in fields such as remote sensing, environmental monitoring, and 5G base station communications due to its high resolution, multi-tasking capability, and adaptability to complex electromagnetic environments. However, traditional phased array radars rely on phase shifters to control beam direction, which can lead to beam squint in broadband applications, ultimately reducing detection accuracy. To address this issue, this paper presents a high-area-efficiency true time delay (TTD) circuit based on an artificial transmission line (ATL) delay unit. Fabricated using a 0.13 μm SiGe BiCMOS process, the TTD circuit operates across the frequency range from S to Ku bands and features a 6-bit digital delay control, achieving a minimum delay resolution of 6 ps and a maximum delay of 378 ps. The circuit incorporates delay reference paths with T-type and π -type attenuator structures, ensuring optimal gain matching with the delay units. Additionally, by integrating passive switches and distributed cascaded gain equalizers, the design enhances delay accuracy and gain flatness. Through HFSS optimization of spacing of inductors in the ATL delay unit, the layout efficiently reduces inductor area consumption. As a result, the fabricated chip measures only 3 mm \times 0.9 mm, offering a delay density of 141.6 ps per unit

area. Measurement results show that the root mean square (RMS) delay error across all states is less than 5.9 ps, while the circuit exhibits a gain performance of -5.5 to -1 dB within its operating frequency range under a 2.5V power supply. This work makes a significant contribution to the development of high-performance phased array radar systems.

Keywords: TTD; High area efficiency; SiGe; BiCMOS; Broadband phased array antenna system

Citation: HUANG Zifan, WANG Ziyu, LIU Maliang. A High Area-Efficient 2~18 GHz True Delay Circuit Design for Multi-Antenna Systems[J]. Journal of Telemetry, Tracking and Command, 2025, 46(4): 33-39.

0 引言

随着相控阵雷达和无线通信技术的发展,能够覆盖多个工作频段的相控阵技术应运而生,宽带结构的应用能够极大降低多频段相控阵雷达的设计复杂度和成本,为多任务一体化应用提供了可能^[1]。通过调整多天线系统中每个通道的幅度和相位特性,信号可以实现高信噪比和灵活的波束指向^[2,3]。结合超宽带(UWB)雷达处理技术,为宽带相控阵天线系统提供更高的距离分辨率^[4]。然而,传统的移相器仅能在窄带内近似实现所需的相移,在宽带相控阵系统中传统移相器的相移随频率发生变化,从而导致了波束偏斜^[5]。

为了实现时延精确、平坦且芯片尺寸紧凑的目标,近年来已经提出了多种架构的延时器电路。其中文献[4,6,7]提出的Trombone(长号)延迟结构通过依次激活每个开关,同时保持其他开关关闭,从而改变信号传播的延迟线总长度,进而改变有效传播时间。虽然该延迟结构的时间延迟平坦且带内变化较小,能够实现预期带宽,但由于这种物理延迟线的长度与波长相关,因此会消耗大量的芯片面积。此外,它的另一个限制在于这种离散的控制方法每次只能关闭一个开关,这导致了延迟位数相对较少,分辨率不高。

文献[1,8]提出了一种内置开关全通滤波单元用于实现3.9 ps的延迟步进,且延迟误差仅为9.3%。然而,该架构未实现增益补偿,导致了较高的插入损耗(Insertion Loss, IL)。文献[9-12]通过在延迟路径和参考路径之间切换ATL无源延迟单元,实现了多位控制的延迟切换。在每个节点进行增益均衡化,能够有效降低插入损耗。然而,与Trombone拓扑相比,这种架构引入了额外的路径,并增加了芯片的面积。文献[13,14]通过使用可变电容器,实现了连续的最大延迟控制。在离散和连续延迟控制方法中,设计者通过控制不同的延迟单元,从而实现所需的可变延迟。

本文设计并测试了一款基于人工传输线的高度集成的真延迟(TTD)电路,如图1所示。延时器单元模块采用了ATL配置,工作频率覆盖2~18 GHz,适用于多频段相控阵天线。该电路利用集总参数对传输线进行等效,显著降低了波束偏斜的问题,通过合理的电路设计,能够在实现精确时延和平坦通带效果的同时,最大限度地减小了芯片面积,对宽带相控阵天线的小型化、低功耗设计提供了有力支持^[15]。

此外,该电路为提高延时链路带内的增益平坦度,在延时链的输入、输出和中心分别集成了三个宽带增益均衡器来补偿电路的负增益斜率。

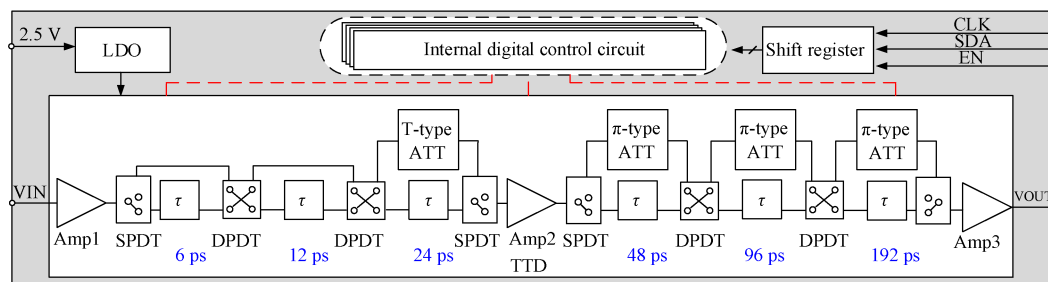


图1 TTD电路架构

Fig. 1 TTD circuit architecture

本文第一部分介绍6位TTD电路、射频开关和增益均衡器设计;第二部分展示所设计芯片流片

的测试结果,并与现有的TTD电路进行对比并进行讨论;第三部分给出本文结论。

1 宽带真延迟器设计

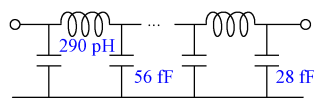
1.1 工作原理

该TTD的设计和制造采用了BiCMOS工艺,该工艺射频性能出色且成本相对较低^[15,16]。此外,通过采用穿过硅基板的垂直电互连(Through Silicon Via, TSV)技术,将芯片接地端连接到背面的金属层,进一步提升了芯片的射频性能。图1中TTD电路包含三个宽带放大器和六个独立的ATL单元,用于构建一个6位TTD。ATL中的电感、长互连线和接地平面共面波导通过电磁仿真进行参数优化得到。通过在电路中集成三个宽带放大器,可以有效补偿由无源元件引入的插入损耗(IL)和负增益斜率。TTD通过双刀双掷开关(Double Pole Double Throw, DPDT)和单刀双掷开关(Single Pole Double Throw, SPDT)的选择实现不同的时间延迟,并在所设计的电路中加入参考路径来抵消不同状态对输出幅度的影响。最终实现了378 ps的最大真延迟和最小分辨率为6 ps的真延迟电路设计,电路中放大器的供电电压为2.5 V,数字电路的供电电压设定为1.2 V。

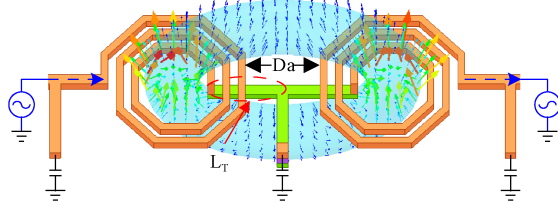
1.2 电路设计

相较于传统的传输线,ATL可以实现更长的时间延迟,同时占用更小的芯片面积,从而更易于集成到芯片中。如图2(a)所示,高位的延迟路径通过级联ATL单元和C-L-C π 型网络构建。单级网络的时间延迟和阻抗特性可以通过式(1)和式(2)来精确确定无源元件的参数。

$$Z_0 = \frac{1}{2} j\omega L \left[1 \pm \sqrt{1 - \frac{4}{\omega^2 LC}} \right] \approx \sqrt{L/C} \quad (1)$$



(a) ATL单元的级联
(a) Cascading ATL units



(b) 级联单元之间的磁耦合
(b) Magnetic coupling between cascaded units

图2 延迟单元电路结构

Fig. 2 Delay unit circuit structure

$$T_d = n\sqrt{LC} \quad (2)$$

其中, n 表示网络的节数, T_d 表示延迟线的延迟时间, Z_0 是延迟线的特征阻抗,在设计中设定为 50Ω 。

如图2(b)所示,ATL单元中电感和电感间距 D_a 贡献了主要的芯片面积,为了实现更小的芯片布局尺寸,对两个C-L-C单元进行建模和电磁仿真。对延迟电路来说,当两个电感并排放置时,它们可视为在两者相邻的空间内形成一个环形介质核,从而在两个电感之间形成耦合。这两个螺旋电感中心的磁场方向均向上,由于磁耦合的存在,实际电路中的电感值会增加。为了探究更合理的延时单元电感间距 D_a ,我们对模型中的电感间距进行了扫描优化分析。图3展示了电感间距与时间延迟的关系,如图3(a)所示,在2 GHz的工作频率下,两个电感之间的耦合较小,延迟的主要影响因素是抽头的寄生电感^[17,18]。然而,随着频率的增加,磁耦合的影响变得更加显著,延迟曲线呈现出先下降后上升的趋势。为了在宽频带范围内减小这种影响,需要在面积和延迟平坦度之间进行折中,最终将ATL单元中电感间距设计为 $17 \mu\text{m}$ 。

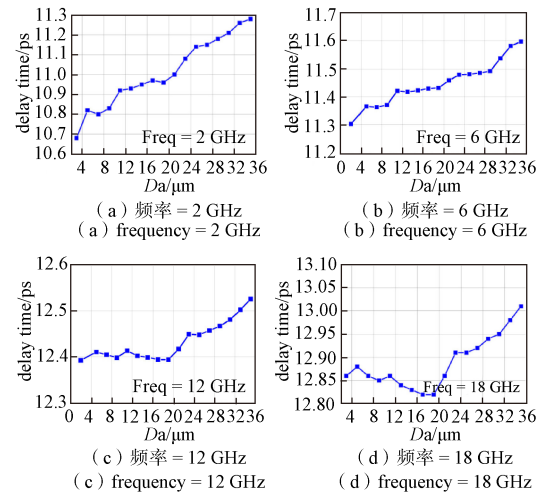


图3 电感间距与延迟时间的关系

Fig. 3 The relationship between inductance distance and delay time

最低有效位(Least Significant Bit, LSB)6 ps的时间延迟路径通过使用28 fF的电容和290 pH的电感得以实现。通过级联不同的LSB延迟单元,设计了12 ps、24 ps、48 ps、96 ps和192 ps的延迟单

元, 每个ATL单元通过数字模块独立控制。信号依次通过各延迟单元, 最终实现了6位、最小分辨率为6 ps的时间延迟。

通过集总参数来等效传输线会导致较高插入损耗, 这将在参考状态与时延状态之间产生幅度误差, 尤其在高位长时延迟的状态下, 参考状态与时延状态之间的幅度误差变得更加显著。为了减小这种幅度误差, 在参考路径中加入电阻引入插入损耗, 以减小参考路径与延时路径之间的幅度误差。在延时单元参考路径的设计中, 采用L型、T型和π型低通衰减器结构, 以近似匹配延时路径的损耗特性曲线斜率。对于6 ps和12 ps延迟单元, 由于其插入损耗较低, 参考路径中可以使用共面波导(Coplanar Waveguide, CPW)线。高位长时间延迟参考路径的电路结构如图4所示, 其中24 ps延迟单元由于其负增益斜率较低, 采用了低损耗的L型衰减器; 48 ps和96 ps延迟单元采用T型结构, 而192 ps延迟单元则采用π型低通衰减器结构。

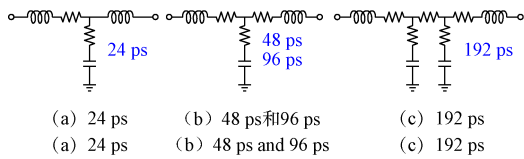


图4 参考路径电路结构
Fig. 4 Reference path circuit structure

1.3 射频开关设计

延时器电路的性能很大程度上受制于路径选择开关的影响。图5(a)展示了采用串-并联结构的单刀双掷(SPDT)开关的原理图及其仿真结果。在串联和并联支路上, MOSFET的尺寸会显著影响关断状态的寄生电容。为了使时延单元具有更好的匹配特性, 通过参数设计和优化, 最终将串联

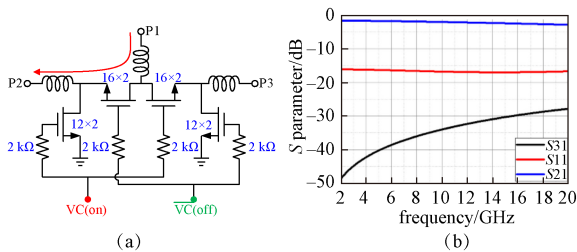


图5 SPDT开关的原理图(a)和仿真结果(b)
Fig. 5 Schematic (a) and simulation result of the SPDT switch (b)

支路的MOSFET设计为16个叉指单元(栅极宽度为2 μm, 即16×2), 而并联支路的MOSFET设计为12个叉指单元(栅极宽度为2 μm, 即12×2)。

通过交流悬浮技术在栅极串联大电阻进行控制, 当存在大摆幅信号时, 信号电压摆幅基本被大阻抗承担, 使栅-源间的压降被自举至直流偏置附近, 而不会受到大信号摆动的过多影响, 从而提高开关的插入损耗与线性度^[19]。同时, 在每个端口插入电感, 为端口提供50 Ω的阻抗匹配。SPDT的仿真结果如图5(b)所示, 该SPDT开关的工作频率范围为2 GHz~20 GHz, 插入损耗小于2.6 dB, 隔离度超过28 dB。

双刀双掷(DPDT)开关与SPDT开关采用相同的优化设计方法。其原理图如图6(a)所示。当M1、M3、M6、M7和M8关闭, 而M2、M4和M5打开时, 路径①导通, 而路径②、③和④被关断。在此配置下, 仿真得到的插入损耗在2 GHz~18 GHz频率范围内小于2.1 dB, 隔离度超过25 dB, 仿真结果如图6(b)所示。

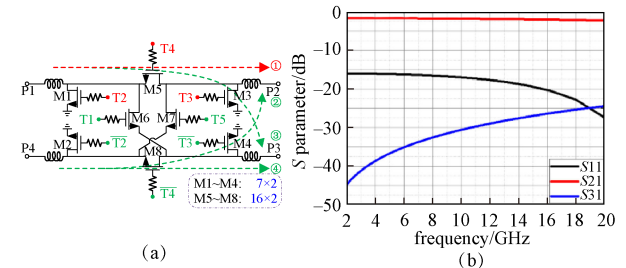


图6 DPDT开关的原理图(a)和仿真结果(b)
Fig. 6 Schematic (a) and simulation result of the DPDT switch (b)

1.4 增益均衡器设计

为了补偿超宽频范围内的损耗, 本文在所设计的延时链中加入了三个具有正增益斜率的增益均衡器。这种级联方式不仅可以有效减少插入损耗, 还能改善噪声特性。单级放大器采用CECB(共射-共基)结构, 并通过电阻发射极反馈来增强带宽和线性度。图7(a)展示了第一级和第三级放大器的结构。这种反馈机制在低频段显著提高了性能, 但在高频段效果较弱。负载与并联反馈配置共同作用, 产生了正增益斜率。图7(b)展示了仿真结果, 其中包括三个增益均衡器的反射系数和增益性能。每一级均表现出超过7 dB的增益, 并具有正斜率, 符合预期设计目标。

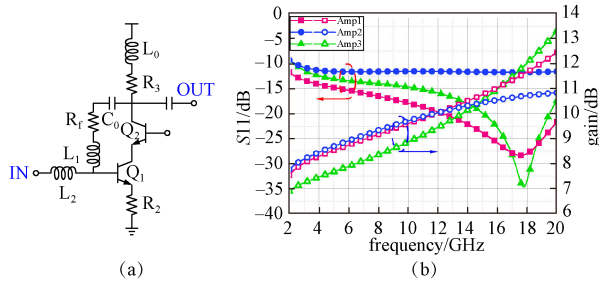


图7 TTD中三个增益均衡器的回波损耗和增益

Fig. 7 The simulation return loss and gain for amplifiers on the three stages in the TTD

2 测试结果

本文所提出的采用 $0.13\ \mu\text{m}$ SiGe BiCMOS工艺制造的6位TTD芯片显微照片如图8所示,芯片尺寸为 $0.89\ \text{mm} \times 3\ \text{mm}$ (包含焊盘),芯片测试环境如图9所示,该芯片在 $2.5\ \text{V}$ 供电电压下的电流消耗为 $57\ \text{mA}$ 。如图10所示,TTD的平均插入损耗(IL)在 $2\ \text{GHz}$ 时为 $1\ \text{dB}$,在 $18\ \text{GHz}$ 时为 $5.5\ \text{dB}$ 。此外,对于不同的延迟状态,各频率的增益变化小于 $3\ \text{dB}$ 。图11展示了在整个带宽范围内测得的全状态相对延迟,延迟步进为 $6\ \text{ps}$,最大延迟为 $378\ \text{ps}$ 。图12展示了 $2\text{--}18\ \text{GHz}$ 范围内全状态延迟的均方根(RMS)时间延迟误差,计算方法如式(3)所示。其中, ΔD_{rms} 是均方根时延误差, $\Delta D_{\text{average}}$ 是平均时延误差, i 是时延状态索引, N 是状态数取 64 , $D_{m,i}$ 是给定状态下相对参考的测试时延, $D_{\text{theo},i}$ 是给定状态下的理论时延,可以看到最低RMS误差为 $1.9\ \text{ps}$,最高为 $5.9\ \text{ps}$ 。

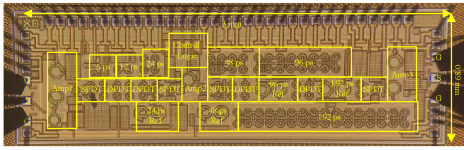


图8 TTD的显微照片

Fig. 8 Micrograph of the TTD

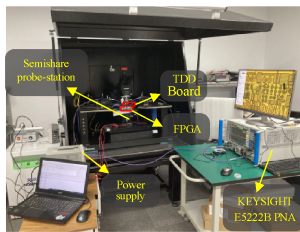


图9 TTD的测试环境

Fig. 9 Test environment of the TTD

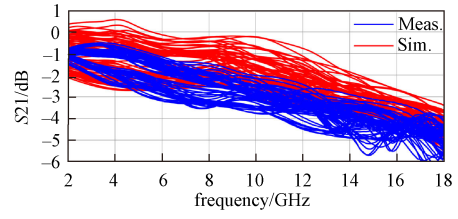


图10 S21的测量与仿真结果

Fig. 10 S21 measured and simulated result

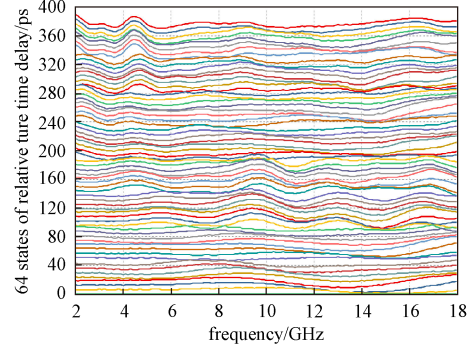


图11 64种状态相对时间延迟

Fig. 11 The measured relative time-delay for 64 states

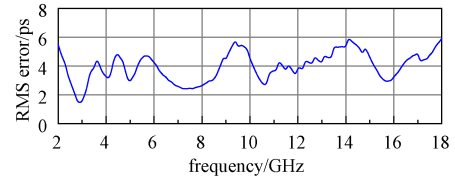


图12 RMS时间延迟误差

Fig. 12 The measured RMS time-delay error

$$\Delta D_{\text{rms}} = \sqrt{\frac{1}{N} \sum_{i=0}^{N-1} (D_{m,i} - D_{\text{theo},i} - \Delta D_{\text{average}})^2} \quad (3)$$

$$\Delta D_{\text{average}} = \frac{1}{N} \sum_{i=0}^{N-1} (D_{m,i} - D_{\text{theo},i}) \quad (4)$$

表1列出了所提出TTD性能指标与同类TTD芯片的对比,本文所提出的延时器芯片能够在单位芯片面积上提供更长的时间延迟,在插入损耗、该TTD芯片在面积和功耗方面具有显著优势。

3 结束语

本文提出了一种基于 $0.13\ \mu\text{m}$ SiGe BiCMOS工艺的宽带TTD电路,芯片面积仅为 $0.89\ \text{mm} \times 3\ \text{mm}$,工作频率可以覆盖 $2\text{--}18\ \text{GHz}$ 。芯片通过六个独立的ATL单元来实现时间延迟,在电路设计中增加参考路径提高不同状态下的增益平坦度。通过在TTD电路中集成增益均衡器,有效补偿了由无源元件引入的插入损耗和负增益斜率。经过

表1 近年来TTD电路的性能比较
Table 1 Performance comparison of recent TTD circuit

Ref.	This work	[9]	[10]	[11]	[20]
Tech	0.13 μm BICMOS	0.18 μm CMOS	0.25 μm pHEMT	0.13 μm CMOS	40 nm CMOS
Freq. (GHz)	2-18	8-18	6-18	2-18	5-23
Range/Step(ps)	378/6	125/3.9	255/1	198/0.8	125/17.85
RMS error(ps)	< 5.9	<3.3	1.7	3	10
IL (dB)	1-5.5	15.2-23.3	-12	-10	4.5
IP1 dB (dBm)	-6.2 - -3.5	18	16.5	-0.5	-2.7
Power (mW)	140	≈ 0	1 600	370	55.8
Die Area (mm^2)	2.67	2	20	5.28	0.85
Delay per Area (ps/mm^2)	141.6	62.5	12.75	37.5	147

测试, 该芯片可提供最大378 ps延时范围, 延时步进为6 ps, 平均每单位芯片面积可实现141.6 ps的时间延迟。在所有TTD状态中, 测得的均方根(RMS)时间延迟误差范围为1.9 ps ~ 5.9 ps。本文所提出延时器芯片与同类延时器产品相比, 具有更小的芯片面积、更低的插入损耗和更低功耗, 为宽带相控阵雷达的小型化、低功耗设计提供了有力支持。

参考文献

- [1] GHAZIZADEH M H, MEDI A. High precision CMOS integrated delay chain for X-Ku band applications[J]. IEEE Transactions on Microwave Theory and Techniques, 2020, 68(4): 1553-1563.
- [2] LIN F, DENG H. Continuously tunable true-time-delay phase shifter based on transmission lines with simultaneously reconfigurable impedance and phase constant[J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67(12): 4714-4723.
- [3] CHU T S, HASHEMI H. True-time-delay-based multi-beam arrays[J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(8): 3072-3082.
- [4] PARK S, JEON S. A 15-40 GHz CMOS true-time delay circuit for UWB multi-antenna systems[J]. IEEE Microwave and Wireless Components Letters, 2013, 23(3): 149-151.
- [5] HE L, LI W, LI N, et al. A 24-GHz novel true-time-delay phase shifter utilizing negative group delay compensation [C]//2016 IEEE International Symposium on Phased Array Systems and Technology (PAST). New York: IEEE, 2016: 1-7.
- [6] HU F, MOUTHAN K. A 1 - 21 GHz, 3-bit CMOS true time delay chain with 274 ps delay for ultra-broadband phased array antennas[C]//2015 European Radar Conference (EuRAD). New York: IEEE, 2015: 325-328.
- [7] HU F, MOUTHAN K. A 1 - 20 GHz 400 ps true-time delay with small delay error in 0.13 μm CMOS for broadband phased array antennas[C]//2015 IEEE MTT-S International Microwave Symposium. New York: IEEE, 2015: 1-3.
- [8] GHAZIZADEH M H, MEDI A. A 125 ps 8 - 18 GHz CMOS integrated delay circuit[J]. IEEE Transactions on Microwave Theory and Techniques, 2018, 67(1): 162-173.
- [9] JEONG J C, YOM I B, KIM J D, et al. A 6 - 18GHz GaAs multifunction chip with 8-bit true time delay and 7-bit amplitude control[J]. IEEE Transactions on Microwave Theory and Techniques, 2018, 66(5): 2220-2230.
- [10] KIM J, PARK J, KIM J G. CMOS true-time delay IC for wideband phased-array antenna[J]. ETRI Journal, 2018, 40(6): 693-698.
- [11] BALTIMAS D, REBEIZ G M. A 25 - 50 GHz phase change material (PCM) 5-bit true time delay phase shifter in a production SiGe BiCMOS process[C]//2021 IEEE MTT-S International Microwave Symposium (IMS). New York: IEEE, 2021: 435-437.
- [12] JUNG M, YOON H J, MIN B W. A wideband true-time-delay phase shifter with 100% fractional bandwidth using 28 nm CMOS[C]//2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). New York: IEEE, 2020: 59-62.
- [13] PARK K, MIN B W. Low-loss continuous true time delay with delay summing[C]//2020 IEEE/MTT-S Interna-

- tional Microwave Symposium (IMS). New York: IEEE, 2020: 735-738.
- [14] KUYLENSTIERNA D, VOROBIEV A, LINNÉR P, et al. Ultrawide-band tunable true-time delay lines using ferroelectric varactors[J]. IEEE Transactions on Microwave Theory and Techniques, 2005, 53(6): 2164-2170.
- [15] MA Q, LEENAERTS D M W, BALTUS P G M. Silicon-Based True-Time-Delay Phased-Array Front-Ends at Ka-Band[J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(9), 2942-2952.
- [16] CHU T S, HASHEMI H. A true time-delay-based band-pass multi-beam array at mm-waves supporting instantaneously wide bandwidths[C]//2010 IEEE International Solid-State Circuits Conference- (ISSCC). New York: IEEE, 2010: 38-39.
- [17] OUACHA A, CARLEGRIM B. MMIC self-switched time shifter for broadband applications[J]. Microwave and Optical technology letters, 1998, 19(1): 15-20.
- [18] WILLMS J G, OUACHA A, DE BOER L, et al. A wide-band GaAs 6-bit true-time delay MMIC employing on-chip digital drivers[C]//2000 30th European Microwave Conference. New York: IEEE, 2000: 1-4.
- [19] FU X, WANG Y, LI Z, et al. A 68 dB isolation 1.0 dB loss compact CMOS SPDT RF switch utilizing switched resonance network[C]//2020 IEEE/MTT-S International Microwave Symposium (IMS). New York: IEEE, 2020: 1315-1318.
- [20] YU P, ZHAO D. Design considerations for wideband hybrid large-scale antenna array and implementation of a 5-23 GHz CMOS true-time-delay circuit[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(1):26-30.

[作者简介]

- 黄子凡 2003年生, 博士研究生。
王子彧 1996年生, 博士研究生。
刘马良 1985年生, 博士, 教授, 博士生导师。

(本文编辑: 潘三英)