

1~40 GHz 硅基射频微系统无源互连结构 PDK 设计与验证

殷子洲, 刘德喜, 薛廷, 史磊, 刘亚威, 景翠
(北京遥测技术研究所 北京 100076)

摘要: 随着 5G 通信和毫米波技术的快速发展, 射频微系统对高频无源互连结构的性能需求日益提升。针对传统设计流程中工艺数据分散、模型孤立导致的效率瓶颈, 本文提出了一种 1~40 GHz 硅基无源互连结构工艺设计包 (PDK) 的自主开发方案。基于等效电路模型与 HFSS 全波仿真数据融合校准方法, 构建了接地共面波导 (GCPW)、微凸点等核心结构的参数化模型, 并通过梯度优化算法实现模型的高精度匹配。在 Keysight ADS 平台上完成了 PDK 开发, 包含符号库、参数化单元、设计规则及验证流程。实验结果表明: 所开发的 PDK 在 1~40 GHz 频段内 S 参数均方根误差低于 10%。基于此 PDK, 完成了 X 频段射频微系统仿真设计, 微系统满足指标要求, 验证了 PDK 的有效性。该 PDK 为高频射频系统的高效设计与工艺协同提供了可靠支撑。

关键词: 硅基无源互连结构; 工艺设计包 (PDK); 等效电路模型; 射频微系统

中图分类号: TN402

文献标志码: A

文章编号: 2095-1000(2025)03-0119-08

DOI: 10.12347/j.ycyk.20250227004

CSTR: 32406.14.ycyk.20250227004

引用格式: 殷子洲, 刘德喜, 薛廷, 等. 1~40 GHz 硅基射频微系统无源互连结构 PDK 设计与验证[J]. 遥测遥控, 2025, 46(3): 119-126.

Design and Verification of A 1~40 GHz Silicon-Based RF Microsystem Passive Interconnect PDK

YIN Zizhou, LIU Dexi, XUE Ting, SHI Lei, LIU Yawei, JING Cui
(Beijing Research Institute of Telemetry, Beijing 100076, China)

Abstract: With the rapid development of 5G communication and millimeter-wave technology, the performance requirements for high-frequency passive interconnect structures in radio frequency (RF) microsystems have become increasingly critical. To address the efficiency bottlenecks caused by fragmented process data and isolated models in traditional design workflows, this paper proposed an independently developed 1~40 GHz silicon-based passive interconnect Process Design Kit (PDK). By integrating equivalent circuit models with HFSS full-wave electromagnetic simulation data, parameterized models for core structures such as grounded coplanar waveguide (GCPW) and micro-bump interconnects are established, and high-precision model matching is achieved through gradient optimization algorithms. The PDK development is completed on the Keysight ADS platform, including symbol libraries, parameterized cells, design rules, and verification workflows. Experimental results demonstrate that the developed PDK achieves a root mean square error (RMSE) of S-parameters below 10% across the 1~40 GHz frequency band. Based on this PDK, the simulation design of an X-band RF micro system was completed. The microsystem meets the specified performance requirements, verifies the validity of the PDK. This PDK provides for reliable support for efficient design-process co-optimization in high-frequency RF systems.

Keywords: Silicon-based passive interconnect structures; Process Design Kit (PDK); Equivalent circuit models; RF microsystems

Citation: YIN Zizhou, LIU Dexi, XUE Ting, et al. Design and Verification of A 1~40 GHz Silicon-Based RF Microsystem Passive Interconnect PDK[J]. Journal of Telemetry, Tracking and Command, 2025, 46(3): 119-126.

0 引言

随着 5G 通信和毫米波技术的快速发展, 高频信号传输对射频系统的小型化、高性能和低成本需求日益迫切。射频异构集成微系统正在经历“多工艺融合、跨尺度集成”的技术革新, 通过采用三维异质异构集成(如 TSV、FOWLP)与先进封装工艺, 使 5G 通信、智能驾驶及军事装备等领域具备高频段、高密度信号处理能力, 同时大幅缩减系统体积并降低制造成本, 有效突破了传统电子系统因分立器件堆叠导致的体积冗余、工艺复杂度高和迭代周期长的瓶颈^[1-4]。传统射频微系统设计流程依赖分散的工艺数据与孤立建模工具(如 HFSS 互连模型), 导致跨工艺知识库复用率较低。针对这一问题, 业界提出需在 EDA 平台中构建多工艺混合工艺设计包(Process Design Kit, PDK), 整合硅基、化合物半导体等异构工艺的设计规则文件(DRC/LVS)、宽带无源器件电磁模型及三维互连参数化脚本库, 通过标准化建模接口实现工艺数据与仿真工具的深度融合, 从而使设计迭代效率提升, 支撑射频系统的高效协同设计^[5,6]。

针对上述挑战, 业界基于不同 EDA 平台开发了多种异构工艺 PDK 解决方案。G. Cibrario 等人开发了一种用于 3D 集成电路设计的基于可定制 3D 布局环境的 3D PDK 生成器。该生成器支持用户根据需求生成定制的 PDK, 展示了其在不同 3D 堆叠设计中的应用^[7]。Herrault F 等人开发了一款基于 Cadence AWR 平台面向毫米波射频集成电路的 MECAMIC PDK, 支持硅转接板与 GaN 晶体管小芯片的异质集成, 验证设计流程显著提升了 77 GHz 低噪声放大器等多级电路的仿真与实测一致性^[8]。H. Ma 等人开发了基于玻璃基板的高 Q 值集成无源器件 PDK。其中, 电容采用金属-绝缘体-金属(MIM)结构, 电感通过平面螺旋和玻璃通孔(TGV)空间螺旋实现, 3D 电感 Q 值达 50 以上^[9]。国内的李怡潜等人针对硅基 CMOS 工艺特征尺寸逼近物理极限及 InP HBT 高频性能受限的问题, 基于 Cadence Virtuoso 工具开发了硅基 CMOS 与 InP HBT 异构集成 PDK。通过融合双工艺技术文件, 解决了 DRC/LVS 规则冲突, 构建了 HICUM 尺寸缩放模型, 并集成至平台实现自动化质量验证^[10]。贾古凯等人开发了基于国产华大九天 AetherMW 平

台的 0.15 μm GaAs pHEMT 工艺 PDK, 提出了一种结合 Tcl 与 Python 脚本语言的开发方法, 实现了参数化单元和设计规则检查文件的高效开发。该 PDK 通过单级低噪声放大器(LNA)的仿真与版图验证, 证实其可支持射频集成电路设计, 兼具参数灵活性与工艺兼容性^[11]。董泽瑞等人开发了一种基于 GaAs 和 FO-WLP 工艺的异质异构集成 PDK, 以解决多工艺协同设计中的图层冲突、模型交互等难题。该 PDK 基于 ADS 平台开发。通过在 ADS 中设计并验证单刀双掷开关封装电路, DRC/LVS 检查及 S 参数仿真结果证明了其准确性, 为高性能异质异构集成电路设计提供了高效解决方案^[12]。蔡星等人开发了基于华大九天 EDA 平台的 GaAs HBT 异质集成 PDK。该研究通过国产 EDA 工具实现了 GaAs HBT 工艺的模型集成与验证, 针对有源器件 HBT 和无源器件 MIM 电容建立了高精度等效模型, 并开发了多工艺异质集成中的物理验证方法, 提出基于 shape 间距、轮廓及内部检查的 void 间距规则, 确保了复杂基板设计的可制造性^[13]。研究现状表明: 国内在 EDA 工具与 PDK 开发领域虽起步较晚, 但已形成具有自主知识产权的技术突破^[14]。

在射频微系统设计中, 无源互连结构承担着关键信号的传输功能, 其性能直接影响信号完整性、功率损耗和系统集成度^[15]。然而, 现有 PDK 解决方案多聚焦于有源器件集成, 对于传输线、过渡孔等无源结构往往采用理想化模型。鉴于业界尚未实现 PDK 的共享资源或平台, 且各厂商采用的制造工艺存在显著差异性, 本研究基于先进设计系统(Advanced Design System, ADS)平台自主研发了适用于自身工艺的无源互连结构 PDK, 基于等效电路模型并结合 HFSS 全波仿真数据进行模型校准, 频段覆盖 1~40 GHz, 为射频微系统快速设计提供了更为精准的定制化解决方案。

1 无源互连结构模型构建与校准

1.1 无源互连结构等效电路模型构建方法

硅基射频微系统无源互连结构主要涵盖平面互连和垂直互连两大类型^[5,16]。在平面互连层面, 硅基射频微系统主要采用接地共面波导(Grounded Coplanar Waveguide, GCPW)作为传输线载体, 其与异质射频芯片的互连通过金丝键合工艺实现。由于金丝键合仅实现封装层内横向信

号传输，并不涉及三维堆叠结构的层间连接，因此在结构分类上，其归属于平面互连范畴。对于垂直互连体系，三维异构微系统通过硅转接板堆叠实现平面尺寸缩减，其层间射频信号传输主要依赖两类结构：作为核心通道的类同轴硅通孔(Through Silicon Via, TSV)，该结构通过优化外围接地孔设计保障传输性能与隔离度，以及用于模块间连接的微凸点互连阵列。

针对毫米波频段的高频寄生效应建模难题，本研究在等效电路构建中采取了双重改进策略：首先建立包含寄生参数的扩展模型拓扑，其次引入 HFSS 全波电磁仿真数据作为校准基准。图 1 所示的建模流程系统地展示了从物理结构到等效电路的参数映射过程，其中关键环节包含几何参数提取、场路仿真及模型验证等步骤。

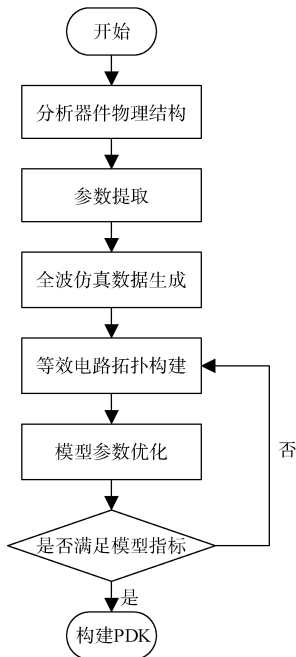


图 1 建模流程图

Fig. 1 Modeling flowchart

1.1.1 GCPW 等效电路建模

GCPW 的三维示意图如图 2 所示。GCPW 的关键结构是位于中间的一条信号线和位于两侧的地线，地线通过地孔连接位于硅衬底下方的金属层。基于传输线理论及先前研究^[17,18]，可以构建如图 3 所示的 GCPW 物理模型。将 GCPW 的传统 RLGC 等效模型，分别向串联感性部分和并联容性部分进行扩展。

串联部分由 R-L 部分组成，除了原有的信号

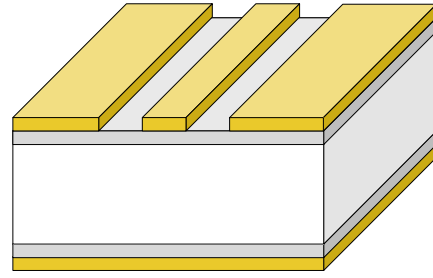


图 2 GCPW 的三维示意图

Fig. 2 3D Schematic Diagram of the GCPW

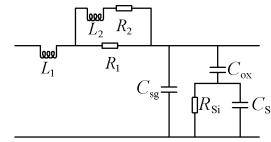


图 3 GCPW 等效电路模型

Fig. 3 Equivalent circuit model of the GCPW

线串联电感电阻 L_1 、 R_1 ，额外考虑高频下趋肤效应造成的电感和电阻 L_2 、 R_2 。并联部分中， C_{sg} 用于表征信号线与地间的耦合电容，而 C-R-C 支路则用于表征硅衬底和 SiO_2 层的影响。为了计算 L_1 、 R_1 、 L_2 和 R_2 ，首先需要根据物理模型的物理参数，根据 Greenhouse 公式^[19]和导体电阻公式分别代入公式计算得到在直流条件下的串联电感和电阻 L_{dc} 、 R_{dc} ，以及高频交流条件下的电感和电阻 L_{hf} 、 R_{hf} 。 L_{dc} 、 R_{dc} 、 L_{hf} 、 R_{hf} 可以根据长方形截面导体高频电感电阻公式计算得到^[20]：

$$R_{hf} = \frac{1}{2(w+t)} \sqrt{\frac{\mu\omega}{2\sigma}} \quad (1)$$

$$L_{hf}(\omega) = \frac{L_{dc}}{\sqrt{1+b \cdot \frac{\omega}{\omega_0}}} \quad (2)$$

其中， w 和 t 是该截面的宽度和厚度， σ 是导体的电导率，截止频率 ω_0 由下式可得：

$$\omega_0 = \frac{8}{\mu_0\sigma} \left(\frac{w+t}{wt} \right)^2 \quad (3)$$

当直流和高温条件下的电感和电阻都得到后，根据电路原理图可以得到：

$$L_1 = L_{hf}, R_1 = R_{hf} \quad (4)$$

$$L_2 = \left(\frac{R_1 + R_2}{R_2} \right) (L_{dc} - L_{hf}), R_2 = \frac{R_{hf} R_{dc}}{R_{hf} - R_{dc}} \quad (5)$$

电容部分，可以将物理结构中两块金属导体视作电容的两极板。对于各类电容，板间内电场可看作由 n 个点电荷形成了 n 条电场线，而总电容则是这些点电荷形成的单一电容叠加，电场线长

度为板间距。假设电荷在金属导体表面均匀分布, 则总电容计算公式为:

$$C_{\text{total}} = \frac{\epsilon_0 \epsilon_{\text{ox}} w l}{n} \left(\sum_{i=1}^n \frac{1}{h_i} \right) \quad (6)$$

其中, ϵ_0 是真空中介电常数, ϵ_{ox} 是 SiO_2 层中的相对介电常数, w 和 l 分别是导体的宽度和长度, h_i 是第 i 根电场线经过的距离。 C_{sg} 可以直接代入计算, 在 $C-R-C$ 支路中, C_{ox} 是 SiO_2 与硅衬底间的电容, C_{Si} 和 R_{Si} 则分别表征了硅衬底中的电容和损耗, 满足 $R_{\text{Si}} \cdot C_{\text{Si}} = \epsilon_{\text{Si}} / \sigma_{\text{Si}}$ 。支路部分在低频下影响较小, 但随着频率的上升, 对整体的影响逐渐凸显。

1.1.2 TSV 等效电路建模

TSV 是硅基三维集成电路的关键技术之一, 类同轴 TSV 是由 1 个信号 TSV 被 n 个接地 TSV 均匀包围的结构, 该结构的俯视图和剖面图如图 4 所示。

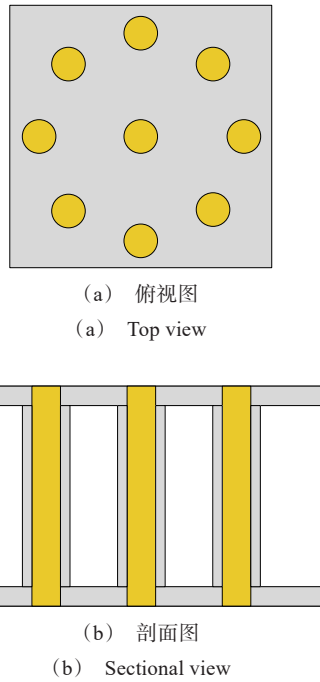


图 4 类同轴 TSV 结构图

Fig. 4 Structure diagram of the quasi-coaxial TSV

示。基于对物理结构的剖析, 可以得到类同轴等效电路^[21], 可以分为信号 TSV 和接地 TSV 两部分, 如图 5 所示。

单个信号 TSV 可等效为电阻 R_{tsv0} 和自感 L_{tsv0} 串联, 在计算中同样需要考虑高频效应影响。其中, R_{tsv0} 包含直流电阻 R_{dc} 和高频交流电阻 R_{hf} , 满足以

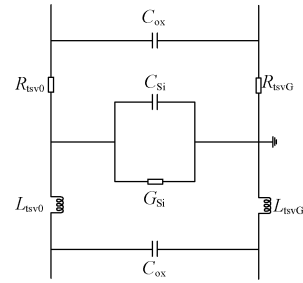


图 5 类同轴 TSV 等效电路模型

Fig. 5 Equivalent circuit model of the quasi-coaxial TSV

下关系:

$$R_{\text{tsv0}} = \sqrt{R_{\text{dc}}^2 + R_{\text{hf}}^2} \quad (7)$$

上式中, R_{dc} 可以根据欧姆定律计算得到。 R_{hf} 则同样是由趋肤效应产生, 可由下式计算得到:

$$R_{\text{hf}} = \frac{h_{\text{tsv}}}{\pi(2r\delta - \delta^2)} \quad (8)$$

其中, h_{tsv} 和 r 是孔深度和半径, δ 是趋肤深度。 δ 的计算方法为:

$$\delta = \frac{1}{\sqrt{\mu_0 \pi f \sigma_{\text{tsv}}}} \quad (9)$$

假设电流能均匀地从每个 TSV 流出, 则 TSV 的自感 L_{tsv0} 可根据电磁场理论计算得到:

$$L_{\text{tsv0}} = \frac{\mu_0 h_{\text{tsv}}}{2\pi} \cdot \ln p_r \quad (10)$$

信号 TSV 与接地 TSV 间的寄生参数主要是 SiO_2 层的等效电容 C_{ox} 、硅衬底等效电容 C_{Si} 和等效电导 G_{Si} , 可通过下式计算得到:

$$C_{\text{Si}} = \frac{n}{n+1} \cdot \frac{2\pi\epsilon_{\text{Si}}h_{\text{Si}}}{\ln[k_n p_r / (1+t_r)]} \quad (11)$$

$$C_{\text{ox}} = \frac{n}{n+1} \cdot \frac{2\pi\epsilon_{\text{ox}}h_{\text{ox}}}{\ln(k_n p_r)} \quad (12)$$

其中, k_n 为结构系数, G_{Si} 则同样满足电容与电导的关系 $C_{\text{Si}}/G_{\text{Si}} = \epsilon_{\text{Si}}/\sigma_{\text{Si}}$ 。

1.2 基于全波仿真数据的模型建立与校准

本 PDK 设计的核心误差指标定义为单一器件结构在目标频段内 S 参数整体均方根误差 $S_{\text{RMSE}} \leq 10\%$, 具体数学表达式为:

$$S_{\text{RMSE}} = \sqrt{\frac{1}{n} \sum_{i=1}^n \left(\frac{S_{\text{base}}(f_i) - S_{\text{sim}}(f_i)}{S_{\text{base}}(f_i)} \right)^2} \quad (13)$$

其中, n 为频段中频点个数, $S_{\text{sim}}(f_i)$ 和 $S_{\text{base}}(f_i)$ 分别对应第 i 个频点的 S 参数仿真数据与基准数据。

在模型建立阶段, 基于 HFSS 电磁仿真平台构

建符合工艺规范的三维物理模型，通过参数化扫描获取器件S参数响应，生成SNP格式的基准数据集。同时，在ADS平台搭建等效电路模型时，采用复杂度控制策略：首先根据器件物理特征建立基础架构，随后应用寄生参数筛选机制，优先保留对高频特性影响显著的关键寄生元件。依据模块的实际物理参数，利用上文的理论解析公式计算得到各寄生参数的初始估计值，并将其作为后续优化的器件初值。

模型校准阶段采用如下优化框架：将对应SNP基准数据导入ADS原理图中，使用基于梯度搜索算法的优化器进行参数优化，直至达到设计指标。梯度搜索算法^[22]基于目标函数的一阶导数（梯度）信息，计算目标函数在当前参数值处的梯度向量。梯度方向指向函数值增长最快的方向。之后进行反向更新，为最小化目标函数，参数向梯度下降方向移动。最后进行迭代优化，重复梯度计算和参数更新，直至达到收敛条件。若不满足收敛条件，则放宽优化边界。经三次边界扩展仍未收敛，则触发重构流程，通过添加高阶寄生网络来增强模型表征能力。

此方法在保证模型物理可解释性的基础上，通过建立“参数初值计算-梯度优化-模型演进”的三阶段校准体系，有效平衡了建模精度与优化效率之间的矛盾。

2 PDK开发

2.1 PDK组成部分及功能

PDK概念最早由Cadence公司基于其Cadence Virtuoso设计平台提出，可用脚本语言SKILL编程实现该平台上的任意操作。PDK是集成电路设计的核心工具包，可为设计者提供特定半导体工艺兼容的设计资源与规则。其核心目标是通过标准化的组件和流程，确保电路设计能够符合制造工艺要求，同时又兼顾设计效率和可靠性。本文PDK基于Keysight公司ADS平台设计，使用ADS平台的AEL语言编写。不同公司的PDK基本结构框架是大致相同的，主要包含以下内容^[23]：

① 符号库 (Symbols)：为电路原理图设计提供图形化符号，作为器件在原理图中的可视化表示。符号中通常标注关键参数，便于设计者快速配置器件属性，用户可以通过图形化界面在平台中调用。

② 组件描述格式参数 (Component Description Format, CDF)：定义器件的属性信息，包括名称、参数类型、默认值、可编辑性等。通过脚本语言配置参数，降低代码维护难度。

③ 回调函数 (Callback)：实现参数间的动态关联与计算，例如限制参数范围或触发模型更新。通过脚本语言编写，确保参数修改后自动执行逻辑校验，主要用于表征CDF参数间关系。在复杂工艺（如GaAs pHEMT）中，回调函数可确保器件模型与版图参数的一致性。

④ 器件模型 (Device Model/SPICE Model)：通过数学方程或等效电路描述器件的电学特性（如电流-电压关系、射频特性）。

⑤ 参数化单元 (Pcell, Parameterized Cell)：由Symbols、CDF参数、Callback函数和Artwork构成，可通过脚本语言（Python、AEL等）生成可动态调整尺寸的版图单元，实现“原理图驱动版图”设计。

⑥ 参数化版图单元 (Artwork)：PCell所对应的版图文件，可自动化版图生成，用于版图设计。

⑦ 技术文件 (Technology File)：定义工艺层的物理属性（如材料、颜色、连接关系）及设计规则（如最小线宽、间距）。

⑧ 物理验证文件 (PV Rule)：包括设计规则检查 (DRC)、版图与原理图一致性检查 (LVS) 及寄生参数提取 (PEX)。DRC：确保版图符合工艺制造规则（如金属间距、通孔覆盖）。LVS：验证版图连接关系与原理图一致。

⑨ 手册与文档 (Manuals)：包括设计规则手册、PDK使用指南、模型说明文档等。为设计者提供完整的工艺参数说明和操作流程指导。

2.2 硅基无源互连结构PDK开发

本文设计的硅基无源互连结构PDK开发流程如图6所示。该流程以硅基工艺兼容性和高频性能优化为核心目标，采用自顶向下的开发方法：首先基于产品设计需求明确关键无源器件类型及互连参数规范。随后通过三维电磁场仿真工具HFSS对GCPW、微凸点等核心结构的电学特性进行建模与参数提取。若有实物测试数据，则根据该数据优化模型参数映射表，若因成本等因素暂未有实物，则以全波仿真数据作为基准数据。最终根据参数映射表编写实现参数化单元，生成并发布PDK。最终，本PDK构建了包含GCPW传输

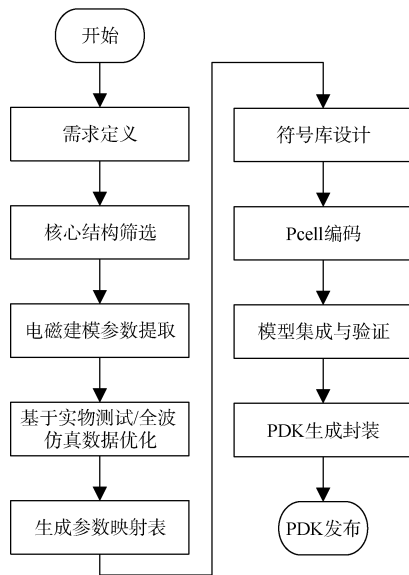


图6 硅基无源互连结构 PDK 开发流程

Fig. 6 Development flowchart of PDK for silicon-based passive interconnect structures

线、90°拐角结构、金丝键合、微凸点阵列等共 10 类基础模型, 如图 7 所示, 覆盖 1~40 GHz 工程常用频段, 满足从信号传输、阻抗匹配到三维封装的全流程设计需求。

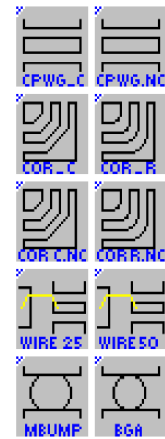
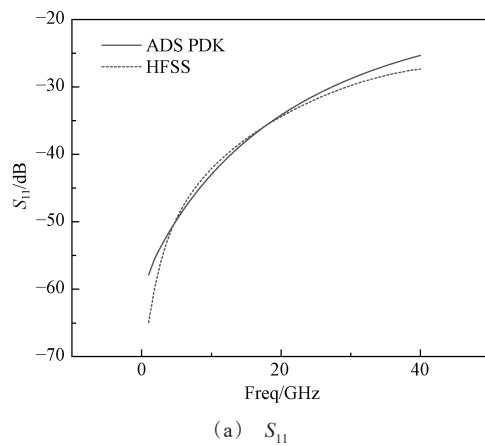


图7 10种基础模型

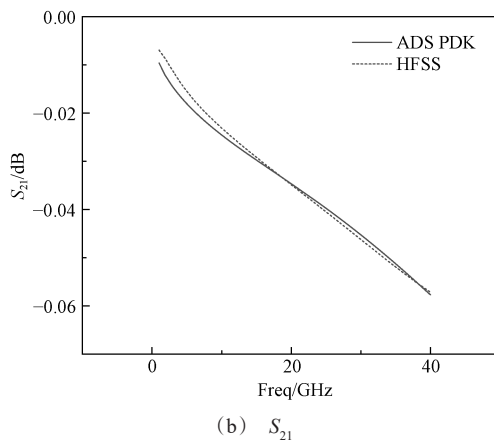
Fig. 7 10 basic models

2.3 硅基无源互连结构 PDK 验证

① 单一结构准确度验证: 以 GCPW 模型验证为例, 设置传输线传输层为 I2T, 线宽 W 为 $70\ \mu\text{m}$, 线长 L 分别为 $200\ \mu\text{m}$ 、 $400\ \mu\text{m}$ 、 $600\ \mu\text{m}$ 、 $800\ \mu\text{m}$ 、 $1\ 000\ \mu\text{m}$, 间隙宽度 G 为 $85\ \mu\text{m}$ 。将仿真结果与 HFSS 数据对比, 如图 8 和表 1 所示, 可以看出该模型在 1~40 GHz 内满足 $S_{\text{RMSE}} \leq 10\%$ 指标, 且在多个关键频点误差 $\leq 10\%$, 满足 PDK 开发要求。



(a) S_{11}



(b) S_{21}

图8 800 μm 线长 S 参数仿真结果

Fig. 8 Simulation results of S-parameter of GCPW

② 射频微系统信号传输网络验证: 使用该 PDK 设计 X 频段模块信号传输网络, 该模块共有四层硅转接板, 设计指标在 8~10 GHz 内单通道插入损耗小于 9 dB, PDK 设计和传统方案原理图如图 9 所示。传统设计方案采用 HFSS 仿真关键结构, 再将对应 SNP 数据导入 ADS 原理图进行互连。最终对比两种方案的仿真结果如图 10 所示, 可以看

出在目标频段下插入损耗小于 5.3 dB, 经计算可得 $S_{\text{RMSE}}=1.959$ 。在节省三维电磁场仿真时间的前提下, 保证了一定的精准度。

3 结束语

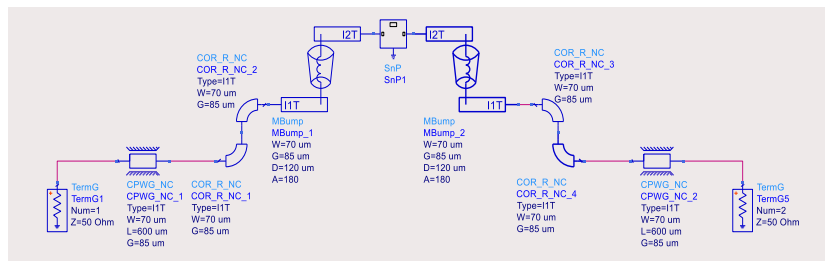
本文针对硅基射频微系统无源互连结构的高频建模需求, 开发并验证了一种基于等效电路与

表 1 模型误差

Table 1 Model error (RMSE)

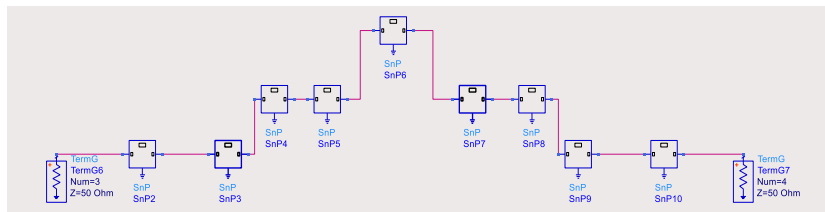
线长/ μm	1 GHz 误差/(%)	10 GHz 误差/(%)	18 GHz 误差/(%)	30 GHz 误差/(%)	40 GHz 误差/(%)	$S_{\text{RMSE}}/(\%)$
200	9.537/9.429	4.615/8.035	5.005/2.591	0.853/1.660	4.055/7.213	5.765/5.815
400	7.762/9.104	6.885/9.104	5.993/3.627	3.240/0.135	0.431/3.798	5.682/4.986
600	8.191/6.172	2.458/5.142	2.545/0.516	1.949/3.964	1.522/5.653	5.931/5.404
800	8.926/8.961	2.086/6.565	0.183/0.158	3.534/2.077	7.394/1.002	4.336/3.923
1 000	5.397/6.235	2.251/2.463	0.446/8.132	5.836/8.500	5.950/1.230	7.299/7.621

注:表格中/前为 S_{11} 误差, /后为 S_{21} 误差。



(a) 使用 PDK 元件

(a) Using PDK components



(b) 传统方案

(b) Conventional scheme

图 9 ADS 平台中的两种原理图

Fig.9 Two schematics in ADS platform

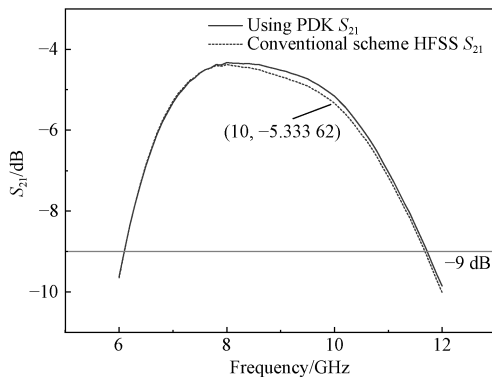


图 10 两种方案 S 参数仿真结果对比

Fig. 10 Comparison of S-parameter simulation results between two schemes

全波仿真数据融合的硅基射频无源结构 PDK, 成功实现了 1~40 GHz 频段内高精度模型校准与高效设计验证。然而, 实际制造工艺的复杂性与高频

寄生效应的动态特性仍对模型的鲁棒性提出了挑战。后续可结合量产测试数据对模型进行动态参数修筑, 还可结合机器学习算法增强寄生参数预测能力, 进一步提升模型在宽频带与多场景下的适应性。同时, 可扩展 PDK 支持的器件类型与三维集成工艺, 推动其在 5G 通信、工业自动化等领域的产业化应用。未来研究将聚焦于 PDK 的智能化迭代 (如自适应参数调整)、高频段扩展与多物理场联合优化 (电磁-热-应力耦合分析), 为射频微系统的高性能集成提供更全面的解决方案。

参考文献

[1] 徐锐敏, 王欢鹏, 徐跃杭. 射频微系统关键技术进展及展望[J]. 微波学报, 2023, 39(5): 70-78. DOI:10.14183/j.cnki.1005-6122.202305008. XU Ruimin, WANG Huanpeng, XU Yuechang. Progress

- and prospects of key technologies in RF microsystems[J]. *Journal of Microwaves*, 2023, 39(5): 70-78. DOI: 10.14183/j.cnki.1005-6122.202305008.
- [2] 刘德喜, 张晓庆, 史磊, 等. 射频微系统技术发展策略研究[J]. *遥测遥控*, 2021, 42(5): 17-27. LIU Dexi, ZHANG Xiaoqing, SHI Lei, et al. Research on development strategy of RF microsystem technology[J]. *Journal of Telemetry, Tracking and Command*, 2021, 42(5): 17-27.
- [3] 郁元卫, 张洪泽, 黄旻, 等. 硅基射频微系统三维异构集成技术[J]. *固体电子学研究与进展*, 2019, 39(3): 235. DOI:10.19623/j.cnki.rpsse.2019.03.016. YU Yuanwei, ZHANG Hongze, HUANG Min, et al. Silicon based RF microsystem using 3D heterogeneous intergration technology[J]. *Research & Progress of Solid State Electronics*, 2019, 39(3): 235. DOI: 10.19623/j.cnki.rpsse.2019.03.016.
- [4] 刘军, 高爽, 汪曾达, 等. 射频异构集成微系统多层级协同仿真建模与PDK技术综述[J]. *微电子学与计算机*, 2024, 41(1): 11-25. DOI:10.19304/J.ISSN1000-7180.2023.0783. LIU Jun, GAO Shuang, WANG Zengda, et al. A review of RF heterogeneous integrated microsystems multi-level co-simulation modeling and PDK technology[J]. *Microelectronics & Computer*, 2024, 41(1): 11-25.
- [5] SAMANTA K K. Cost-effective technologies for next-generation system on package: Multilayer transmission lines and interconnects for 5G and millimeter-wave[J]. *IEEE Microwave Magazine*, 2022, 23(8): 50-65. DOI: 10.1109/MMM.2022.3173467.
- [6] LAHIJI R R, LEE T T, SNAPP W P. 3D integration and challenges for advanced RF and microwave systems: EDA perspective[C]//2016 IEEE International 3D Systems Integration Conference (3DIC), San Francisco, CA, USA, 2016: 1-3. DOI: 10.1109/3DIC.2016.7970035.
- [7] CIBRARIO G, HENRY D, CHANTRE C, et al. A 3D process design kit generator based on customizable 3D layout design environment[C]//2013 IEEE International 3D Systems Integration Conference (3DIC), San Francisco, CA, USA, 2013: 1-5. DOI: 10.1109/3DIC.2013.6702324.
- [8] HERRAULT F, WONG J, RAMOS I, et al. Chiplets in Wafers (CiW) - process design kit and demonstration of high-frequency circuits with GaN chiplets in silicon interposers[C]//2021 IEEE 71st Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, 2021: 178-184. DOI: 10.1109/ECTC32696.2021.00039.
- [9] MA H, HU Z, ZHOU Q, et al. Design and fabrication of High-Q IPDS for process design kits on glass substrate [C]//2022 China Semiconductor Technology International Conference(CSTIC), Shanghai, China, 2022: 1-3. DOI: 10.1109/CSTIC55103.2022.9856753.
- [10] 李怡潜. 硅基 CMOS 异构集成 InP HBT PDK 研究[D]. 杭州: 杭州电子科技大学, 2023. DOI:10.27075/d.cnki.ghzdc.2023.001139.
- [11] 贾古凯, 游彬, 陈展飞. 国产 EDA 平台下化合物半导体工艺 PDK 的开发研究[J]. *杭州电子科技大学学报(自然科学版)*, 2023, 43(5): 21-29. DOI: 10.13954/j.cnki.hdu.2023.05.004.
- [12] 董泽瑞, 陈展飞, 刘军. 一种基于 GaAs 和 FO-WLP 工艺的异质异构集成 PDK[J]. *杭州电子科技大学学报(自然科学版)*, 2023, 43(5): 21-29. DOI:10.13954/j.cnki.hdu.2024.01.005.
- [13] 蔡星. GaAs HBT 异质集成 Si 基 CMOS 工艺 PDK 技术研究[D]. 杭州: 杭州电子科技大学, 2024. DOI: 10.27075/d.cnki.ghzdc.2024.001162.
- [14] 赵沐明, 李文龙, 李婷婷, 等. 全球主要 EDA 软件公司的做法、经验与启示[J]. *中国集成电路*, 2021, 30(4): 16-19, 80.
- [15] 朱樟明, 尹湘坤, 刘晓贤, 等. 硅基三维集成射频无源器件及电路研究进展[J]. *微电子学与计算机*, 2023, 40(1): 11-17. ZHU Zhangming, YIN Xiangkun, LIU Xiaoxian, et al. Research progress of silicon-based 3D integrated RF passive devices and circuits[J]. *Microelectronics & Computer*, 2023, 40(1): 11-17.
- [16] 祝志成. 基于硅基三维异构集成的射频微系统关键技术研究[D]. 杭州: 浙江大学, 2023. DOI:10.27461/d.cnki.gzjdx.2023.000712.
- [17] 盛心懿, 丁博文, 赵辰, 等. 一种共面波导的统一物理模型[J]. *电子设计工程*, 2017, 25(8): 87-91. DOI: 10.14022/j.cnki.dzsjgc.2017.08.021.
- [18] POZAR D M. 微波工程[M]. 谭云华, 周乐柱, 吴德明, 等译. 北京: 电子工业出版社, 2019.
- [19] GREENHOUSE H. Design of planar rectangular micro-electronic inductors[J]. *IEEE Transactions on Parts, Hybrids, and Packaging*, 1974, 10(2): 101-109. DOI: 10.1109/TPHP.1974.1134841.
- [20] CHEN H, FANG J. Modeling of impedance of rectangular cross-section conductors[C]//IEEE 9th Topical Meeting on Electrical Performance of Electronic Packaging (Cat. No.00TH8524), Scottsdale, AZ, USA, 2000: 159-162. DOI:10.1109/EPEP.2000.895518.
- [21] 吴伟, 孙毅鹏, 张兆华, 等. 类同轴 TSV 的高频电学模型与分析[J]. *半导体技术*, 2022, 47(11): 926-932. DOI: 10.13290/j.cnki.bdtjs.2022.11.012.
- [22] AHMADIANFAR I, BOZORG-HADDAD O, CHU X. Gradient-based optimizer: A new metaheuristic optimization algorithm[J]. *Information Sciences*, 2020, 540: 131-159.
- [23] 祝晓波, 冯江. 工艺设计工具包 PDK 的应用及开发[J]. *电子设计应用*, 2006(2): 76-78.

[作者简介]

- 殷子洲 1998年生, 硕士研究生。
 刘德喜 1973年生, 硕士, 研究员。
 薛廷 1986年生, 硕士, 高级工程师。
 史磊 1979年生, 硕士, 研究员。
 刘亚威 1986年生, 博士, 研究员。
 景翠 1985年生, 硕士, 研究员。

(本文编辑: 杨秀丽)