

一种硅基 CMOS 24~30 GHz 三倍频器设计

万一兆^{1,2}, 万恒至^{1,2}, 赵涤燮^{1,2}

(1 东南大学信息科学与工程学院 南京 210096;
2 东南大学移动通信全国重点实验室 南京 210096)

摘要: 本文基于 65nm CMOS (Complementary Metal-Oxide-Semiconductor, 互补金属氧化物半导体) 工艺, 设计了一款工作在 24~30 GHz 频段的三倍频器, 旨在提升毫米波通信系统中本振链路性能。本设计利用了 MOS (Metal-Oxide-Semiconductor, 金属氧化物半导体) 晶体管的非线性特性, 通过优化偏置电压和匹配网络, 有效增强了三次谐波, 同时抑制了基波和高次谐波。本文提出的三倍频器采用两级架构: 第一级基于差分的共源共栅架构, 针对三次谐波进行了高效提取与放大; 第二级为功率放大器, 通过负载牵引分析进一步优化了带宽和输出功率。版图后仿真结果表明, 该三倍频器的 3 dB 带宽为 24~30 GHz, 相对带宽达到 22%, 并在 27 GHz 处实现了 7.4 dBm 的饱和输出功率, 带内最大转换增益为 4.2 dB, 基波和五次谐波的抑制分别达 29 dBc 和 28 dBc, 在较宽的输入功率范围内均具有良好的性能。本文的设计为毫米波通信中的 K/Ka 波段本振链路提供了一种高效且紧凑的实现方案。

关键词: 三倍频器; CMOS 工艺; 谐波抑制; 毫米波通信; 本振链路

中图分类号: TN771; TN432

文献标志码: A

文章编号: 2095-1000(2025)04-0026-07

DOI: 10.12347/j.ycyk.20250120002

CSTR: 32406.14.ycyk.20250120002

引用格式: 万一兆, 万恒至, 赵涤燮. 一种硅基 CMOS 24~30 GHz 三倍频器设计[J]. 遥测遥控, 2025, 46(4): 26-32.

A Silicon-Based CMOS 24~30 GHz Tripler

WAN Yizhao^{1,2}, WAN Hengzhi^{1,2}, ZHAO Dixian^{1,2}

(1. School of Information Science and Engineering, Southeast University, Nanjing 210096, China;

2. National Mobile Communications Research Laboratory, Southeast University, Nanjing 210096, China)

Abstract: This paper presents the design of a 24~30 GHz frequency tripler based on a 65 nm CMOS process, aiming at enhancing the performance of local oscillator (LO) chains in millimeter-wave communication systems. By leveraging the nonlinear characteristics of MOS transistors, the design optimizes the bias voltage and matches network to enhance the third harmonic while suppressing the fundamental and higher-order harmonics. The proposed frequency tripler employs a two-stage architecture: the first stage utilizes a differential common-source common-gate (CSCG) structure, efficiently extracts and amplifies the third harmonic, while the second stage, a power amplifier, further optimizes the bandwidth and output power through load-pull analysis. Post-layout simulation results demonstrate a 3 dB bandwidth of 24~30 GHz, achieving a relative bandwidth of 22%. At 27 GHz, the tripler delivers a saturated output power of 7.4 dBm, with a maximum in-band conversion gain of 4.2 dB. The suppression levels for the fundamental and fifth harmonics are 29 dBc and 28 dBc, respectively, maintaining good performance over a wide input power range. This design provides an efficient and compact solution for K/Ka-band LO chains in millimeter-wave communication systems.

Keywords: Frequency tripler; CMOS technology; Harmonic suppression; Millimeter-wave communication; Local oscillator

Citation: WAN Yizhao, WAN Hengzhi, ZHAO Dixian. A Silicon-Based CMOS 24~30 GHz Tripler[J]. Journal of Telemetry, Tracking and Command, 2025, 46(4): 26-32.

0 引言

随着无线通信技术的快速迭代, 传统的 Sub-6 GHz 频段频谱资源日益紧张, 而毫米波频段凭借

其更加广阔的频谱范围, 成为新兴无线通信技术发展的重要方向。在卫星通信、5G 直至 6G 无线通信技术中, Ku/Ka/Q/V 等频段的应用需求正持续扩大, 这也为毫米波频段芯片设计带来了新的挑战^[1]。

随着载波频率的不断升高,本振链路对信号频率的要求显著提升,同时对系统设计的精度与性能提出了更高的要求。在更高频段中,传统锁相环(Phase Locked Loop, PLL)输出频率的压控振荡器(Voltage Controlled Oscillator, VCO)因其LC谐振腔的品质因数下降、变容二极管的调节范围受限,导致其设计复杂度增加,输出的最高频率有限。为此,现有设计中逐步采用带有倍频器的锁相环^[2,3],或在PLL后面级联倍频器^[4,5],从而降低了VCO的设计压力,在高频电路中实现更优的本振输出性能。

相较于二倍频器,三倍频器在高频信号生成中具有显著优势。在高倍的链路中可以有效减少倍频级数^[6-8],从而简化本振链路,特别适用于毫米波通信设计。同时,三倍频带来的高放大倍数有利于进一步降低PLL中VCO的输出频率,从而提高其设计质量^[8]。目前,常见的三倍频器设计主要包括三种方案:基于混频器的自混频倍频器^[9-11]、基于注入锁定的倍频器^[12-14]以及基于器件非线性的倍频器^[15-19],其原理示意图如图1所示。

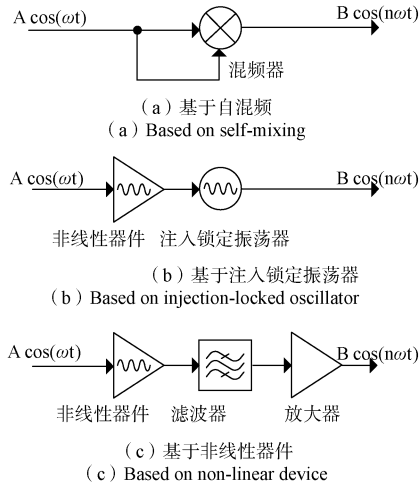


图1 三种基本的倍频器原理示意图

Fig. 1 Three basic structure of multiplier

基于自混频原理的三倍频器通过将基波信号与其二次谐波进行混频,实现三倍频信号的生成。该结构在输出功率性能方面具有一定优势,但其设计中对较大直流偏置的需求以及显著的寄生电容效应,严重限制了器件的转换增益和工作带宽,制约了其在高性能毫米波电路中的应用拓展^[8,14]。注入锁定型三倍频器通过外部信号的注入锁定原理生成倍频,具有极高的效率和转换增益。然而,由于振荡器的锁定范围有限,其工作带宽拓展受到较大制

约^[14]。相比之下,基于器件非线性的倍频方法利用MOS管在低偏置条件下的非线性特性生成高次谐波,并通过后续电路进一步放大目标谐波,整体架构简洁直观,且具备良好的带宽扩展能力^[15,17],逐渐成为了倍频器设计中的重要研究方向之一。

针对上述背景,本文基于65 nm CMOS工艺,提出了一种针对K/Ka波段的三倍频器设计。设计中利用MOS管的非线性特性生成谐波信号,并通过合理优化倍频器的偏置条件和链路匹配网络,将滤波功能集成到匹配网络中,从而提高系统整体性能。通过这种优化设计,本文实现了一款在K/Ka波段具备高效谐波输出的三倍频器,显著改善了带内转换增益、稳定性以及基波与谐波的抑制水平。

1 三倍频器设计原理

当场效应管工作在非线性区时,其漏极输出电流中将包含更多谐波成分。通过合理选择偏置电压以调节器件的导通角,可以有效地改变其谐波输出特性,从而实现目标频率分量的有效提取。对于一个处于AB类或C类的放大器而言,输入正弦波,其输出波形可以用下式概括^[20]:

$$I_d = \begin{cases} I_m \frac{\cos \omega t - \cos \frac{\theta}{2}}{1 - \cos \frac{\theta}{2}}, & -\frac{\theta}{2} \leq \omega t - 2k\pi \leq \frac{\theta}{2} \\ 0, & \text{others} \end{cases} \quad (1)$$

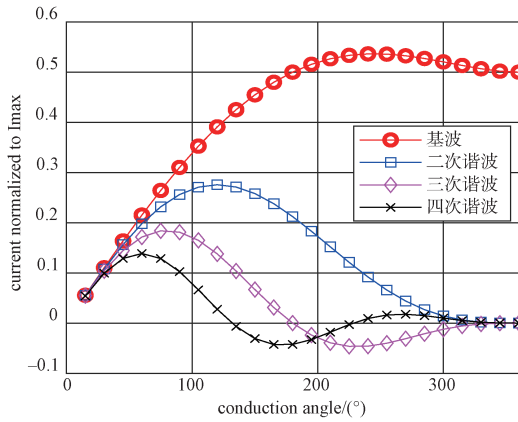
式中, I_d 为漏极输出电流, I_m 为漏极输出电流的最大摆幅, θ 为导通角, ω 为输入信号的角频率。计算上式的傅里叶系数可以得到漏极输出电流:

$$\begin{cases} I_{dc} = \frac{I_{max}}{\pi} \left(\frac{\sin \frac{\theta}{2} - \frac{\theta}{2} \cos \frac{\theta}{2}}{1 - \cos \frac{\theta}{2}} \right) \\ I_{fund} = \frac{I_{max}}{\pi} \left(\frac{\frac{\theta}{2} - \sin \frac{\theta}{2} \cos \frac{\theta}{2}}{1 - \cos \frac{\theta}{2}} \right) \\ I_{2nd} = \frac{I_{max}}{6\pi} \left(\frac{3 \sin \frac{\theta}{2} - \sin \frac{3\theta}{2}}{1 - \cos \frac{\theta}{2}} \right) \\ I_{3rd} = \frac{I_{max}}{6\pi} \left(\frac{(1 - \cos \theta) \sin \theta}{1 - \cos \frac{\theta}{2}} \right) \end{cases} \quad (2)$$

上式给出了漏极由直流直至三次谐波的峰值电流关于场效应管导通角的解析解，将其按 I_{max} 归一化，如图 2。如图 2(a)所示，当三次谐波在漏极输出电流中最大时，最佳导通角约 90° 。

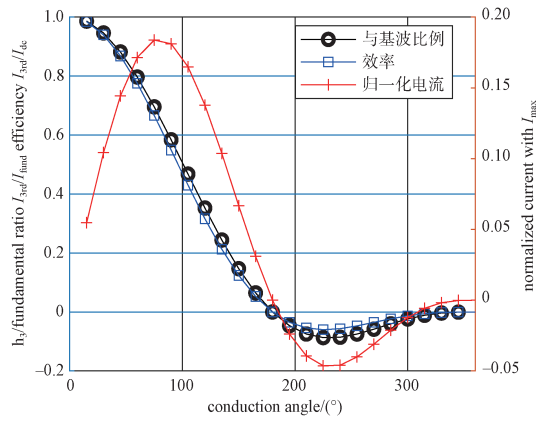
图 2(b)给出了三次谐波的归一化电流大小、关于基波的比例 I_{3rd}/I_{fund} 以及效率 I_{3rd}/I_{dc} 的变化率。由图可知，如果进一步降低偏置，获取更小的导通

角，将以三次谐波的绝对输出为代价，换取基波的抑制和效率。因此，在实际设计过程当中，可以适当调整偏置，以平衡效率、基波输出与三次谐波绝对功率之间的关系。最后，选取 80° 为设计的目标导通角。由于实际实现还会受工艺、场效应管的尺寸、偏置等影响，具体设计将在后文讨论。



(a) 漏极输出电流各谐波分量

(a) Harmonic components of the drain output current



(b) 三次谐波,对基波比例,效率与导通角的关系

(b) Third harmonic-to-fundamental ratio, efficiency versus the conduction angle

图 2 漏极输出电流各谐波分量(a)以及三次谐波,对基波比例,效率与导通角的关系(b)

Fig. 2 Harmonic components of the drain output current (a) Third harmonic-to-fundamental ratio, efficiency versus the conduction angle (b)

2 三倍频器设计

2.1 三倍频器和放大器设计

如图 3 所示，本文所设计的三倍频器分为倍频和放大两级：第一级通过输入巴伦和附加并联电容实现输入匹配，并使得三倍频核心得到差分输入；第二级为功率放大器，放大目标频段信号。选频通

过级间匹配和输出匹配网络实现，避免重复设计滤波器进行谐波滤除，以减小芯片面积开销。设计的主体结构和文献[16]中所述结构类似，但在此基础上，本文对该结构进行了针对 CMOS 工艺的移植，并通过优化匹配网络，进一步提升了谐波抑制性能。

三倍频器的核心由 8~10 GHz 的输入巴伦和带中和电容的共源共栅结构 (Cascode) 组成。倍频

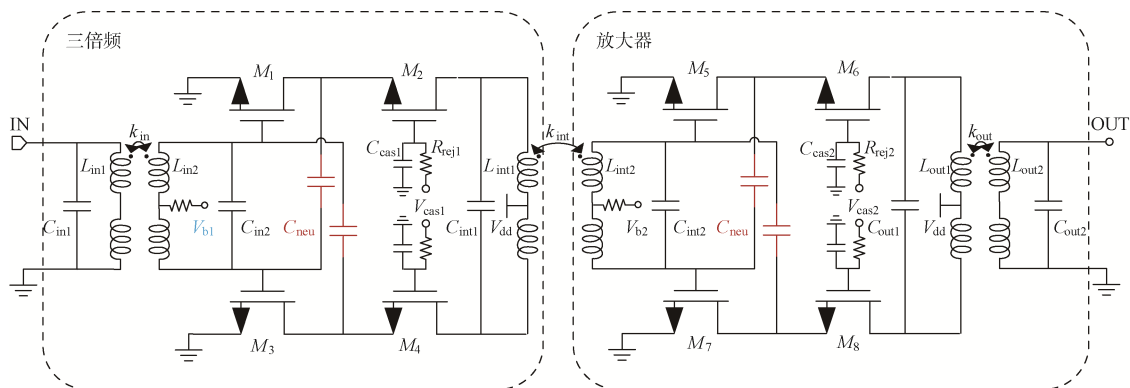


图 3 三倍频器设计原理图

Fig. 3 Schematic of the proposed frequency tripler

器核心和后级放大器所使用的Cascode结构在输入输出端口之间提供了较好的隔离, 使得其输入输出匹配相对独立, 降低了匹配设计的难度。同时, 为了得到更高的功率带宽, 在此处选用了 $1\ \mu\text{m}\times 32\ \mu\text{m}\times 4\ \mu\text{m}$ 的大尺寸场效应管。为进一步提高放大器的增益和稳定性, 倍频器与后级放大器均采用了电容中和技术。中和电容 C_{neu} 的取值为46 fF, 此时电路的稳定性因子(k-factor)达到最大值。

通过在电路中采用差分结构, 利用电路的对称性, 输出端的偶次谐波将自然地相互抵消, 其功率将远低于奇次谐波。因此, 后续的谐波抑制分析将主要聚焦于基波和五次谐波的抑制。

正如前文所述, 导通角直接影响倍频器的基波抑制、谐波抑制和转换效率, 因此需要选取适当的共栅极偏置电压 V_b , 以使各项指标达到平衡。在对倍频器完成输入匹配设计后, 其输出三次谐波关于不同 V_b 的功率如图4所示。随着偏置电

压的上升, 倍频器的功率带宽增大, 但饱和输出功率降低。

在充分权衡倍频器的基波抑制、输出功率和转换增益后, 选取0.15 V作为第一级的偏置电压。在1.8 V的供电电压下, 为了维持Cascode中间节点电压并防止过高的 V_{ds} 击穿场效应管, 共栅级电压 V_{cas1} 取得1.2 V。

2.2 匹配网络设计

本文针对倍频器核心电路的输出端采用了负载牵引技术, 从而在工作频段得到最佳输出阻抗。对于倍频核心的最佳输出负载, 在三个频点24 GHz、27 GHz和30 GHz进行了负载牵引分析, 其结果如图5所示, 分别为 $23.1 + 24.5\ \Omega$, $22.0 + 26.3\ \Omega$ 和 $20.4 + 35.1\ \Omega$ 。进行级间匹配后, 放大器输入端的 S_{11} 如图6所示, 在各频率下均集中于倍频器输出端负载牵引所得的最佳阻抗附近, 在实现宽带匹配的同时, 获得了较高的输出功率。

倍频器与放大器的级间匹配采用等效为四阶LC的变压器实现, 如图7所示。此处选用了弱耦合的变压器进行匹配, 其本身具有带通的频率特性, 通过调节耦合系数和两端电容, 其在工作频带内呈现出平坦的增益。由于后级输入端的等效电阻较大, 匹配网络整体在两端形成的RLC并联谐振腔将呈现出较低的 Q 值, 在牺牲一部分增益的情况下, 这对于扩展带宽有利。

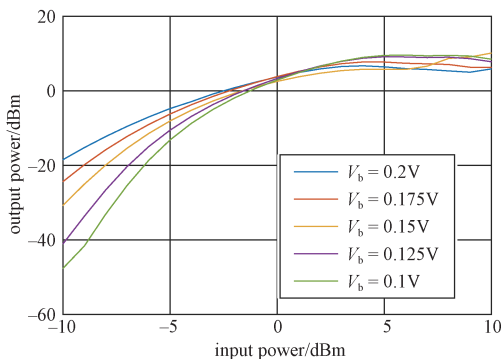
为了减少基波泄漏, 并使得三倍频器能覆盖整个工作频段(24~30 GHz), 级间匹配网络采用弱耦合变压器进行设计。变压器的耦合系数 k 决定了耦合谐振器的传递函数。一方面, 较低的 k 值会平坦化频率响应, 但同时引入了较大的插入损耗; 另一方面, 较高的 k 值会减少插入损耗, 但代价是引入更大的带内波动。为了确保宽带匹配和强大的三次谐波输出功率, 耦合系数 k 最终选定为0.35。

进行级联仿真调整后, 三级匹配所用参数如表1所示, 表中参数意义如图3所示。

3 后仿真分析

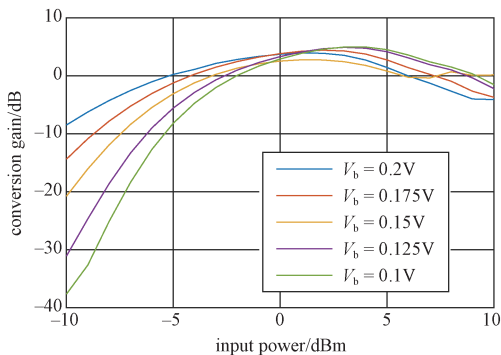
本文所提出的倍频器通过65 nm CMOS工艺设计实现, 并在版图图中添加了 $0.15\ \text{mm}\times 0.15\ \text{mm}$ 的焊盘, 以提供外部输入和偏置, 从而实现了上文所述设计。

如图8所示, 本设计在输入功率为-5 dBm至



(a) 谐波输出功率与输入功率关系

(a) Harmonic output power



(b) 转换增益与输入功率关系

(b) Conversion gain versus output power under different bias

图4 不同偏置下谐波输出功率与输入功率关系(a)以及转换增益与输入功率关系(b)

Fig. 4 (a) Harmonic output power (b) Conversion gain versus output power under different bias

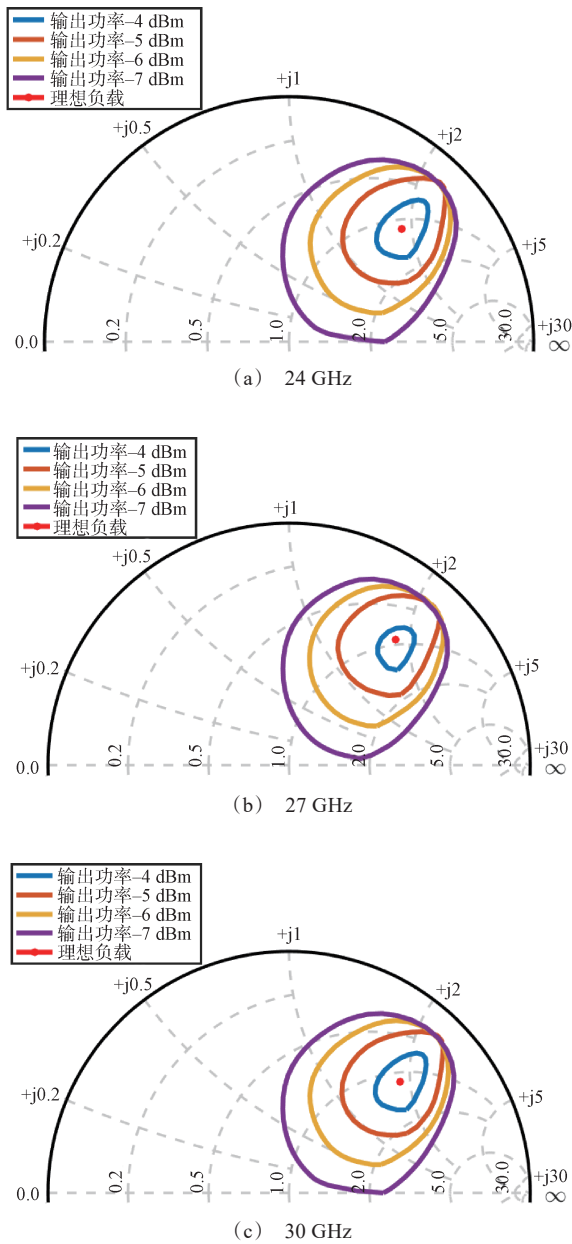


图 5 三个频点的负载牵引结果图

Fig.5 Load pull result at three frequencies

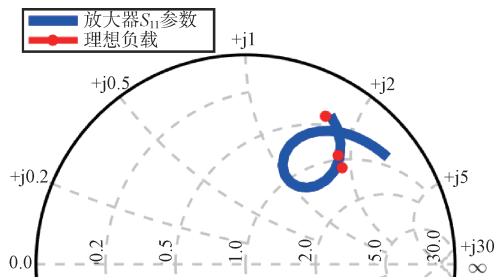


图 6 带级间匹配后的放大器 S_{11} 参数

Fig.6 S_{11} of the amplifier with interstage matching

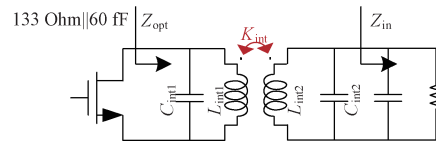


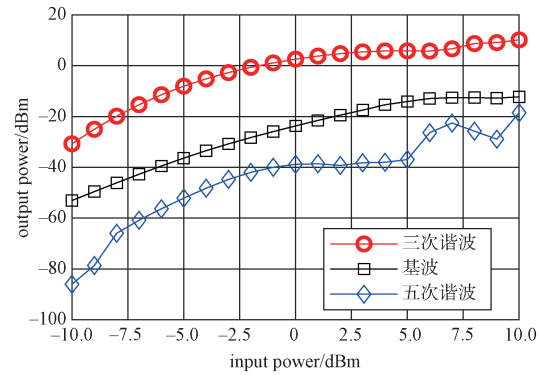
图 7 级间变压器匹配的示意图

Fig. 7 Schematic of transformer-based interstage matching

表 1 三倍频器三级匹配取值参考参数表

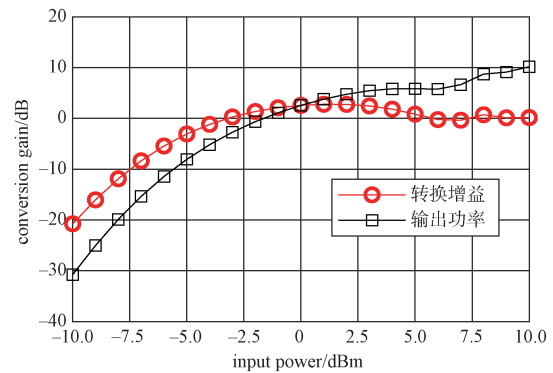
Table 1 Design parameters of three stage matching networks

设计参数	取值	设计参数	取值	设计参数	取值
Lin1	600 pH	Lint1	540 pH	Lout1	400 pH
Lin2	2.4 nH	Lint2	380 pH	Lout2	300 pH
Cin1	200 fF	Cint1	30 fF	Cout1	30 fF
Cin2	50 fF	Cint2	0	Cout2	180 fF
Kin	0.6	Kint	0.35	Kout	0.48



(a) 输出功率与输入功率关系

(a) Output power versus input power



(b) 转换增益与输入功率关系

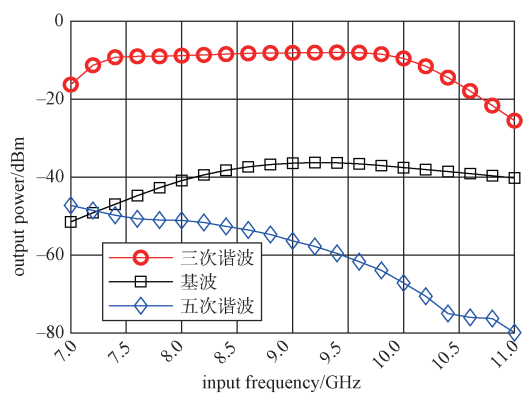
(b) Conversion gain versus input power at 9 GHz

图 8 在中心频率(9 GHz)下的以及输出功率与输入功率关系 (a) 转换增益与输入功率关系 (b)

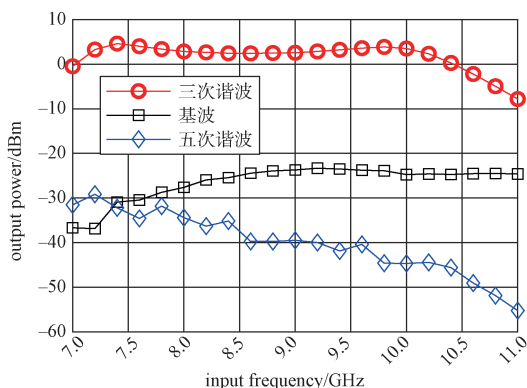
Fig.8 Output power versus input power (a) Conversion gain versus input power at 9 GHz (b)

5 dBm 的范围内实现了三倍频设计, 在 1 dBm 附近得到最大转换增益 4.2 dB, 中心频点 27 GHz 处饱

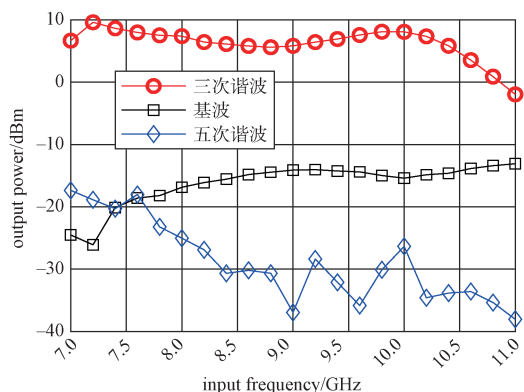
和输出功率为 7.4 dBm，在工作频段内对基波和五次谐波实现了大于 29 dBc 的抑制比。



(a) -5 dBm



(b) 0 dBm



(c) 5 dBm

图9 在 (a) -5 dBm (b) 0 dBm (c) 5 dBm 下输出功率与输入频率关系

Fig.9 Output power versus input frequency with (a)-5 dBm (b) 0 dBm (c) 5 dBm input power

由图9可以看出，本设计在 24~30 GHz 的频率范围内实现了三倍频设计，在较低的输入功率 (-5 dBm) 下，3dB 带宽可以扩展到 22~30.4 GHz，

同时在带内均可得到接近 30 dBc 的基波和谐波抑制，转换增益为 -3.6 dB；而在较高的输入功率 (5 dBm) 下，则保持 23.6~30.4 GHz 的工作带宽，基波和谐波抑制比为 28 dBc，转换增益为 4 dB。

4 结束语

本文在 24~30 GHz 频段，利用 65 nm CMOS 工艺设计了一款基于 CMOS 器件非线性的三倍频器并对其性能进行了分析。芯片在相对带宽约 22% 的频段内，在中心频点 27 GHz 处实现了 7.4 dBm 的饱和输出功率，以及在输入功率为 1 dBm 处获得了 4.2 dB 的最大转换增益和 6 GHz 的 3 dB 带宽，实现了性能良好的三倍频设计，核心面积仅 0.6 mm×0.4 mm，含外围测试极板面积为 1.2 mm×0.75 mm。本设计为 K/Ka 波段的毫米波的本振链路设计提供了优化方向，并提供了一种简便易行的设计方法，在毫米波射频收发机链路中具有潜在的应用价值。

参考文献

- [1] 赵涤燹, 陈智慧, 尤肖虎. CMOS 毫米波芯片与 4096 发射/4096 接收超大规模集成相控阵设计实现[J]. 中国科学: 信息科学, 2021, 51(3): 505-519.
ZHAO Dixian, CHEN Zhihui, YOU Xiaohu. Design and implementation of CMOS millimeter-wave ICs and 4096 TX/4096 RX very-large-scale integrated phased-array antenna[J]. Scientia Sinica Informationis, 2021, 51(3): 505-519.
- [2] CHEN Z M, WANG C C, HEYDARI P. W-band frequency synthesis using a Ka-band PLL and two different frequency triplers[C]//2011 IEEE Radio Frequency Integrated Circuits Symposium. New York: IEEE, 2011: 1-4.
- [3] TSAI P K, HUANG T H. Integration of current-reused VCO and frequency tripler for 24-GHz low-power phase-locked loop applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2012, 59(4): 199-203.
- [4] CHEN P H, CHEN M C, WU C Y. An integrated 60-GHz front-end receiver with a frequency tripler using 0.13- μ m CMOS Technology[C]//2007 14th IEEE International Conference on Electronics, Circuits and Systems. New York: IEEE, 2007: 829-832.
- [5] CHEN B W, LUO W, WANG F W, et al. A 22.5-31.2-GHz continuously tuning frequency synthesizer with 8.7-GHz chirp for FMCW applications[J]. IEEE Microwave

- and Wireless Components Letters, 2020, 30(9): 904-907.
- [6] DONG R B, HARA S, WATANABE I, et al. A 213-233 GHz $\times 9$ frequency multiplier chain with 4.1 dBm output power in 40nm bulk CMOS[C]//2021 IEEE MTT-S International Microwave Symposium (IMS). New York: IEEE, 2021: 458-461.
- [7] ROMSTADT J, ZABEN A, PAPURCU H, et al. A 117.5-155-GHz SiGe $\times 12$ frequency multiplier chain with push-push doublers and a Gilbert cell-based tripler[J]. IEEE Journal of Solid-State Circuits, 2023, 58(9): 2430-2440.
- [8] TURKMEN E, AKSOYAK I K, DEBSKI W, et al. A 220-261 GHz frequency multiplier chain ($\times 18$) with 8-dBm peak output power in 130-nm SiGe[J]. IEEE Microwave and Wireless Components Letters, 2022, 32(7): 895-898.
- [9] CHEN Z L, WU Y Q, YU Y M, et al. A ka-band frequency tripler using transformer-based self-mixing topology with peaking inductor[J]. IEEE Transactions on Microwave Theory and Techniques, 2020, 68(5): 1688-1696.
- [10] LIN Z, FENG G, WANG Y. A 69-to-89 GHz compact frequency tripler based on self-mixing topology in 40 nm CMOS[C]//2022 3rd International Conference on Electronics, Communications and Information Technology (CECIT). Sanya, China: IEEE, 2022: 62-66.
- [11] OUYANG Z Z, YU Y M, ZHAO C X, et al. A single-path reconfigurable $\times 2/\times 3$ frequency multiplier for 5G NR application[C]//2022 IEEE MTT-S International Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications (IMWS-AMP). New York: IEEE, 2022: 1-3.
- [12] FAN C, ZHAO Y, YAN LONG, et al. A 13.5-to-28.8GHz 72.3%-locking range multi-phase injection-locked frequency tripler with improved output power and wideband subharmonic-spur rejection in 28nm CMOS[C]//2023 IEEE Custom Integrated Circuits Conference (CICC). New York: IEEE, 2023: 1-2.
- [13] LAI W C, JANG S L, YEH H A, et al. A low-power injection-locked frequency tripler in 90 nm CMOS technology[C]//2020 IEEE 5th International Conference on Integrated Circuits and Microsystems (ICICM). New York: IEEE, 2020: 96-100.
- [14] WANG Z P, MA K X, MA Z L, et al. A 20.7-43.8-GHz low power reconfigurable $\times 2/\times 3$ frequency multiplier for multiple 5G-mm-wave bands[J]. IEEE Journal of Solid-State Circuits, 2022, 57(8): 2348-2361.
- [15] DING Y F, SHEN Y Z, LIN Z, et al. A 192-229 GHz frequency tripler with 4.4 dBm output power using slotline-based drain harmonic shaping technique in 40nm CMOS [C]//2024 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). New York: IEEE, 2024: 159-162.
- [16] LI Z K, CHEN J X, TANG D W, et al. A 205-273-GHz frequency multiplier chain ($\times 6$) with 9-dBm output power and 1.92% DC-to-RF efficiency in 0.13- μm SiGe BiCMOS[J]. IEEE Transactions on Microwave Theory and Techniques, 2023, 71(7): 2909-2919.
- [17] SU X L, HAO X C, WANG D, et al. An 81-99 GHz tripler with fundamental cancellation and 3rd harmonic enhancement technique in 40-nm CMOS[C]//IEEE International Symposium on Circuits and Systems (ISCAS). New York: IEEE, 2020: 1-5.
- [18] QAYYUM J A, ALBRECHT J D, PAPAPOLYMEROU J, et al. A compact W-band frequency tripler using single-balanced topology[J]. IEEE Microwave and Wireless Components Letters, 2020, 30(8): 806-809.
- [19] ZHOU P G, CHEN J X, YAN P P, et al. An E-band SiGe high efficiency, high harmonic suppression amplifier multiplier chain with wide temperature operating range [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(3): 1041-1050.
- [20] 刘岗. 硅基射频毫米波频率倍增模块的研究与设计[D]. 成都: 电子科技大学, 2024.
- [作者简介]
- 万一兆 2000年生, 硕士研究生。
万恒至 1999年生, 博士研究生。
赵涤燮 1983年生, 教授, 博士生导师。
- (本文编辑: 赵尹默)