

面向通导侦多功能通用的综合射频微系统集成设计与验证

王璇, 刘峰, 张金箭, 王国军, 阎郁
(北京遥测技术研究所 北京 100076)

摘要: 围绕综合电子装备的多应用功能融合、集成和可重构的需求, 针对通信、导航、侦察等应用场景, 为实现遥测、安控、数据链等多种功能, 本文设计了一款面向通导侦多功能通用的综合射频微系统。针对布线困难、隔离空间资源紧张、异质异构芯片集成困难等问题, 基于射频数字一体化融合设计方法, 实现 5 种工艺节点共 8 颗异构芯片的一体化高密度集成; 采用 BGA1369 封装, 封装尺寸为 37.5 mm×37.5 mm×3.97 mm。针对通用化应用的高可靠需求, 建立电、热、力可靠性考核体系, 实现批量化无人值守老炼与寿命试验。针对通导侦多功能通用的需求, 开发基于 IP 化软件定义应用方式实现可重构应用的操作系统, 可满足在手持遥测终端、飞行通信系统等不同射频数字一体化场景下的应用可重构, 满足便捷开发的应用需求。

关键词: 微系统; 异构芯片; 高密度集成; 可重构; 射频; 通信; 导航; 侦察

中图分类号: TN92; TP212

文献标志码: A

文章编号: 2095-1000(2025)04-0040-11

DOI: 10.12347/j.ycyk.20241217003

CSTR: 32406.14.ycyk.20241217003

引用格式: 王璇, 刘峰, 张金箭, 等. 面向通导侦多功能通用的综合射频微系统集成设计与验证[J]. 遥测遥控, 2025, 46(4): 40-50.

Integrated Design and Verification of A Multi-Functional General-Purpose Comprehensive RF Microsystem for Communication, Navigation and Reconnaissance

WANG Xuan, LIU Feng, ZHANG Jinjian, WANG Guojun, YAN Yu
(Beijing Research Institute of Telemetry, Beijing 100076, China)

Abstract: Based on the requirements of multi-application function fusion, integration, and reconfigurability of integrated electronic equipment, this paper designs a comprehensive RF(Radio Frequency) microsystem for communication, navigation, reconnaissance, and other applications to achieve multiple functions such as telemetry, safety control, and data link. Based on the RF digital integration design method, we aim to achieve high-density integration of 8 heterogeneous chips across 5 process nodes, addressing issues such as wiring difficulties, limited isolation space resources, and difficulties in integrating heterogeneous chips. Adopting BGA1369 packaging, the packaging size is 37.5 mm × 37.5 mm × 3.97 mm. To meet the high reliability requirements of universal applications, establish a reliability assessment system for electricity, heat, and power, and achieve batch unmanned aging and life testing. Developing an operating system based on IP software-defined application method to meet the demand for multifunctional communication, navigation and reconnaissance. This system can achieve reconfigurable applications in different RF digital integration scenarios such as handheld telemetry terminals and flight communication systems, and meet the application requirements for convenient development.

Keywords: Microsystem; Heterogeneous chips; High density integration; Reconfigurable; RF; Communication; Navigation; Reconnaissance

Citation: WANG Xuan, LIU Feng, ZHANG Jinjian, et al. Integrated Design and Verification of A Multi-Functional General-Purpose Comprehensive RF Microsystem for Communication, Navigation and Reconnaissance[J]. Journal of Telemetry, Tracking and Command, 2025, 46(4): 40-50.

0 引言

随着现代信息化作战理念的不断发展，以及武器装备软硬件集成设计技术、多功能综合射频一体化融合技术的发展，综合电子装备需求向多应用功能融合、集成和可重构趋势发展，电气电子设备向系列化、模块化、通用化趋势发展^[1]。国内外先进通信、导航、侦察等电子装备需要处理的信息日益庞大，包括系统控制、传感器信息获取、数据链路系统、任务规划和编队信息，同时还需要与地面完成信息交互、与指挥中心进行通信。伴随着任务的复杂性激增，电子装备上各设备由简单协同向一体化方向发展。随着作战理念的发展和现代战争复杂对抗环境的需要，电子装备上需要装载更多更为复杂的电子系统，但由于内部空间限制，难以装载更多的作战载荷，成为制约通信、导航、侦察等电子装备发展的因素之一。因此，急需新的集成化设计方法，对多应用功能进行一体化集成^[2]。现代战争威胁的复杂性和应对威胁反应的高速性要求电子装备具备灵活机动的功能和参数重构能力，具有更快的综合控制能力和综合信息处理能力。为应对未知战场突发对抗，需要改变原有离散的电气结构和单一化设计能力，以具备更快的应对速度。

20 世纪 90 年代末，美国国防部高级研究计划局(DARPA)提出采用异构集成技术将微电子器件、光电子器件和微机械系统(MEMS)器件集成，形成微型化异构集成电路^[3,4]。通过三维异质异构集成

技术，将射频、基带、处理、存储等多种功能垂直堆叠，在丰富系统功能的同时还缩小了尺寸^[5]。而随着异质异构先进集成技术和以硅通孔(TSV)为代表的垂直互连技术的突破，以片上系统(SoC)和系统级封装(SiP)^[6]技术为代表的第四代微波集成电路得到了快速发展^[7-9]。微系统技术着眼于多功能裸芯的片内高密度集成，是实现集成电路小型化、突破摩尔定律极限的重要途径^[10]。

我国多功能综合射频技术研究虽处于起步阶段，但已在船舶和飞机上得到应用，在导弹武器平台处于推广应用阶段。近年来，在航天领域已开启多个弹(箭)载综合射频设备的项目研制，但目前相关研究主要集中于从单机设备层面上实现多功能的综合集成，由于受限于国产化芯片研制瓶颈，国内在芯片化通用平台方面仍缺少相关产品研制。

面向通导侦多功能通用的综合射频微系统在设计及验证上面临诸多挑战。一方面，在元器件选型全国产化的前提下，要充分涵盖通信、导航、侦察等多领域产品所需的硬件架构和软件资源；另一方面，综合射频微系统内部需一体化集成多种工艺节点的异构芯片，引入了更多更高密度的射频和高速数字信号，导致微系统内布线困难、隔离空间资源紧张等问题更加严重。因此，射频数字等敏感信号的一体化融合、异构芯片的高密度集成、高速射频数字混合 IC 有机基板的布线设计以及微系统可靠性验证都尤为重要，相关设计流程如图 1 所示。

针对上述应用需求，本文设计了一款面向通导侦多功能通用的综合射频微系统，以下简称本

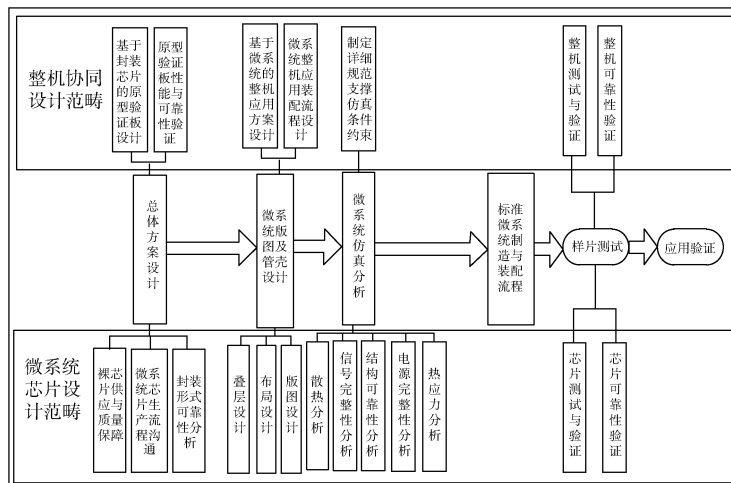


图 1 综合射频微系统设计流程

Fig. 1 Integrated RF microsystem design process

微系统。首先从当前通信、导航、侦察等应用需求出发, 明确了综合射频微系统的集成设计方案, 随后通过可靠性仿真设计与可靠性试验验证该方案的可行性, 最后通过手持遥测终端和飞行通信系统 2 个实际产品的应用验证, 证明本微系统满足通导侦多功能通用需求。

1 综合射频微系统集成设计

1.1 微系统架构设计

如图 2 所示, 本微系统内部集成 PSoC(可编程系统级芯片)、射频收发器芯片组和各类存储器等共 8 颗异质异构芯片, 支持用户根据设计需求实现可编程的基带数据处理、总线调度等功能, 支持 4 收 4 发的独立射频收发通道, 并支持多种对外接口。

其性能指标见表 1。

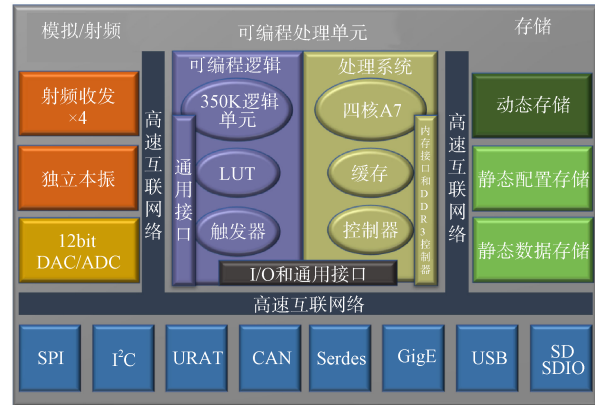


图 2 微系统内部架构

Fig. 2 Internal architecture of microsystem

表 1 微系统内部单元组成与性能指标

Table 1 Composition and performance indicators of internal units in microsystems

单元名称	性能指标
模拟/射频单元	1. 4 收 4 发射频信号通道, 每通道有独立本振 2. 射频频率: 40 MHz~6 GHz 3. 最大带宽: 100 MHz 4. 乒乓跳频切换时间 $\leq 20 \mu\text{s}$
可编程处理单元	1. 集成 350 k 可编程逻辑资源和 4 核 ARM Cortex-A7 处理器 2. 最大主频为 800 MHz 3. 单核运算能力为 1.9 DMIPS/MHz
存储单元	1. 片内集成配置存储器和 DDR3(第三代双倍数据率同步动态随机存取存储器) 2. DDR3 存储器为 4 Gb, 最高 1 066 MT/s 3. Nor Flash 为 512 Mb, 最高 166 MHz
对外接口	1. SPI(串行外设接口)总线, $\leq 50 \text{ MHz}$, 2 组 2. I ² C(集成电路总线), $\leq 400 \text{ kbps}$, 2 组 3. UART(通用异步收发器)串口通信, $\leq 921.6 \text{ kbps}$, 2 组 4. CAN 总线, $\leq 1 \text{ Mbps}$, 2 组 5. 通用 SerDes(串行器/解串器)总线, $\leq 12.5 \text{ Gbps}$, 4×4 Lanes 6. GigE(千兆以太网)控制器, 支持 RGMII(精简吉比特介质独立接口)和 SGMII(串行吉比特介质独立接口), 2 组 7. USB(通用串行总线), $\leq 12 \text{ Mbps}$, 2 组

其中, 射频收发器芯片与 PSoC 芯片通过 SPI、LVDS(低电压差分信号)进行相互通信和数据传输, PSoC 芯片的 GPIO(通用输入/输出口)、I²C、UART 以及各个 bank(存储单元)的 I/O 信号则通过微系统封装管脚引出至封装外部。大容量 DDR 存储器的集成减少缩短了信号的传输路径, 改善了信号的性能, 部分电源的合并等设计缩减了微系统面积, 有利于系统的小型化和通用化, 支持微系统在不同射频数字一体化场景下的产品化应用。

1.2 微系统封装设计与仿真

1.2.1 微系统基板布线设计与仿真分析

随着射频技术的广泛应用和发展, 综合射频封装已呈现出更高密度功能集成、更高功率、更高频率和更低成本的发展要求。对于传统射频封装, 先进射频封装面临布线、信号完整性和工艺等多方面的挑战^[10,11]。

本微系统采用 12 层布线的 ABF(Ajinomoto Build-up Film, 味之素堆积膜)基板设计, 基板包括 6 片 FC(Flip-Chip, 倒装芯片), 2 片 SMT(表面贴

装技术)芯片以及 78 颗阻容元件。全部芯片均采用倒装互连工艺, 确保更高的集成密度和更短的互连布线长度, 避免传统键合线在传输延迟、阻抗不连续和非屏蔽串扰等方面的影响。

本微系统将核心器件的互联走线在微系统内实现, 整板 I/O 较传统高速射频数字混合 PCB(印刷电路板)减少 1/3, 并将大量并行等长复杂布线集成在微系统内, 突破 20 μm 线宽/间距、每平方毫米 5 个内部凸点设计能力。而在内部互联走线设计时, 需要在有限的紧凑空间内, 重点考虑射频通道损

耗和隔离度, 尤其是射频发射信号对接收信号的干扰影响。因此, 相关仿真分析是设计优化中的重点和难点。

射频走线的回波损耗和插入损耗仿真结果如图 3 所示, 发现射频通道在高频段的回波损耗较差, 在 6 GHz 左右回波损耗仅有 -15 dB。通过分析发现是由于 core(核心)层的过孔和底部焊盘阻抗不连续导致的。通过调整过孔 core 层和焊盘层的反焊盘, TX(发送)和 RX(接收)通道的回波损耗整体提升 5 dB 以上, 插入损耗小于 0.5 dB。

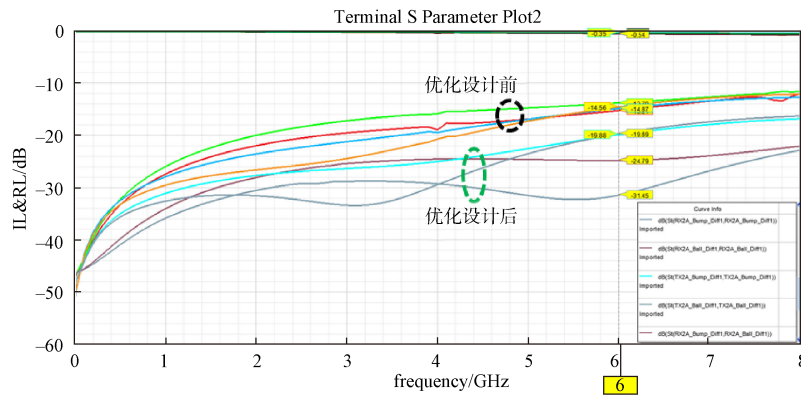


图 3 射频通道回波损耗和插入损耗仿真优化结果

Fig. 3 Simulation optimization results of RF channel return loss and insertion loss

结合仿真结果进行优化设计后, 射频收发芯片组全频段通道隔离度优于 70 dB, 如表 2 所示。射频通道的插入损耗、回波损耗和隔离度等均可满足实际应用需求。

表 2 射频收发通道间隔度仿真结果

Table 2 Simulation results of isolation between RF transceiver channels

射频收发通道	典型频率的通道间隔度(dB)			
	800 MHz	2.4 GHz	5.5 GHz	7.5 GHz
RX1 至 RX2	96.97	90.63	78.2	75.64
TX1 至 TX2	105.55	96.6	82.86	77.58
RX1 至 TX1	87.67	79.41	73.42	70.81
RX2 至 TX2	87.41	79.05	74.11	71.39

1.2.2 微系统封装结构设计及仿真分析

依据通导侦多功能通用需求, 开展封装结构

设计。本微系统采用定制散热盖加基板设计。封装侧面结构如图 4 所示。在芯片顶部填充导热胶, 并设计铜质散热盖, 散热盖局部下沉, 保证散热路径最优化设计, 且确保较薄的射频芯片也能有良好的散热接触。芯片均采用 FC 安装方式, 并从芯片四周引出 I/O, 大幅缩短互联长度, 减小 RC 延迟, 有效提高电性能、散热能力与可靠性。

本微系统采用 BGA1369 封装, 封装尺寸为 37.5 mm×37.5 mm×3.97 mm。如图 5 所示, 本微系统实现了 CMOS 28 nm、RF CMOS 55 nm、CMOS DRAM 38 nm 和 IPD(集成产品开发)工艺等 5 种工艺节点共 8 颗异构芯片以及 78 颗无源阻容的一体化高密度集成, 较传统 PCB 板的面积减小了 70%, 有利于系统的小型化、通用化设计。

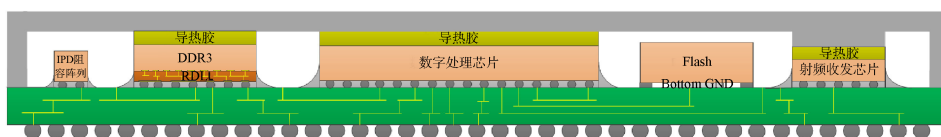


图 4 微系统侧面结构

Fig. 4 Side structure of microsystem

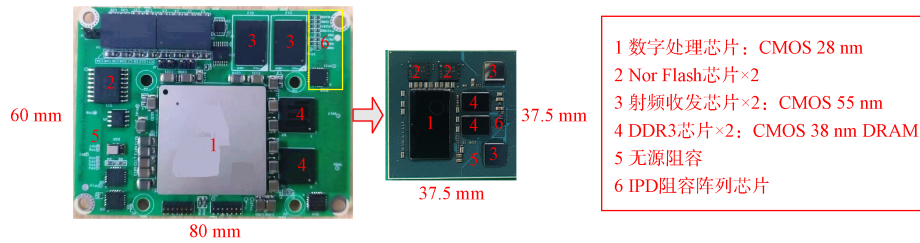


图 5 微系统内部组成

Fig. 5 Internal composition of microsystems

如表 3 和图 6 所示, 在进行微系统仿真设计时, 坚持“可靠性是设计出来的”原则, 将可靠性作为仿真设计的源头, 在初始仿真设计中就做好质量把控。根据微系统质量一致性检验的要求, 进行电、热、力仿真设计。本微系统的信号完整性与电源完整性仿真均满足应用需求, 可靠性仿真设计在第 2 章节进行详细描述。

表 3 微系统的质量一致性检验

Table 3 Quality consistency inspection of microsystems

A 组检验		
分组	测试项目	
A1 分组	25 °C 下静态测试	
A2 分组	85 °C 下静态测试	
A3 分组	-40 °C 下静态测试	
A4 分组	25 °C 下动态测试	
A5 分组	85 °C 下动态测试	
A6 分组	-40 °C 下动态测试	
B 组检验		
试验项目	方法	条件
外形尺寸	2016	—
焊球共面性	GJB7677-2012	—
可焊性	GJB7677-2012	—
X 射线	2012	判据: 按 GJB4027A-2006 工作项目 1103 中 2.3
ESD(静电放电)	3015	1 000 V
终点电测试		
C 组检验		
试验项目	方法	条件
稳态寿命	1005	试验条件 D, 85 °C, 1 000 h;
终点电测试		或方法 1005 表 1 等效条件
D 组检验		
试验项目	方法	条件
物理尺寸	2016	—
焊球共面性	GJB7677-2012	—
焊球拉脱力	GJB7677-2012	条件 A

续表

焊球剪切力	GJB7677-2012	条件 A
高温贮存	GB/T 4937	125 °C, 100 h
终点电测试	SJ/T 10745-1996	
热冲击	1011	条件 B, 100 次
温度循环	1010	条件 B, 100 次
目检		按方法 1004/1010 的目检判据
终点电测试		
强加速稳态湿热	GB/T 4937.4	100 °C/85%RH, 96 h
目检终点电测试		按方法 1004, 1010
盐雾	1009	条件 A(24 h)
易燃性	GB/T 5169.5-2008	不进行预处理, 施加试验火焰持续时间 10 s

内封芯片质量控制

1. 可靠性满足 GJB B 级器件要求
2. 每颗裸芯片经过晶圆中测
3. 裸芯片厚度在 300~350 μm 之间
4. 良好包装、运输

SIP 设计与仿真

1. 电性能设计
2. 信号完整性设计仿真
3. 电源完整性设计仿真
4. 热设计仿真
5. 机械应力设计仿真
6. 器件级热应力设计仿真
7. 板级热应力设计仿真

封装流程质量控制

1. 管壳生产控制	5. 封帽
2. 芯片与管壳复检	6. 刻字打印
3. 芯片装片	7. 成型
4. 引线键合	8. 包装运输

图 6 微系统的质量一致性检验与仿真设计

Fig. 6 Quality consistency inspection and simulation design of microsystems

2 微系统可靠性设计

2.1 可靠性仿真设计

2.1.1 微系统热学仿真设计

本微系统在有限空间内集成了射频收发器芯片组和 PSoC 芯片等多个大功耗器件，芯片的热功耗密度很大，热设计的成败直接决定了该微系统

是否可以正常并可靠地工作。通过基板选型、架构设计、布线设计和封装设计，并辅助进行仿真优化和散热设计，可以确保微系统内部元器件可靠、稳定地工作^[12-15]。如图 7 所示，本微系统在环境温度 25 °C、20% 最大功耗、JEDEC(固态技术协会联合电子器件工程委员会标准)自然对流条件下进行热学仿真设计。

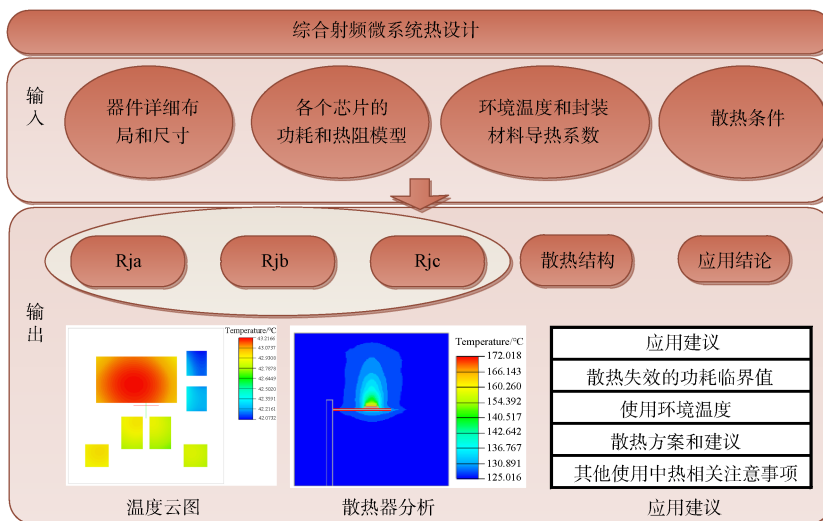


图 7 综合射频微系统热设计及仿真结果

Fig. 7 Integrated RF microsystem thermal design and simulation results

根据 JEDEC 标准，本项目 Rja 分析所用 PCB 为 2s2p(两层信号层两层电源层)结构，厚度 1.6 mm，各向异性等效导热系数分别为 25/25/0.38(W/m·K)。热阻的典型仿真结果如表 4 所示。

表 4 微系统热阻典型仿真结果

Table 4 Typical simulation results of thermal resistance in microsystems

热阻	Rja(°C/W)	Rjb(°C/W)	Rjc(°C/W)
数值	8.83	2.51	1.02

2.1.2 微系统力学仿真设计

本微系统布局紧凑，封装互联结构复杂，为保证电路在不同应用场景下的正常运行，需对电路进行机械应力仿真分析；另外，需对冷热环境下的疲劳进行仿真分析，对系统的寿命进行预测，为系统的长期可靠性提供理论依据。

如图 8 所示，本微系统在 -40 °C、25 °C 及 85 °C 下，应力值偏小，失效风险较低；在室温下翘曲为 -83.05 μm，高温下翘曲为 +25.60 μm，

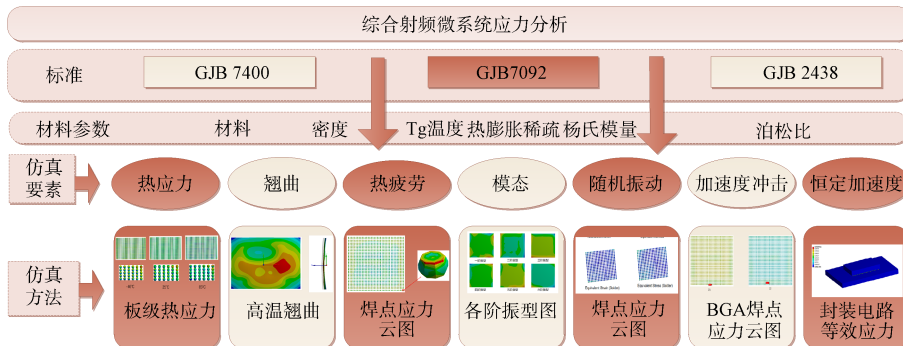


图 8 微系统应力分析及仿真结果

Fig. 8 Stress analysis and simulation results of microsystems

远低于标准要求, 翘曲超规格风险小; 通过恒定加速度分析得到微系统在 X、Y、Z 三个方向上的最大应力分别为 2.258 8 MPa、3.167 MPa、16.086 MPa, 可在确定应力强度情况下, 为筛选试验提供参考。

2.2 微系统可靠性试验

针对通用化应用的高可靠需求, 根据 GJB7400 对 N1 级产品的检验要求, 本微系统建立了电、热、力可靠性考核体系。针对其中具有代表性且易失效的试验项目, 完成可靠性摸底试验。为进一步评估本微系统在使用寿命内的可靠性与质量水平, 设计并完成批量化无人值守老炼与寿命试验。

2.2.1 可靠性试验

本微系统采用混合异构集成技术, 实现了多种工艺集成, 为保证其高质量批产应用, 可靠性试验尤为重要。本微系统已通过表 5 中全部试验。

表 5 微系统试验

Table 5 Microsystem testing

序号	试验	方法与条件
1	温度循环	GJB548C, 1010; -65 °C~+150 °C, 100 次
2	机械冲击	GJB548C, 2002; 条件 B, Y1 方向
3	HAST	GB/T 4937.4; 130 °C/85%RH96 h
4	高低温工作	-40 °C~+85 °C
5	焊球剪切	GJB7677; 条件 A, 拉脱力≥3.5 N
6	焊球拉脱	GJB7677; 条件 A, 拉脱力≥3.5 N
7	焊球共面性	GJB7677; 共面度≤0.25 mm

2.2.2 无人值守老炼技术

本微系统内部工艺结构复杂, 且信号数量庞

大。当前, 老炼与寿命试验仍是确保塑封微电路 (PEM, Plastic Encapsulated Microcircuit) 高质量与高可靠性的重要手段之一^[16-19]。而本微系统的老炼与寿命试验存在时间长、无人值守、数据记录复杂、28 nm CMOS 工艺的 PSoc 芯片对结温准确性要求高等问题。

传统温箱老炼与寿命试验的方案存在温控不准确、温差大、系统复杂庞大、接线难度大、线缆和外围电路寿命要求高、功耗大等诸多缺点^[20]。本微系统采用了精准温控 TDBI (Test During Burn-In, 老化中测试) 无温箱老炼技术, 可实现故障监测与全周期数据自动记录, 支持无人值守。如图 9 所示, 在试验过程中使用温控 Socket (插座), 仅需加热待测件 (DUT, Device Under Test), 其他部件均在常温下工作, 可延长系统寿命。

本微系统的老炼工装基于 PMBus 总线技术, 实现多工位独立遥控开关, 独立自动加热/风冷闭环控制 (控温精度达±1 °C), 每工位 11 路电源 V/I 监控, 过压过流过温保护以及自动化数据记录功能, 保障试验过程安全有效。单个微系统最大加热功率为 15 W。

如图 10 所示, 在老炼过程中, 对微系统多路电源电压/电流、微系统壳温/结温进行监测, 在 15 min 内可达到从 20 °C 到 85 °C 的快速升温要求, 温升比常规的温箱要快很多, 有效节省了试验时长, 且在 160 h 内可持续精准控温 85±1 °C。在测试过程中还可实现故障监测与全周期数据自动记录。

综上所述, 精准温控 TDBI 无温箱老炼技术具

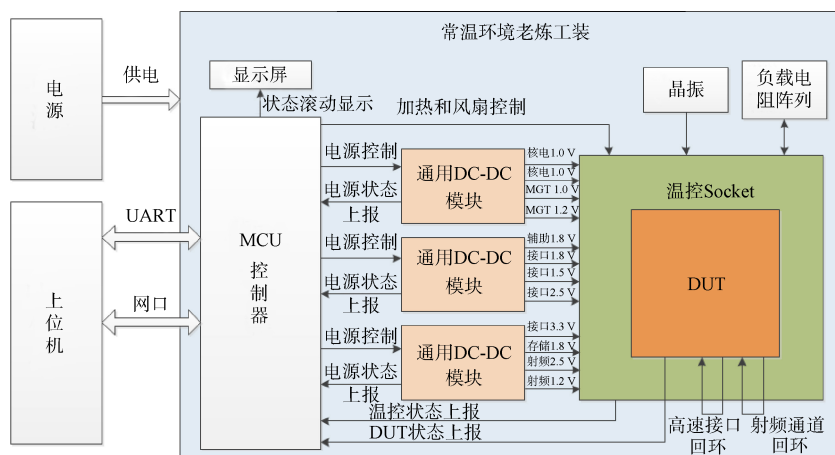


图 9 常温环境老炼工装框图

Fig. 9 Frame diagram of aging equipment in room temperature environment

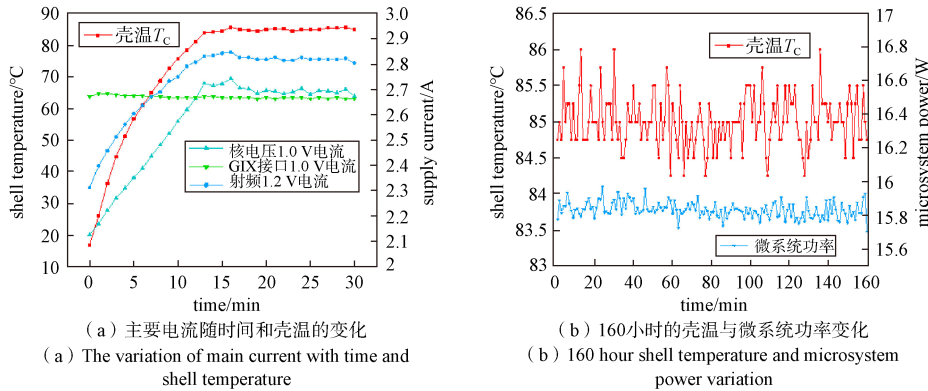


图 10 微系统老炼过程

Fig. 10 Microsystem burn-in process

有长寿命、独立断电保护、精准温控、低能耗、测试便捷、全周期数据自动记录、温升快等优点，满足批量化无人值守老炼的需求。

3 基于微系统的产品化验证应用

与传统的 PCB 板级设计相比，本设计归总通信、导航、侦察等相关产品共性需求，完成综合射频微系统的研制，基于 IP 化软件定义应用的方式实现应用可重构。本微系统的可重构软件资源库如表 6 所示。根据不同的应用需求，可通过软件定义选取所需的通信接口协议和存储资源接口，并调用相应的 IP 核，选用所需的射频收发通道，实现多种场景下的应用可重构，满足便捷开发的应用需求。相应软件均已通过测试验证，满足通用化应用要求。

表 6 软件资源库

Table 6 Software repository

序号	内容
1	PS(处理器系统)DDR3 配置与读写驱动
2	PS Flash 配置与读写驱动
3	PS 网口配置驱动
4	GTX(显卡)接口 Aurora(极光高速串口通信协议)回环测试
5	EMMC(嵌入式多媒体卡)读写驱动
6	SFP(小型可插拔收发器)+光口收发驱动
7	PCIE 接口收发驱动
8	射频芯片 LVCMOS(低压互补金属氧化物半导体)+LVDS(低电压差分信号)接口配置
9	射频芯片 FDD(频分双工)+FDD 独立模式(TDD, 测试驱动开发)配置
10	射频发射载波泄漏/镜像抑制校准, 以及使用内部 Flash 存储与调用相关参数
11	射频收发单本振跳频/双本振乒乓跳频演示

以导航应用为例，通过调用 RS422、RS232、UART 和 PCIE(外设组件互连扩展)接口，Flash 与 EMMC 存储资源，射频收发接收 1、3 通道与本振 1、3 通道，可实现所需的导航功能。本文以手持遥测终端、飞行通信系统的应用验证为例进行详细介绍。

3.1 手持遥测终端应用验证

如表 7 所示，基于本微系统可实现软件通信、信号处理、板载自管理等功能。

表 7 微系统的功能实现

Table 7 Functional implementation of microsystems

功能	微系统实现方式
与上位机软件通信	1. 通过 PS 接口出千兆网, 实现与上位机软件的命令状态交互, 同时将解调数据进行上报; 2. 通过 PS 端串口实现 debug 信息的监测打印。
信号处理	1. 通过 AD/DA 进行射频信号收发; 2. 通过 PL(可编程逻辑)端逻辑资源进行信号调制和解调模块设计。
板载自管理	1. 通过 Flash 实现应用的开机自启动; 2. 通过 PS 和 PL 的中断和高速接口实现数据的内部互传。

如图 11 所示，基于本微系统，可实现手持遥测终端单数据流的遥测左右旋信号的接收、分集合成、解调处理等功能。

在 2 300 MHz 频点、码率 20 Mbps 的试验条件下，信号体制为 PCM-FM(脉冲编码调制-调频)，进行自闭环验证。基于本微系统可实现该遥测体制的无丢帧无误码收发。

3.2 飞行通信系统应用验证

在某飞行通信系统应用验证中，本微系统通

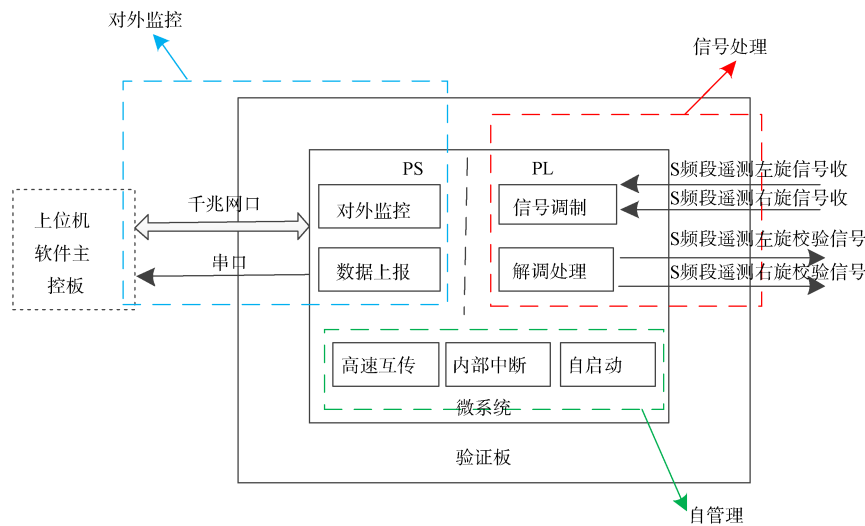


图 11 基于本微系统的手持遥测终端框图

Fig. 11 Block diagram of handheld telemetry terminal based on this microsystem

过串口接收上位机注入的组网参数并存储起来；通过内部逻辑资源完成信号调制和解调；通过处理器资源管理L波段的射频信号收发，分别基于FDD和TDD模式完成了相应验证。

如图 12 所示，在 FDD 模式下，通过自发自收循环方式确认接收解调情况，抓取解调信号波形和捕获峰值结果正常。如图 13 所示，解调后的数据捕获成功，验证通过。

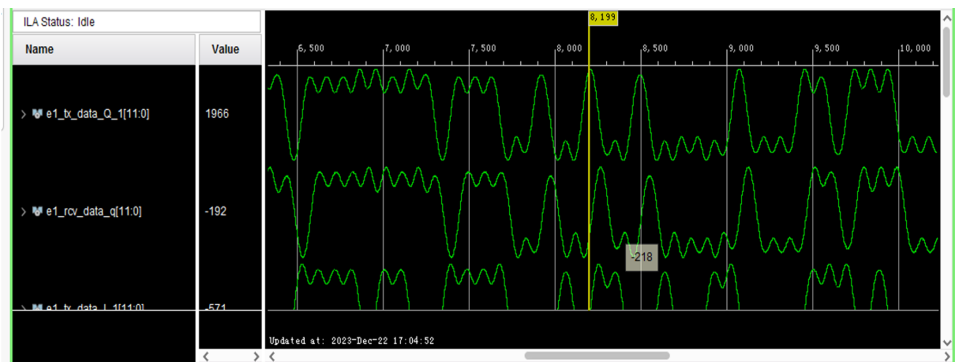


图 12 GMSK I路Q路解调波形

Fig. 12 GMSK I-channel Q-channel demodulation waveform

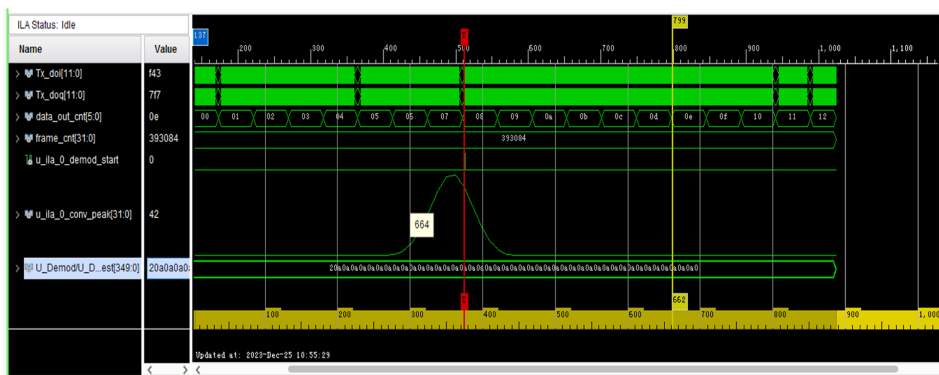


图 13 GMSK 捕获波形

Fig. 13 GMSK capture waveforms

由测试图可知,基于本微系统实现了该飞行通信系统的基带数据处理和射频信号收发功能。

4 结束语

面向综合电子装备的多应用功能融合、集成和可重构的需求,本文设计了一款面向通导侦多功能通用的综合射频微系统。针对布线困难、隔离空间资源紧张、异质异构芯片集成困难等问题,进行一体化集成设计,实现了5种工艺节点共8颗异构芯片以及78颗无源阻容元件的一体化高密度集成;基于高密度混合信号基板设计方法,突破20 μm线宽/间距、每平方毫米5个内部凸点设计;采用BGA1369封装,封装尺寸为37.5 mm×37.5 mm×3.97 mm,面积较传统PCB方案减小70%。针对通用化应用的高可靠需求,建立电、热、力可靠性考核体系,完成可靠性摸底试验;可实现批量化无人值守老炼与寿命试验。针对通导侦多功能通用的需求,基于IP化软件定义应用的方式实现应用可重构,可满足在手持遥测终端、飞行通信系统等不同射频数字一体化场景下便捷开发的应用需求。

参考文献

- [1] 王权,向晏冰,刘雷,等. 导弹武器电子系统一体化综合集成设计及关键技术[J]. 战术导弹技术, 2014(1): 99-107.
WANG Quan, XIANG Yanbing, LIU Lei, et al. Integrated design and key technologies of missile weapon electronic system[J]. Tactical Missile Technology, 2014(1): 99-107.
- [2] WALDSCHMIDT C, HASCH J, MENZEL W. Automotive radar-from first efforts to future systems[J]. IEEE Journal of Microwaves, 2021, 1(1): 135-148.
- [3] 徐锐敏,陈志凯,赵伟. 微波集成电路的发展趋势[J]. 微波学报, 2013, 29(S1): 55-60.
XU Ruimin, CHEN Zhikai, ZHAO Wei. Development trend of microwave integrated circuits[J]. Journal of Microwaves, 2013, 29(S1): 55-60.
- [4] 李晨,张鹏,李松法. 芯片级集成微系统发展现状研究[J]. 中国电子科学研究院学报, 2010, 5(1): 1-10.
LI Chen, ZHANG Peng, LI Songfa. Research on development status of chip-level integrated microsystems[J]. Journal of China Academy of Electronics and Information Technology, 2010, 5(1): 1-10.
- [5] 孙磊. 毫米波相控阵封装天线技术综述[J]. 现代雷达, 2020, 42(9): 7-13.
- [6] SUN Lei. Overview of millimeter-wave phased array packaging antenna technology[J]. Modern Radar, 2020, 42(9): 7-13.
- [7] 李维平, SCANLAN C, YOSHIDA A. 系统模块(SiP)和三维封装(3D)在移动通讯中的应用[J]. 电子工业专用设备, 2004, 33(7): 10-14.
LI Weiping, SCANLAN C, YOSHIDA A. Application of system in package(SiP) and 3D packaging in mobile communication[J]. Equipment for Electronic Products Manufacturing, 2004, 33(7): 10-14.
- [8] 张经国. 90年代的多芯片组件技术[J]. 电子元件与材料, 1993(S1): 58-61.
ZHANG Jingguo. Multi-chip module technology in 1990s[J]. Electronic Components and Materials, 1993(S1): 58-61.
- [9] 王水弟,蔡坚,贾松良. 系统芯片(SOC)与系统级封装(SiP)[J]. 中国集成电路, 2003(4): 60-64.
WANG Shuidi, CAI Jian, JIA Songliang. System on chip (SOC) and system in package(SiP) [J]. China Integrated Circuit, 2003(4): 60-64.
- [10] KING L T. System-in-package(SiP): challenges and opportunities[C]//Proceedings of the ASP-DAC 2000. Asia and South Pacific Design Automation Conference, January 25-28, 2000, Yokohama, Japan. New York: IEEE, 2000: 101-106.
- [11] GAO N, GAO L, CAI J, et al. System-in-package solution for a low-power active electrode module[C]//2014 36th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, August 26-30, 2014, Chicago, IL, USA. New York: IEEE, 2014: 312-315.
- [12] 夏晨辉,王刚,王波,等. 用于5G通信的射频微系统与天线一体化三维扇外型集成封装[J]. 电子学报, 2023, 51(6): 166-174.
XIA Chenhui, WANG Gang, WANG Bo, et al. 3D fan-out integrated packaging of RF microsystem and antenna for 5G communication[J]. Acta Electronica Sinica, 2023, 51(6): 166-174.
- [13] 张纬. 芯片堆叠中散热分析方法研究[D]. 西安: 西安电子科技大学, 2012.
ZHANG Wei. Research on thermal analysis method in chip stacking[D]. Xi'an: Xidian University, 2012.

- [13] MATSUMOTO K, MORI H, Orii Y. Thermal performance evaluation of dual-side cooling for a three-dimensional(3D) chip stack: Additional cooling from the laminate(substrate) side[C]//2016 IEEE International Conference on Electronics Packaging, January 20-22, 2016, Tokyo, Japan. New York: IEEE, 2016: 163-168.
- [14] 武晓萌. 移动终端多芯片集成封装散热研究[D]. 北京: 中国科学院大学, 2014.
WU Xiaomeng. Research on heat dissipation of multi-chip integrated packaging in mobile terminals[D]. Beijing: University of Chinese Academy of Sciences, 2014.
- [15] LEE H, PARK S, BAEK J, et al. Thermal characterization of high performance MCP with silicon spacer having low thermal impedance[C]//21st Annual IEEE Semiconductor Thermal Measurement and Management Symposium, March 15-17, 2005, San Jose, CA, USA. New York: IEEE, 2005: 322-326.
- [16] 夏雨楠, 陈宇宁, 许丽清. 先进射频封装技术发展面临的挑战[J]. 电子与封装, 2016, 16(5): 1-6.
XIA Yunan, CHEN Yuning, XU Liqing. Challenges in development of advanced RF packaging technology[J]. Electronics & Packaging, 2016, 16(5): 1-6.
- [17] RADISIC V, LEONG K M K H, SARCOZY S, et al. 220-GHz solid-state power amplifier modules[J]. IEEE Journal of Solid-State Circuits, 2012, 47(10): 2291-2297.
- [18] JOHNSON L A. Laser diode burn-in and reliability testing[J]. IEEE Communications Magazine, 2006, 44(2): 4-7.
- [19] CHA J H, FINLELSTEIN M. Burn-in for systems operating in a shock environment[J]. IEEE Transactions on Reliability, 2011, 60(4): 721-728.
- [20] 王伟明. 塑封微电路老炼研究综述[J]. 航天器环境工程, 2011, 28(1): 56-61.
WANG Weiming. Review of burn-in research for plastic encapsulated microcircuits[J]. Spacecraft Environment Engineering, 2011, 28(1): 56-61.

[作者简介]

- 王璇 1996年生, 硕士, 工程师。
刘峰 1983年生, 博士研究生, 高级工程师。
张金箭 1987年生, 博士, 高级工程师。
王国军 1997年生, 硕士, 助理工程师。
阎郁 1985年生, 硕士, 高级工程师。

(本文编辑: 傅杰)