

基于二维 DFT 的数字信道化高效结构与实现

李 潇, 张国玉

(北京遥测技术研究所 北京 100076)

摘要: 数字信道化在电子侦察领域有广泛应用, 其多相结构能够降低数据率, 便于在 FPGA 中实现。然而, 当子信道数量比较大时, 子信道数据率会显著低于 FPGA 处理速率, 这会造成 FPGA 资源的极大浪费。本文将二维 DFT 引入传统的 DFT 数字信道化结构, 提出了一种匹配 FPGA 处理速率的信道化结构, 即基于二维 DFT 的数字信道化结构。在 Matlab 中进行了仿真验证, 分析了该信道化结构的计算复杂度, 并与基于 DFT 的数字信道化结构进行对比。随后给出了 FPGA 实现框图及 FPGA 资源使用情况并在硬件平台上进行了测试。结果表明, 基于二维 DFT 的数字信道化结构能够正确完成各种信号的信道化处理, 且与基于 DFT 的数字信道化结构相比, 降低了计算复杂度, 显著提高了 FPGA 资源的使用效率, 便于大规模数字信道化在 FPGA 上的实现, 具有工程意义。

关键词: 电子侦察; 数字信道化; 子信道数据率; 二维 DFT; 计算复杂度; FPGA

中图分类号: TN957 文献标志码: A 文章编号: 2095-1000(2025)04-0140-09

DOI: 10.12347/j.ycyk.20241217007

CSTR: 32406.14.ycyk.20241217007

引用格式: 李潇, 张国玉. 基于二维 DFT 的数字信道化高效结构与实现[J]. 遥测遥控, 2025, 46(4): 140-148.

Efficient Structure and Implementation of Digital Channelization Based on Two-Dimensional DFT

LI Xiao, ZHANG Guoyu

(Beijing Research Institute of Telemetry, Beijing 100076, China)

Abstract: Digital channelization has been widely applied in the field of electronic reconnaissance. The multi-phase structure of digital channelization can reduce data rates, making it easier to implement in FPGA. However, when the number of sub-channels is large, the data rate of each sub-channel will be significantly lower than the processing rate of FPGA, resulting in a waste of FPGA resources. In this paper, we introduce two-dimensional DFT into traditional DFT digital channelization structure and propose a channelization structure that matches the processing rate of FPGA, namely the digital channelization structure based on two-dimensional DFT. This structure is verified through simulation in Matlab(Matrix Laboratory), and its computational complexity is analyzed and compared with that of traditional DFT-based digital channelization structure. Subsequently, the FPGA implementation block diagram and FPGA resource utilization are presented, and then the structure is tested on a hardware platform. The results show that the digital channelization structure based on two-dimensional DFT can correctly perform channelization of various signals. Compared with the traditional DFT-based digital channelization structure, it reduces computational complexity and significantly improves the efficiency of FPGA resources utilization, facilitating the FPGA implementation of large-scale digital channelization, which has certain engineering significance.

Keywords: Electronic reconnaissance; Digital channelization; Data rate of sub-channel; Two-dimensional DFT; Computation complexity; FPGA

Citation: LI Xiao, ZHANG Guoyu. Efficient Structure and Implementation of Digital Channelization Based on Two-Dimensional DFT[J]. Journal of Telemetry, Tracking and Command, 2025, 46(4): 140-148.

0 引言

随着技术的发展,现代战场上电磁传感器数量日益增多,电磁环境日趋复杂。电磁信号的每秒脉冲数可达数百万个,信号频率可覆盖2~18 GHz,且调制样式多样^[1]。复杂的电磁环境对侦察接收机提出了更高的要求:需要接收机有更大的瞬时带宽覆盖范围、更高的动态范围、更高灵敏度、更高频率分辨力,以及对时域重叠信号的接收和处理能力^[2]。基于FPGA(Field Programmable Gate Array,现场可编程门阵列)的数字信道化接收机能够满足上述要求,近年来得到了广泛关注,成为侦察接收机的重要研究方向^[3-5]。

信道化接收机的基本原理是将接收机的瞬时带宽覆盖范围按频率分割成多个子信道,接收信号按照频率分布在不同子信道,然后对每个子信道分别进行信号处理^[6],如信号检测、频率测量和幅度测量等。信道化接收机的工作流程如下:天线接收到的电磁信号经下变频后送入ADC(Analog to digital converter,模/数转换器),ADC将数字信号传输给FPGA,在FPGA中实现数字信道化处理。目前通常采用基于多相滤波结构的数字信道化方法,该方法能够降低子信道数据率,便于在FPGA上实现。在多相滤波结构中,子信道数目 K 与抽取倍数 M 通常为整数倍关系^[7],即 $K=F \times M$,其中 F 为过采因子。当 $F=1$ 时,信道数与抽取倍数相等,称为临界抽取,大多数多相滤波结构为临界抽取。当 $F=2$ 时,子信道数为抽取倍数的2倍,称为过2采样。过2采样通常用在无盲区多相滤波器中。当子信道数目较大时,子信道数据率会显著降低,这在工程实现中可能会导致FPGA工作时钟与子信道数据率不匹配的问题。以Xilinx 7系列FPGA为例,其工作时钟通常在数百兆赫兹,而ADC采集的信号传递到FPGA时通常为多路并行数据。假设ADC采样时钟为1.2 GHz,进行32路临界抽取数字信道化处理,则子信道数据率为37.5 MHz,远低于FPGA通常的工作时钟,从而可能导致FPGA计算资源的浪费。

众多专家学者对数字信道化在FPGA中的高效实现进行了研究。文献[8]论述了一种基于多相滤波的宽带数字信道化接收机结构,给出了FPGA实现框图,并通过布局布线后仿真验证其有效性,文中将1 280 Msps的ADC数据抽取为多路40 Msps

数据,并将运算模块时钟设置为200 MHz。通过流水复用卷积运算模块的方式,在一定程度上减少了硬件资源消耗。然而,FPGA资源使用效率提升有限。文献[9]中,聂慧锋和翟羽佳针对单级数字信道化处理在输入带宽较宽时存在多相滤波器阶数高、消耗资源大的问题,创新性地提出了一种二级信道化处理结构。该结构降低了算法复杂度,但在算法结构中,需要对一级信道化结果进行检测,选取存在信号的信道进行二级信道化,这一操作会增加响应时间;另一方面,第一级信道化信道数比单级信道化处理时的信道数少,从而导致接收机灵敏度有所损失。文献[10]充分考虑了实数信道化多相结构和FPGA的资源分布特点,对信道化结构中的多相滤波和FFT在FPGA中的实现进行优化设计,采用分布式算法实现多相滤波,同时采用二维FFT实现FFT,这种优化设计使得该结构占用资源少,有效节约了硬件资源。文中通过仿真验证了其在采样率为2 400 MHz下128通道实现信道化的可行性,此时子信道数据率为18.75 MHz,低于FPGA通常的工作时钟。文献[11]针对宽带接收机处理多个同时到达信号时逻辑资源消耗大的问题,提出了包含移位抽取模块、多相滤波模块和全并行快速傅里叶变换模块的数字信道化高效实现结构。该结构不仅提高了处理速率,还降低了资源消耗。文中对数字信道化抽取、滤波、傅里叶变换的FPGA实现进行了优化设计,但未对信道化结构进行改进。

本文从基于DFT(Discrete Fourier Transform,离散傅里叶变换)的数字信道化结构出发,结合二维DFT对信道化结构进行改进,提出基于二维DFT的数字信道化结构,其创新之处在于利用二维DFT改进数字信道化结构降低信道化计算复杂度,提高子信道数据率,使其匹配FPGA工作时钟,提高硬件资源使用效率,有利于大规模数字信道化的实现。

1 基于二维DFT的数字信道化结构

1.1 基于DFT的数字信道化结构

数字信道化基本结构^[12-15]如图1所示,输入信号分成多路后,每一路进行数字下变频,经滤波和抽取后得到多路子带信号。

基于多相DFT的信道化结构采用了多相滤波结构从而提高运算效率,相对于数字下变频滤波

器结构, 其硬件资源消耗更少, 功耗更低。在系统对数据的采样率没有特殊要求时, 一般采用多相 DFT 结构实现信道化^[16]。下面对临界抽取的数字信道化结构进行推导。

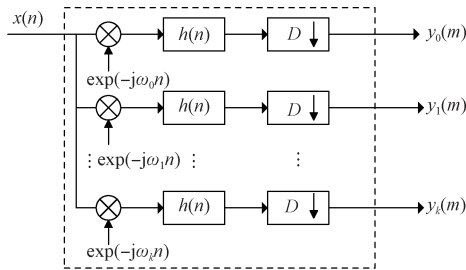


图 1 数字信道化基本结构

Fig. 1 Basic structural components of digital channelized receiver

图 1 数字信道化基本结构中第 k 路信道的输出为

$$y_k(m) = [x(n)e^{-j\omega_k n} \otimes h(n)]_{n=mD} = \sum_{i=0}^{N-1} x(mD-i) e^{-j\omega_k(mD-i)} h(i) \quad (1)$$

其中, N 为滤波器系数数量, 对上式进行多相分解, 令 $i=qD-p$, 可得:

$$y_k(m) = \sum_{p=0}^{D-1} \sum_{q=-\infty}^{+\infty} x(mD-qD+p) e^{-j\omega_k(mD-qD+p)} h(qD-p) \quad (2)$$

令 $x_p(m) = x(mD+p)$, $h_p(m) = h(mD-p)$, 可得

$$y_k(m) = \sum_{p=0}^{D-1} \sum_{q=0}^{Q-1} x_p(m-q) e^{-j\omega_k[(m-q)D]} h_p(q) e^{-j\omega_k p} = \sum_{p=0}^{D-1} \{ [x_p(m) e^{-j\omega_k mD}] \otimes h_p(m) \} e^{-j\omega_k p} \quad (3)$$

子信道奇型排列时信道中心频率为 $\omega_k = \frac{2\pi k}{D} + \frac{\pi}{D}$ ^[17], 在临界抽取条件下, 子信道数量与抽取倍数相等即 $K=D$, 上式可变形为:

$$y_k(m) = \sum_{p=0}^{D-1} \{ [x_p(m) (-1)^m] \otimes h_p(m) \} e^{-j\frac{\pi}{D} p} e^{-j\frac{2\pi}{D} kp} \quad (4)$$

式中, $x_p(m)$ 由输入信号 $x(n)$ 经 D 倍抽取得到, $h_p(m)$ 为原型滤波器 $h(n)$ 经 D 倍抽取得到。

令 $u(m, p) = \{ [x_p(m) (-1)^m] \otimes h_p(m) \} e^{-j\frac{\pi}{D} p}$, 则式(4)可写成如下 DFT 形式:

$$y_k(m) = \sum_{p=0}^{D-1} u(m, p) e^{-j\frac{2\pi}{D} kp} \quad (5)$$

上式可由图 2 所示结构实现^[18]:

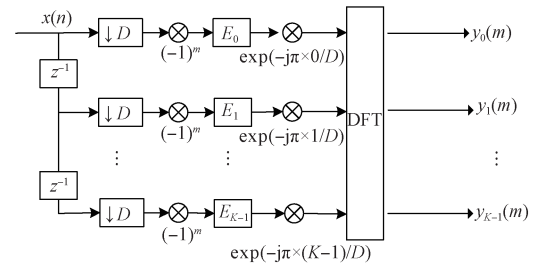


图 2 基于 DFT 的数字信道化结构

Fig. 2 Digital channelized receiver based on DFT

基于 DFT 的数字信道化结构中, 输入信号经多倍抽取后乘以 $(-1)^m$, 计算结果经滤波后进行相位补偿, 随后 K 路子信道数据经并行 DFT 运算后得到 K 路信道化数据。

1.2 二维 DFT

DFT 是信号处理中最常用的工具之一, 用于将时域中的离散信号转换到频域。DFT 存在快速算法, 即 FFT(Fast Fourier Transform, 快速傅里叶变换), 其利用对称性和周期性将 DFT 的计算复杂度由 $O(N^2)$ 降低到 $O(M \log N)$ 。FFT 在信号处理、图像处理、音频处理等领域有着广泛应用。二维离散傅里叶变换(二维 DFT)是 DFT 在二维空间的扩展, 用于描述离散信号的二维时域或空域表示与频域表示之间的关系。

在 FPGA 上实现 FFT 时, 可以使用厂商提供的 FFT IP 核, 但是当 FFT 点数较大或者对计算速度有要求时, IP 核通常很难满足要求。针对这一问题, 可以将一维的大点数 FFT 算法转换成适用于矩阵应用的二维 FFT 算法^[19]。以下从一维 DFT 出发推导二维 DFT 的表达式。

N 点一维 DFT 的计算公式如下:

$$\begin{cases} X(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk} \\ W_N = \exp(-j\frac{2\pi}{N}) \end{cases} \quad (6)$$

其中, $n=0, 1, \dots, N-1$, $k=0, 1, \dots, N-1$ 。

对 N 进行分解, 令 $RL=N$, 即将 $x(n)$ 重新排序为 R 行 L 列的矩阵。对 n 和 k 进行分组, 令 $n=RL+r$, $k=k_1+k_2L$, 其中 $l=0, 1, \dots, L-1$, $r=0, 1, \dots, R-1$, $k_1=0, 1, \dots, L-1$, $k_2=0, 1, \dots, R-1$ 。则式(6)可以改写为:

$$X(k) = \sum_{r=0}^{R-1} \sum_{l=0}^{L-1} x(rl+r) W_N^{(k_1+k_2L)(rl+r)} = \sum_{r=0}^{R-1} \sum_{l=0}^{L-1} x(rl+r) \exp[-j\frac{2\pi}{L} k_1 l - j\frac{2\pi}{RL} k_1 r - j\frac{2\pi}{R} k_2 r] = \sum_{r=0}^{R-1} \left\{ \sum_{l=0}^{L-1} x(rl+r) W_L^{k_1 l} W_N^{k_1 r} \right\} W_R^{k_2 r} \quad (7)$$

其中, $\sum_{l=0}^{L-1} x(IR+r)W_L^{k,l}$ 为 R 倍抽取序列的 L 点 DFT 形式。

$$\begin{aligned} \text{令 } v(1) &= \sum_{l=0}^{L-1} x(IR+r)W_L^{k,l}W_N^{k_1,r}, \text{ 则有:} \\ X(k) &= \sum_{r=0}^{R-1} v(1)W_R^{k_2,r} \end{aligned} \quad (8)$$

上式为 $v(1)$ 的 R 点 DFT 形式。

由以上公式可知, 一维 DFT 可以转换为二维 DFT 的计算形式, 具体计算过程如下^[20,21]:

- ① 将 N 点序列排列成 R 行 L 列的矩阵;
- ② 对矩阵的每一行做 L 点 DFT 运算;
- ③ 矩阵的每个元素乘以旋转因子 $W_N^{k_1,r}$;
- ④ 矩阵的每一列做 R 点 DFT 运算。

1.3 基于二维 DFT 的数字信道化结构

1.1 节中所述的信道化结构中子信道数量 K 与抽取倍数 D 相等, 即 $K=D$ 。信道化最终数学表达

$$\begin{aligned} y_k(m) &= \sum_{r=0}^{R-1} \sum_{l=0}^{L-1} \sum_{q=-\infty}^{+\infty} x(mD+Rl+r)(-1)^m h(qD-Rl-r) e^{-j\frac{\pi}{D}(Rl+r)} e^{-j\frac{2\pi}{D}(Rl+r)(k_1+k_2L)} \\ &= \sum_{r=0}^{R-1} \left\{ \sum_{l=0}^{L-1} \left\{ \left[\sum_{q=-\infty}^{+\infty} x(mD+Rl+r)(-1)^m h(qD-Rl-r) \right] e^{-j\frac{\pi}{D}(Rl+r)} \right\} W_L^{k_1,l} \right\} W_N^{k_1,r} W_R^{k_2,r} \end{aligned} \quad (12)$$

上式中, $\left[\sum_{q=-\infty}^{+\infty} x(mD+Rl+r)(-1)^m h(qD-Rl-r) \right]$ 表示抽取后的信号与抽取后的滤波器进行卷积运算, 即滤波。 $e^{-j\frac{\pi}{D}(Rl+r)}$ 为滤波后的相位补偿项。 $\left\{ \sum_{l=0}^{L-1} \left[\sum_{q=-\infty}^{+\infty} x(mD+Rl+r)(-1)^m h(qD-Rl-r) \right] \times e^{-j\frac{\pi}{D}(Rl+r)} \right\} W_L^{k_1,l}$ 表示 L 点 DFT 运算。

式为 D 倍抽取序列的 D 点 DFT 运算。结合 1.2 节中二维 DFT 表达式进行如下推导。对式(2)进行改写, 得到

$$y_k(m) = \sum_{p=0}^{D-1} \sum_{q=-\infty}^{+\infty} x[(m-q)D+p] e^{-jw_k[D(m-q)+p]} h(qD-p) \quad (9)$$

考虑 q 的取值范围, 上式等价于

$$y_k(m) = \sum_{p=0}^{D-1} \sum_{q=-\infty}^{+\infty} x[mD+p] e^{-jw_k[mD+p]} h(qD-p) \quad (10)$$

代入 $w_k = \frac{2\pi k}{D} + \frac{\pi}{D}$, 得到

$$y_k(m) = \sum_{p=0}^{D-1} \sum_{q=-\infty}^{+\infty} x[mD+p] h(qD-p) (-1)^m e^{-j\frac{\pi}{D}p} e^{-j\frac{2\pi k}{D}p} \quad (11)$$

令 $p = Rl + r$, $k = k_1 + k_2L$, 得到

$$\sum_{r=0}^{R-1} \left\{ \sum_{l=0}^{L-1} \left[\sum_{q=-\infty}^{+\infty} x(mD+Rl+r)(-1)^m h(qD-Rl-r) \right] \times e^{-j\frac{\pi}{D}(Rl+r)} \right\} W_L^{k_1,l} W_N^{k_1,r} W_R^{k_2,r}$$

表示 R 点 DFT 运算。

由此上式可用如下结构表示, 图 3 中, $E_0, E_1, \dots, E_{R-1+R(L-1)}$ 为子带滤波器, 由原型滤波器经 D 倍抽取得到。

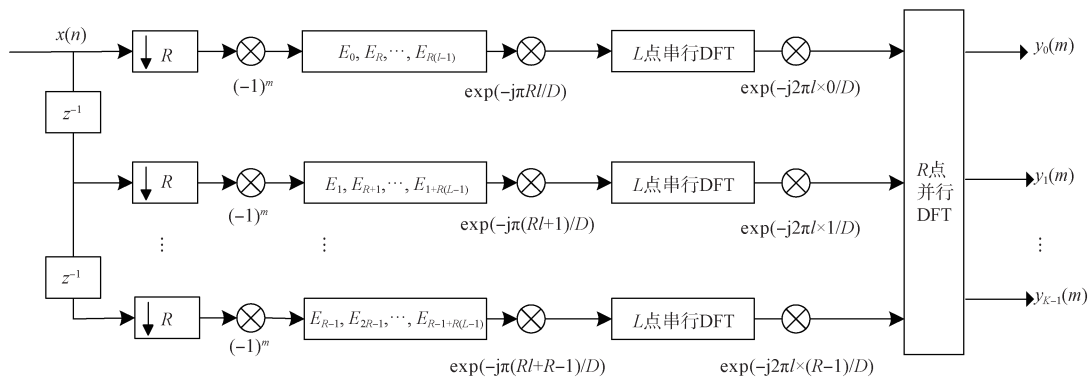


图3 基于二维 DFT 的数字信道化结构

Fig. 3 Digital channelized receiver based on 2-dimensional DFT

基于二维 DFT 的数字信道化结构实现过程如下: 输入信号经 R 倍抽取后乘以 $(-1)^m$, 计算结果经 L 通道滤波后进行相位补偿, 相位补偿的结果进行 L 点串行 DFT 运算, 乘以旋转因子后得到 R 路 L 点串行数据, 进行 L 个周期的 R 点并行 DFT 运算后得

到 R 路 L 个周期的信道化数据, 即 $RL=K$ 路信道化数据。

在相同处理时钟下, 基于 DFT 的数字信道化结构和基于二维 DFT 的数字信道化结构计算复杂度对比如表 1 所示。1 个复数乘法由 4 个实数乘法

和 2 个实数加法组成, 1 个复数加法由 2 个实数加法组成。复乘法换算成实数乘法和加法, 复加法换算成实数加法后总的计算复杂度见表 1 最后一行。

表 1 计算复杂度对比

Table 1 Comparison of computation complexity

	基于 DFT 的数字信道化结构	基于二维 DFT 的数字信道化结构
多相滤波	K 个多相子带滤波器 实数乘法: $O(N)$ 实数加法: $O(N)$	K 个多相子带滤波器 实数乘法: $O(N/L)$ 实数加法: $O(N/L)$
串行 FFT	—	R 个 L 点串行 FFT 复乘法: $O(\frac{R}{2} \log_2 L)$ 复加法: $O(R \log_2 L)$
并行 FFT	1 个 K 点并行 FFT 复乘法: $O(\frac{K}{2} \log_2 K)$ 复加法: $O(K \log_2 K)$	1 个 R 点并行 FFT 复乘法: $O(\frac{R}{2} \log_2 R)$ 复加法: $O(R \log_2 R)$
复数乘法	$O(K)$	$O(2R)$
合计	复乘法: $O(\frac{K}{2} \log_2 K + K)$ 复加法: $O(K \log_2 K)$ 实数乘法: $O(N)$ 实数加法: $O(N)$	复乘法: $O(\frac{R}{2} \log_2 L + \frac{R}{2} \log_2 R + 2R)$ 复加法: $O(R \log_2 L + R \log_2 R)$ 实数乘法: $O(N/L)$ 实数加法: $O(N/L)$
换算后	实数乘法: $O(2K \log_2 K + 4K + N)$ 实数加法: $O(K \log_2 K + 2K + 2K \log_2 K + N)$	实数乘法: $O(2R \log_2 L + 2R \log_2 R + 8R + N/L)$ 实数加法: $O(R \log_2 L + R \log_2 R + 4R + 2R \log_2 L + 2R \log_2 R + N/L)$

在相同处理时钟下, 子信道数分别为 64、256、1 024 和 4 096 时, 基于 DFT 的数字信道化结构和基于二维 DFT 的数字信道化结构所使用的实数乘法器、实数加法器的数量对比如图 4 所示, 对

比图中左侧为基于 DFT 的数字信道化结构, 右侧为基于二维 DFT 的数字信道化结构。随着子信道数量的增加, 基于二维 DFT 的数字信道化结构计算复杂度低的特点越发明显。

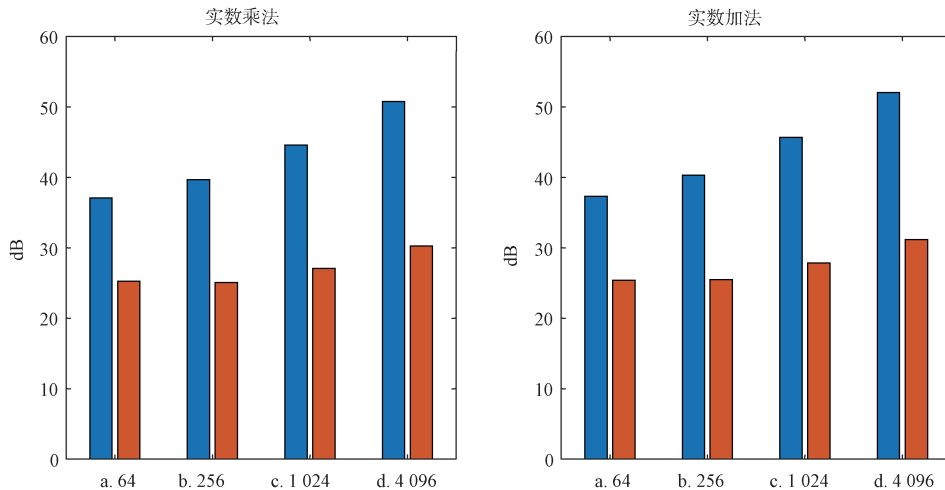


图 4 不同子信道数量下的计算复杂度对比

Fig. 4 Comparison of computational complexity under different number of subchannels

2 基于二维 DFT 信道化结构的 FPGA 实现

在 Xilinx V7 平台上使用 Verilog 语言实现了 1.3

节中的信道化结构, FPGA 中的实现结构如图 5 所示。图中实现了 64 路信道化, 其中 R 取值为 4, L 取值为 16。

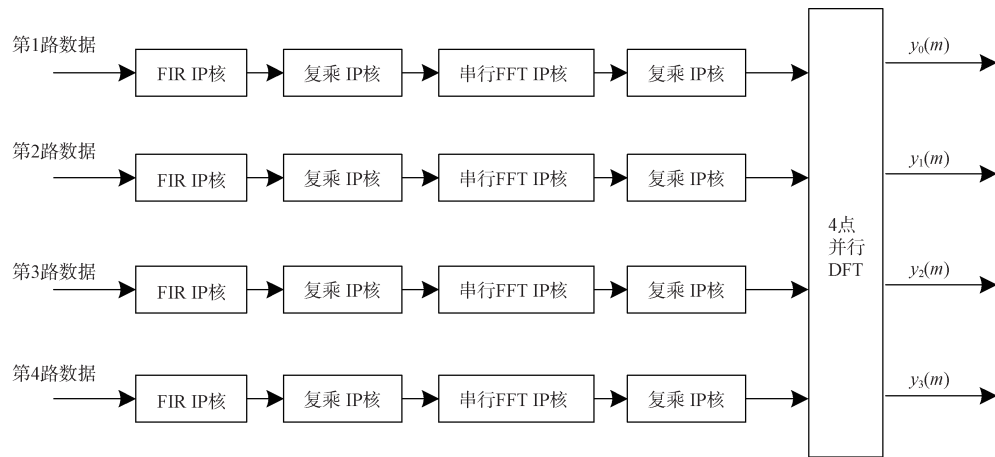


图5 基于二维DFT信道化结构的FPGA实现

Fig. 5 FPGA implementation of digital channelization structure based on two-dimensional DFT

64路信道化处理后，一帧需要输入64个数据，经过4倍抽取后，每路16个数据。如上图所示，抽取得到的64路数据分别进入各支路进行处理。每个支路首先使用FIR IP核进行16个通道的串行多通道滤波，滤波完成后数据进入复数乘法IP核进行相位补偿，随后数据进入FFT IP核完成16点串行FFT。串行FFT的结果进入另外一个复数乘法IP核乘以旋转因子，最后4路数据进入4点并行FFT模块，完成16个周期的并行FFT后得到64个信道化输出数据。

在相同处理时钟下，基于DFT的数字信道化结构与基于二维DFT的数字信道化结构在FPGA中实现时所用资源如表2所示，基于二维DFT的数字信道化结构FPGA资源使用大幅下降。

表2 FPGA资源使用对比

Table 2 Comparison of resource usage in FPGA

	基于DFT的数字 信道化结构	基于二维DFT的数字 信道化结构
LUT	50 523	6 342
FF	37 077	10 984
DSP	288	92
LUTRAM	3 038	2 016

3 仿真验证

对第2节中的信道化结构进行验证。设信号采样率为1.2 GHz。输入信号1为单频信号，频率为60 MHz，脉宽为15 μ s；输入信号2频率为线性调频信号，带宽120 MHz，中心频率260 MHz，脉宽为15 μ s；输入信号3为相位编码信号，8位巴克

码，码元宽度1 μ s，信号频率405 MHz；输入信号4为单频信号，频率为570 MHz，脉宽为15 μ s。仿真采用64路信道化结构，抽取倍数 $R=4$ ，分路数 $L=16$ ，原型滤波器阶数取511，滤波器系数数量为512。输入信号频率分布和信道划分如图6所示。抽取倍数 $R=4$ ，则FPGA运行速度可设置为300 MHz。生成仿真数据后，将其导入第1.3节实现的信道化结构进行仿真。

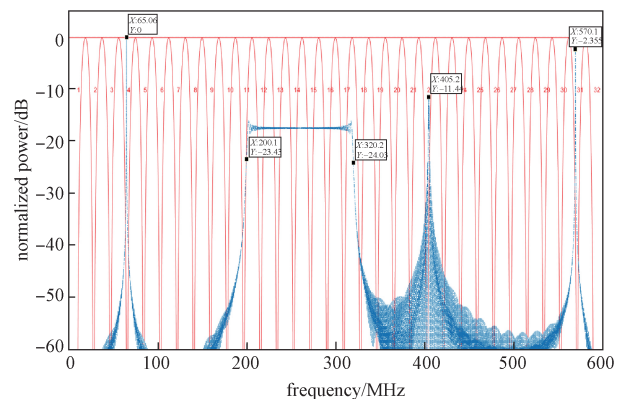


图6 输入信号分布及信道划分

Fig. 6 Input signals and channel division

在上述仿真条件下，信道化结构输出的第1~32子信道的时域波形和频谱分别如图7和图8所示。信号1位于第4信道，频率为65.04 MHz；信号2分布于第11到第18信道，频率范围为201.5 MHz到320.8 MHz；信号3位于22信道，频率为404.9 MHz；信号4位于31信道，频率为570.1 MHz。从时域波形和频谱分布可知，信道化输出保留了原信号信息，验证了本文提出的信道化结构的正确性。

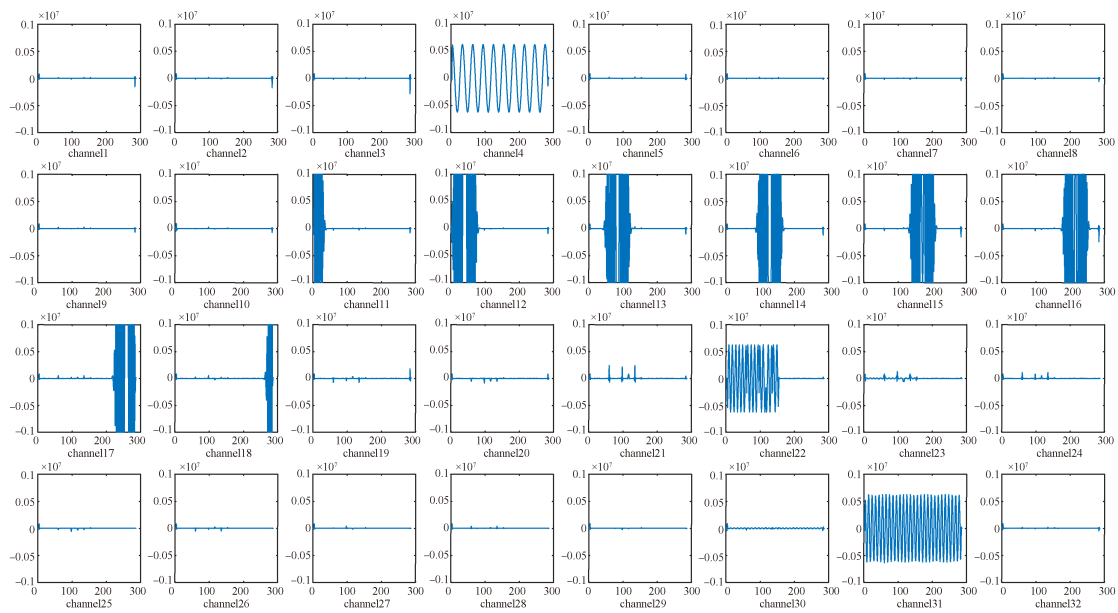


图 7 时域波形

Fig. 7 Time domain waveform

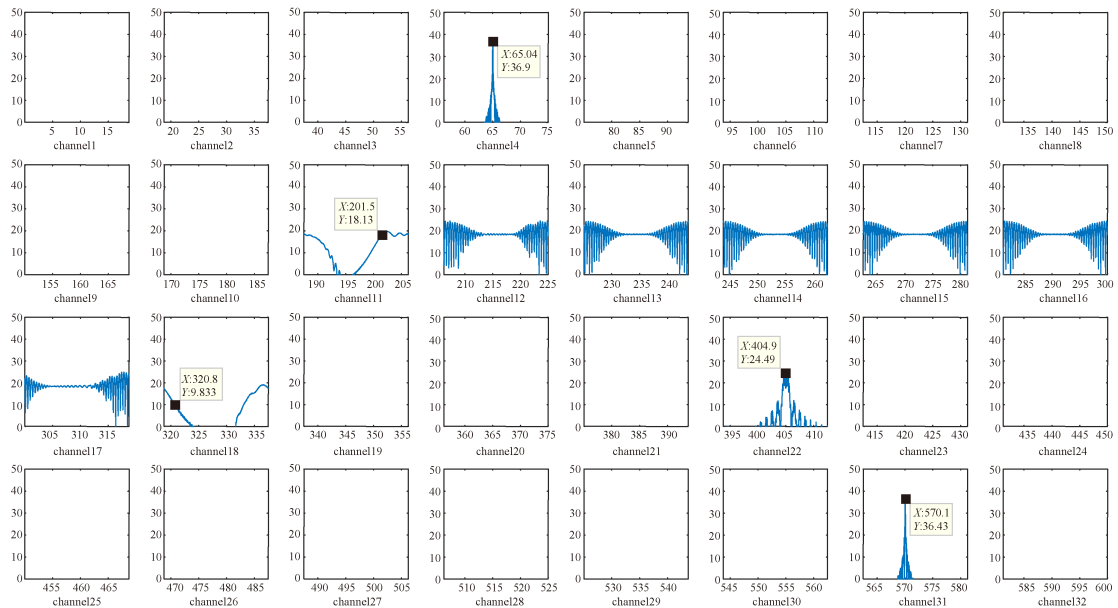


图 8 频谱波形

Fig. 8 Spectrum waveform

4 硬件测试

在仿真验证基础上, 利用搭载某型RFSOC(射频片上系统)的板卡构建了实际硬件测试环境。该板卡包含 8 个信号输入端口和 8 个信号输出端口。在本测试中, 仅使用其中 1 个输入端口和 1 个输出端口, 两个端口通过射频线缆互连。由于测试环境中缺乏能同时产生 4 个不同信号的信号源, 本文

采用了一种基于ROM的离线信号生成方法。具体而言, 将仿真验证中的输入信号量化后存入ROM, 上电后定时读出, 传输给相应DAC(数/模转换器)。DAC将数字信号转换为模拟信号, 通过输出端口传输给输入端口, 经ADC采样后传输给图 5 中的信道化模块, 利用ILA(在线逻辑分析仪)采集信道化模块输出进行分析。

第 1~32 子信道的时域波形和频谱分别如图 9 和图 10 所示。信号 1 位于第 4 信道, 频率为

65.04 MHz；信号2分布于第11到第18信道，频率范围为200.4 MHz到320.5 MHz。信号3位于22信道，频率为404.9 MHz。信号4位于31信道，频率为570.1 MHz。从时域波形和频谱分布可知信道化

输出保留了原信号信息，与第3节中Matlab仿真验证结果大体一致，验证了FPGA实现的正确性。但是信号波形存在一定程度劣化，可能是滤波器系数、相位补偿因子或DFT旋转因子量化误差导致的。

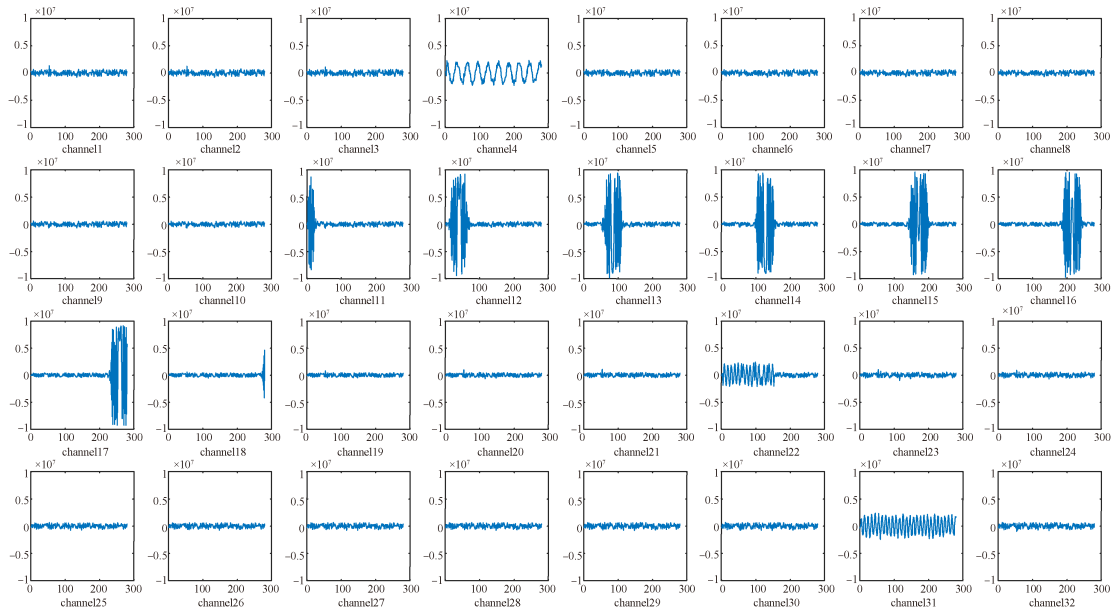


图9 硬件测试时域波形

Fig. 9 Time domain waveform from hardware test

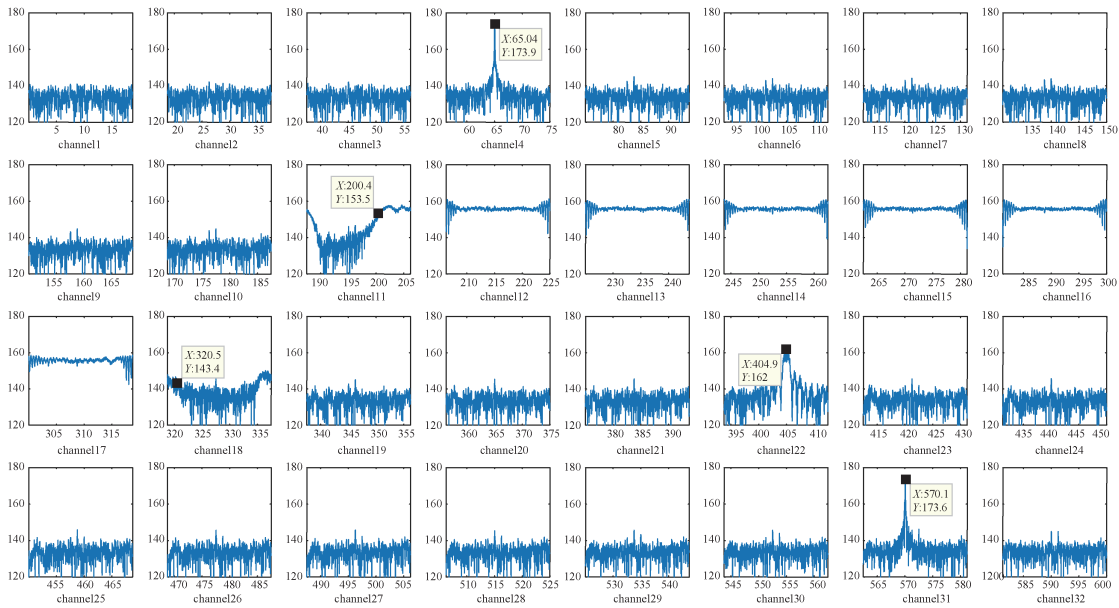


图10 硬件测试频谱波形

Fig. 10 Spectrum waveform from hardware test

5 结束语

本文将二维DFT引入基于DFT的数字信道化结构，提出了基于二维DFT的数字信道化高效结

构。文中给出了该结构框图以及在FPGA中的实现方法，并对该结构的计算复杂度和FPGA资源使用率进行了对比分析。此外，通过仿真验证及硬件测试验证了该结构的正确性。实验结果表明：改进后

的信道化结构不仅降低了计算复杂度, 还提升了子信道数据传输率, 实现了 FPGA 内部资源的高效利用, 从而有利于大规模数字信道化技术的工程应用。

参考文献

- [1] 龚仕仙, 魏玺章, 黎湘. 宽带数字信道化接收机综述[J]. 电子学报, 2013, 41(5): 949-959.
GONG Shixian, WEI Xizhang, LI Xiang. Review of wideband digital channelized receivers[J]. Acta Electronica Sinica, 2013, 41(5): 949 - 959.
- [2] 王宏伟, 赵国庆, 王玉军, 等. 一种宽带数字信道化接收机[J]. 西安电子科技大学学报, 2010, 37(3): 487-491, 553.
WANG Hongwei, ZHAO Guoqing, WANG Yujun, et al. Wideband digital channelized receiver design[J]. Journal of Xidian University(Natural Science Edition), 2010, 37(3): 487-491, 553.
- [3] 罗加钰. 大带宽数字信道化雷达侦察干扰技术研究与应用[D]. 哈尔滨: 哈尔滨工程大学, 2023.
- [4] 李婉婉. 多相滤波技术研究及在多信道接收机中的应用[D]. 北京: 北京邮电大学, 2018.
- [5] 岳朝富. 基于多相滤波的信道化接收机设计与实现[D]. 西安: 西安电子科技大学, 2020.
- [6] 万宏杰. 动态数字信道化接收结构及子带检测算法研究[D]. 西安: 西安电子科技大学, 2022.
- [7] 于浩. 基于 WOLA 滤波器组的雷达信号信道化侦收及实现方法研究[D]. 西安: 西安电子科技大学, 2020.
- [8] 冷鹏飞, 徐朝阳. 宽带数字信道化接收机的 FPGA 实现[J]. 舰船电子对抗, 2017, 42(6): 67-71.
LENG Pengfei, XU Chaoyang. Realization of wideband digital channelization receiver based on FPGA[J]. Shipboard Electronic Countermeasure, 2017, 42(6): 67-71.
- [9] 聂慧锋, 翟羽佳. 一种高效多级信道化数字接收机的设计与实现[J]. 雷达与对抗, 2018, 38(3): 47-51.
NIE Huifeng, ZHAI Yujia. Design and implementation of a high-efficiency multistage channelized digital receiver[J]. RADAR & ECM, 2018, 38(3): 47-51.
- [10] 王小静, 岳枚君, 张锦中. 基于 FPPA 的实数信道化工程设计与实现[J]. 舰船电子对抗, 2019, 42(6): 99-102.
WANG Xiaojing, YUE Meijun, ZHANG Jinzhong. Design and implementation of real number channelization engineering based on FPGA[J]. Shipboard Electronic Countermeasure, 2019, 42(6): 99-102.
- [11] 邓强. 数字信道化高效结构设计及 FPGA 实现[J]. 测控技术, 2022, 41(7): 93-97.
DENG Qiang. Design and FPGA implementation of high-efficient structure of digital channelization[J]. Measurement & Control Technology, 2022, 41(7): 93-97.
- [12] 周新星, 谢祖刚, 邱耀明, 等. 电子战宽带数字信道化的优化设计方法[J]. 航天电子对抗, 2018, 37(1): 43-46.
ZHOU Xinxing, XIE Zugang, QIU Yaoming, et al. An optimized design method for broadband digital channelization in electronic warfare Aerospace Electronic Warfare, 2018, 38(4): 19-32.
- [13] 刘修瀚. 宽带数字信道化接收机系统关键技术研究[D]. 长沙: 国防科学技术大学, 2018.
- [14] 王洪, 吕幼新, 汪学刚. WOLA 滤波器组信道化接收机技术[J]. 电子科技大学学报, 2018, 37(1): 43-46.
WANG Hong, LYU Youxin, WANG Xuegang. Channelized receiver with WOLA filter banks[J]. Journal of University of Electronic Science and Technology of China, 2018, 37(1): 43-46.
- [15] 孔梦华, 祝瑞军, 陈文锋, 等. 一种 S 波段宽带侦察数字接收机的设计[J]. 雷达与对抗, 2018, 38(4): 29-32.
KONG Menghua, ZHU Ruijun, CHEN Wenfeng, et al. Design of an S-band wideband reconnaissance digital receiver[J]. RADAR & ECM, 2018, 38(4): 29-32.
- [16] HENTSCHEL T. Channelization for software defined base-stations[J]. Annals of Telecommunications, 2002, 57(5-6): 386-420.
- [17] 程雨婷. 宽带数字信道化有源干扰技术研究[D]. 长沙: 国防科学技术大学, 2017.
- [18] 邹俊峰, 王振宇, 闫鹏展. 数字信道化接收机高效结构的优化方法[J]. 火力与指挥控制, 2011, 36(7): 68-71.
ZOU Junfeng, WANG Zhenyu, YAN Pengzhan. Optimization of channelized digital receiver[J]. Fire Control & Command Control, 2011, 36(7): 68-71.
- [19] 张丽君. 大点数 FFT 的二维算法 FPGA 并行实现[J]. 无线电通信技术, 2013, 39(3): 86-88.
ZHANG Lijun. Research on FPGA parallel implementation of two-dimension long FFT algorithm[J]. Radio Communications Technology, 2013, 39(3): 86-88.
- [20] 张夏, 俞欣颖, 段然等. FAST 数字后端及超宽带百万通道频谱谱仪算法仿真[J]. 天文学进展, 2016, 34(2): 249-257.
ZHANG Xia, YU Xinying, DUAN Ran, et al. FAST digital backend and algorithm simulation for broadband million channel spectrometer[J]. Progress In Astronomy, 2016, 34(2): 249-257.
- [21] 于东, 李丽, 韩峰, 等. 一种高精度的大点数二维 FFT 处理器设计[J]. 现代雷达, 2016, 38(5): 16-21.
YU Dong, LI Li, HAN Feng, et al. A high-precision FFT processor supporting 2D FFT algorithm[J]. Modern Radar, 2016, 38(5): 16-21.

[作者简介]

李 潇 1991 年生, 硕士, 工程师。

张国玉 1987 年生, 硕士, 高级工程师。

(本文编辑: 赵尹默)