

doi:10.13682/j.issn.2095-6533.2025.06.006

一种超低功耗高灵敏度唤醒接收机设计

黄东, 马鹏光, 张家梁, 丁悦, 冯臻夫

(西安邮电大学 电子工程学院, 陕西 西安 710121)

摘要: 唤醒接收机(Wake-up Receiver, WuRX)是实现低功耗无线传感网络的关键模块之一。经典的以包络检波器(Envelope Detector, ED)为第一级的直接解调唤醒接收机,存在灵敏度较低的问题。为改善该问题,将WuRX中传统的单端ED拓展为单端转差分伪巴伦拓扑结构,提高ED的转换增益和输出信噪比;同时,基带电路采用低功耗全差分结构,提高对共模噪声的抑制能力,最终改善WuRX的灵敏度。此外,对内部电流源与时钟产生电路采取协同设计,通过共用支路降低了电流消耗。芯片基于65 nm互补金属-氧化物-半导体工艺设计,载波频率为109 MHz、数据率为33.3 bps。仿真表明,设计的WuRX在漏检率小于0.1%和误报率小于1/hr的条件下,灵敏度达到-80 dBm;与此同时,在0.4 V低电源电压下,设计的WuRX整体功耗仅为5.9 nW。与经典WuRX设计相比,本设计在保持较低功耗的情况下实现了较高的灵敏度。

关键词: 唤醒接收机;包络检波器;信噪比;低功耗;灵敏度

中图分类号: TN432

文献标志码: A

文章编号: 2095-6533(2025)06-0049-10

Design of an ultra-low power and high-sensitivity wake-up receiver

HUANG Dong, MA Pengguang, ZHANG Jialiang, DING Yue, FENG Zhenfu

(School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: Wake-up receiver (WuRX) is a critical module for achieving low-power wireless sensor networks. Classical wake-up receivers which adopts envelope detection (ED) as the first stage, suffer from low sensitivity. To address this issue, the traditional single-ended ED in WuRX is extended to a single-ended-to-pseudo-differential topology, thereby improving the conversion gain and output signal-to-noise ratio of the ED. Additionally, the baseband circuit adopts a low-power fully differential structure, which enhances its ability to suppress common-mode noise, and ultimately improves the sensitivity of the WuRX. Furthermore, this design employs a collaborative approach for the internal current source and clock generation circuit, which reduces current consumption through shared paths. The chip is designed using a 65 nm complementary metal-oxide-semiconductor (CMOS) process, with a carrier frequency of 109 MHz and a data rate of 33.3 bps. Simulation results demonstrate that the proposed WuRX achieves a sensitivity of -80 dBm under conditions of a false alarm rate below 1 per hour, and a miss detection rate below 0.1%; moreover, the WuRX operates with an overall power consumption of only 5.9 nW at a supply voltage of 0.4 V. Compared to classical WuRX designs, this work achieves higher sensitivity while maintaining low power consumption.

Keywords: wake-up receiver; envelope detector; signal-to-noise ratio; low power; sensitivity

收稿日期: 2025-03-16

基金项目: 陕西省自然科学基金基础研究计划项目(2020JQ-845);陕西省教育厅科学研究计划项目(20JY058)

引文格式: 黄东, 马鹏光, 张家梁, 等. 一种超低功耗高灵敏度唤醒接收机设计[J]. 西安邮电大学学报, 2025, 30(6): 49-58.

HUANG D, MA P G, ZHANG J L, et al. Design of an ultra-low power and high-sensitivity wake-up receiver[J]. Journal of Xi'an University of Posts and Telecommunications, 2025, 30(6): 49-58.

无线传感网络(Wireless Sensor Network, WSN)是实现无处不在、无时不在、万物互联的泛在网络的关键组成部分^[1],其中组成传感网络的传感器节点将达到数十亿级规模^[2]。对于如此数量的传感器,只可能部分采用有线供电,而采用电池供电将不可避免带来极大的人力成本负担和大量废旧电池导致的环境问题^[3]。因此,减少传感器节点的能耗,降低电池更换频率,是缓解上述问题的重要途径之一。由于大部分传感器具有间歇性、偶发性的工作特点,为此学术界提出了一种利用唤醒接收机(Wake up Receiver, WuRX)实现传感节点整体低功耗运行的方案,即将节点的接收机功能分为主接收机和一个始终开启的WuRX^[4],WuRX只有在接收到预定的唤醒码后,才会唤醒高性能高功耗的主接收机,进行数据通信,一旦通信完成即刻关掉耗电的主接收机。因为WuRX始终开启,其功耗占节点休眠时系统功耗的主要部分^[5],所以应尽可能低,通常需要低至主接收机功耗的千分之一^[6]。

然而,WuRX功耗的大幅降低通常是以降低灵敏度为代价的。例如,文献[7]提出了一种采用二进制开关键控(On-Off Key, OOK)调制的纳瓦级WuRX,整体电路采用单端结构,在1.2 V电源下功耗只有13.4 nW,但是其在漏检率(Missed Detection Rate, MDR)小于0.1%和误报率(False Alarm Rate, FAR)小于1/hr的情况下灵敏度仅有一54 dBm。灵敏度的降低虽然换来了低功耗,但也限制了网络的覆盖范围。文献[8]提出的一种面向物联网通信的

WuRX,灵敏度达到了较好的一72 dBm,但功耗也达到了115.7 nW,其中基带功耗占系统功耗的80%。此外,上述WuRX的时钟大多使用片外晶振或环形振荡器实现。片外晶振虽然能提供稳定的参考频率,但是体积太大降低了系统集成度^[9];而环振虽然具有功耗和面积方面的优势,但是其输出频率的鲁棒性较差^[10-11]。

针对WuRX灵敏度较低和系统鲁棒性的问题,拟提出一种面向低吞吐量物联网应用的超低功耗高灵敏度的WuRX设计。首先,选择OOK调制方式和以包络检波器(Envelop Detector, ED)为第一级的直接解调式架构,去除了功耗较高的前端低噪声放大器以降低系统功耗。然后,将传统的单端包络检波器改进为无源伪巴伦可调偏置包络检波器结构,来提升转换增益和输出信噪比。此外,基带电路整体上采用全差分低压结构以抑制共模噪声,通过低功耗松弛振荡器来提供系统所需的时钟。

1 经典直接解调 WuRX 分析

1.1 系统架构

经典的直接解调WuRX系统结构示意图如图1所示,输入的射频OOK信号通过匹配网络放大并被滤波,再通过一个低噪声放大器进行放大^[12],放大后的射频信号被送入ED进行检波并提取出OOK信号的包络。

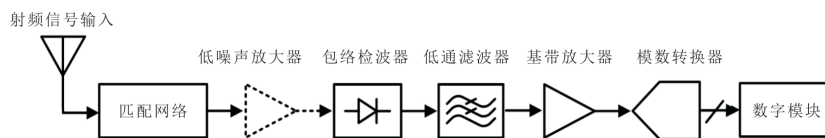


图1 经典 WuRX 系统结构示意图

ED可以是无源或有源的,用于解调信号;无源ED具有零功耗和良好的噪声性能^[13],但其转换增益取决于级联级数、输入阻抗和无源ED增益;有源ED采用共栅极或共源极架构可以实现更高的转换增益,但需以功耗和闪烁噪声为代价^[14]。由于ED具有结构简单和功耗较低的特性,因而被广泛用于WuRX中进行信号下变频操作。

在ED之后的基带电路由基带放大器、比较器和一些数字逻辑(数字相关器)组成。

由于经典WuRX是单端结构,电源噪声和共模噪声会叠加到信号上,导致信噪比降低^[15],进而恶化接收机灵敏度。

1.2 灵敏度分析

采用ED解调的WuRX,其灵敏度主要受到3种噪声的限制^[16]。

第一种为基带噪声,主要包括ED的噪声和基带放大器及滤波器的噪声。受基带噪声限制的灵敏度可表示为

$$P_{sen} = \frac{\sqrt{P_{SD0} R_{BW, BB} R_{SN, m} F_{BB}}}{k_{ED} A_V^2 R_S} \quad (1)$$

式中: P_{SD0} 为基带噪声功率谱密度; $R_{BW, BB}$ 为基带带宽; $R_{SN, m}$ 为解调所需最小信噪比; F_{BB} 为基带噪声系数; k_{ED} 为ED的转换增益; A_V 为阻抗匹配网络增益; R_S 为天线阻抗(一般为50 Ω)。

假设基带噪声主要是白热噪声,则 P_{sen} 与 $\sqrt{R_{BW,BB}}$ 成正比。基带噪声通常在射频增益不足的情况下占主导地位^[17-21]。

第二种为卷积噪声。对于在 ED 前具有足够射频增益的设计,噪声主要由前级射频电路决定,而后面的基带电路噪声被射频增益抑制,处于次要地位。如果前置 ED 射频滤波器带宽 $R_{BW,FE}$ 较小,则射频频率处信号与噪声之间的卷积将占据整体噪声的主导地位。此时,灵敏度为

$$P_{sen} = 8k_B T \cdot F_{FE} \cdot R_{BW,BB} \cdot R_{SN,m} \quad (2)$$

式中: k_B 为玻尔兹曼常数; T 为绝对温度; F_{FE} 是 ED 前的噪声系数。由式(2)可得对于以卷积噪声为主的设计, P_{sen} 与 $R_{BW,BB}$ 成正比^[22-24]。

第三种为自混合噪声,其与卷积噪声的区别

在于,此种噪声占主导的情况主要出现在前置 ED 射频滤波器带宽 $R_{BW,FE}$ 较大的情况下,此时,灵敏度为

$$P_{sen} = 2k_B T \cdot F_{FE} \sqrt{R_{BW,FE} \cdot R_{BW,BB} \cdot R_{SN,m}} \quad (3)$$

对于直接解调架构的 WuRX,由于在 ED 之前只有匹配网络提供的无源电压增益,导致其射频增益不足^[25-26],所以其灵敏度主要由基带噪声决定,如式(1)所示。因此,为了提高 WuRX 的灵敏度,就需要提高匹配网络的无源增益、提高 ED 的转换增益以及降低基带噪声。基于此分析,在经典结构的基础上提出了图 2 所示的改进结构,一方面将传统单端 ED 改进为伪巴伦差分结构,提升了其转换增益;另一方面采用全差分基带电路,提高基带的共模噪声抑制能力。

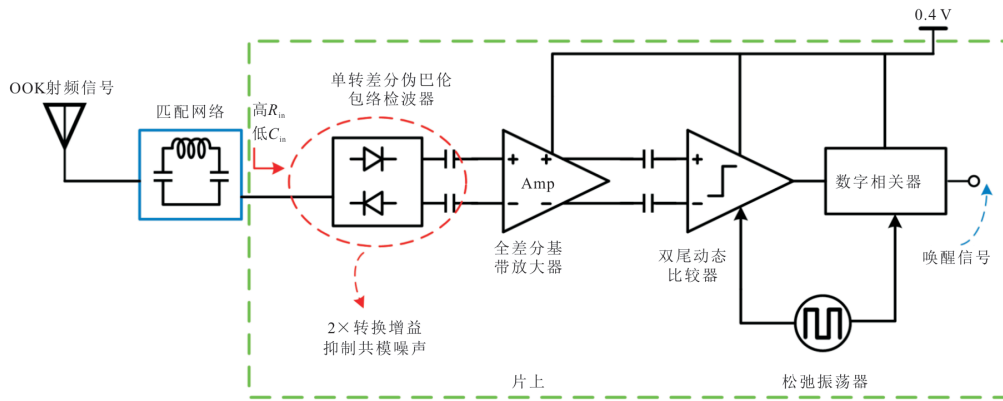


图 2 提出的 WuRX 结构示意图

2 提出的 WuRX 电路设计

2.1 射频前端设计

射频前端包括匹配网络以及包络检波器。由于直接解调结构去掉了高功耗的射频增益模块,所以需要高 Q 值射频匹配网络提供高电压增益,以获得最佳灵敏度。设计的阻抗匹配网络如图 3 所示,采用了 π 型结构。

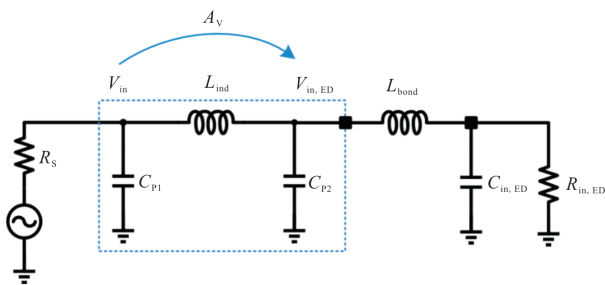


图 3 阻抗匹配网络示意图

假设射频信号频率为 ω_{RF} , 且感值为 $L_{ind} \approx 1/(\omega_{RF}^2 FC_{p2})$ 的电感具有远高于 ω_{RF} 的自谐振频率,

则匹配网络在 ω_{RF} 处的增益为

$$A_V = \sqrt{\frac{R_{in,ED}}{R_s}} / \sqrt{\left(1 + \frac{\omega_{RF} R_{in,ED} C_{p2}}{Q_{ind}}\right)} \quad (4)$$

式中: Q_{ind} 为电感的品质因子; R_s 为信号源阻抗; $R_{in,ED}$ 为 ED 的输入电阻。

从上一节对 WuRX 灵敏度的分析可得,ED 的转换增益限制着 WuRX 的灵敏度,并且传统的单端 ED 不具备任何可调性,这就要求比较器采用可调参考电路。为了解决这些问题提出了一种基于多级迪克森电荷泵的单端转差分体偏置可调的无源伪巴伦 ED,如图 4 所示。其中, $V_{in,r}$ 来自匹配网络, V_{CM} 为 ED 的输入参考电压。其设计思路是将传统检测正包络的单端无源 ED 反向,得到检测射频输入信号的负包络,再将检测正、负包络的两个 ED 模块并联耦合,就实现了提出的伪巴伦无源 ED 结构。图 4 中的 MOS 管均采用深 N 阱结构,它们的衬底均连接到可调电压 V_{bulk} ,这可用于校正工艺变化带来的性能偏差。

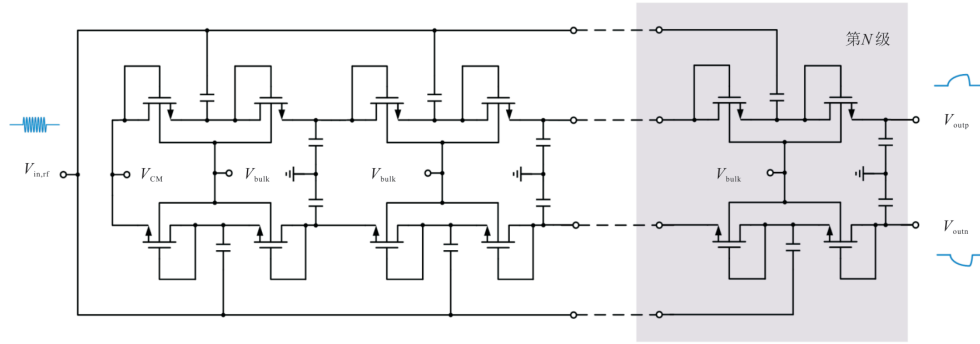


图4 设计的可调伪巴伦无源包络检波器

设计的 N 级 ED 转换增益 k_{ED} 为

$$k_{ED} = \frac{V_{out}}{V_{in,rf}^2} = 2\mu_D \sum_{i=1}^{2N} \left(\frac{C_C}{C_C + 2C_D} \right) \quad (5)$$

式中: C_C 为耦合电容; C_D 为二极管连接 MOS 管的等效电容; μ_D 为开路电压灵敏度。如果 C_C 远大于 C_D , 则转换增益 k_{ED} 可简化为

$$k_{ED} = \frac{4N}{\mu_D} \quad (6)$$

提出的 ED 其输出噪声 $\overline{V_{n,DIF_ED}^2}$ 可表示为

$$\overline{V_{n,DIF_ED}^2} = 4k_B T(4N)R_D \quad (7)$$

综上所述, 其输出信噪比 R_{SN,DIF_ED} 可表示为

$$R_{SN,DIF_ED} = \frac{(2k_{ED}V_{in}^2)^2}{4k_B T(4N)R_D B_N} \quad (8)$$

该结构相较于传统单端 ED, 在保持输出带宽不变的前提下, 实现了输入信号电平相同情况下转换增益和输出信噪比的双倍提升。

2.2 基带放大器设计

由式(1)可知, 对于本设计的 WuRX, 需要将基带放大器的噪声尽量降低以提高接收机灵敏度。提出的基带放大器电路结构示意图如图 5 所示, 采用基于反相器结构的电流复用自偏置全差分结构。同时, 为保证不降低前级 ED 的增益, 基带放大器还必须提供较高的输入阻抗。因为无源 ED 不消耗电源能量, 因此可将大部分功耗预算分配给基带放大器, 以最大限度地降低其噪声。

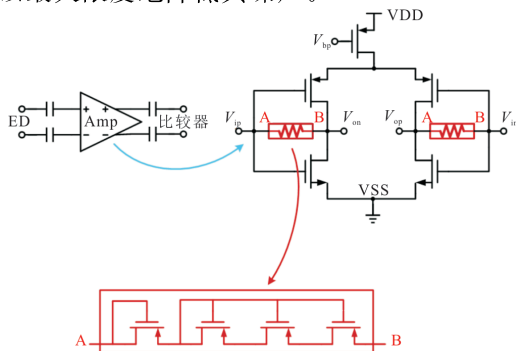


图5 设计的基带放大器电路结构示意图

图 5 中的 V_{bp} 为尾电流管偏置电压, A 和 B 之间是用于给放大器输入管提供自偏置的伪电阻器。输入和输出均采用交流耦合, 以消除直流偏移、减小 $1/f$ 噪声的传递。由于采用电流复用结构, 所以该放大器的跨导为

$$G_m = g_{mP} + g_{mN} = 2g_m \quad (9)$$

式中: g_{mP} 和 g_{mN} 分别为 PMOS 和 NMOS 的跨导。在亚阈值区, PMOS 和 NMOS 的跨导几乎相等, 均为

$$g_{mP} = g_{mN} = g_m \approx \frac{I_D}{\eta V_T} \quad (10)$$

式中: η 为亚阈值斜率系数; V_T 为热电压。

进一步可计算得到基带放大器的增益为

$$|A_V| = (g_{mN} + g_{mP}) \cdot (r_{oN} \parallel r_{oP}) \quad (11)$$

式中: r_{oN} 和 r_{oP} 分别为 NMOS 和 PMOS 的小信号输出电阻。

输入参考噪声可表示为

$$\overline{V_{n,AMP}^2} = \frac{8kT\gamma G_m R_{OUT}^2}{(G_m R_{OUT})^2} = \frac{8kT\gamma}{G_m} = \frac{4kT\gamma}{g_m} \quad (12)$$

式中: γ 为器件的沟道热噪声电流系数; R_{OUT} 为基带放大器输出阻抗。从其输出噪声公式和亚阈值区 MOS 管的跨导和电流关系可以看出基带放大器输出噪声与偏置电流成反比。

2.3 比较器和数字相关器设计

基带放大器的输出由比较器进行数字化处理。为了增强比较器在低电源电压下工作的鲁棒性, 设计了一种两级双尾动态比较器, 将电源到地的 MOS 管堆叠减少到 3 个, 具体电路结构示意图如图 6 所示。比较器采用一个 $g_m C$ 积分器作为前置放大器, 然后是一个再生锁存器。具体步骤为: 当 CLK 变为高电平后, 由输入决定的电流在电容 C_F 上积分, 直到电压跨过锁存器阈值电压 V_{th} , 然后正反馈锁存器再生, 产生互补轨至轨输出。比较完成之后, 两级动态比较器由时钟的另一相位复位。

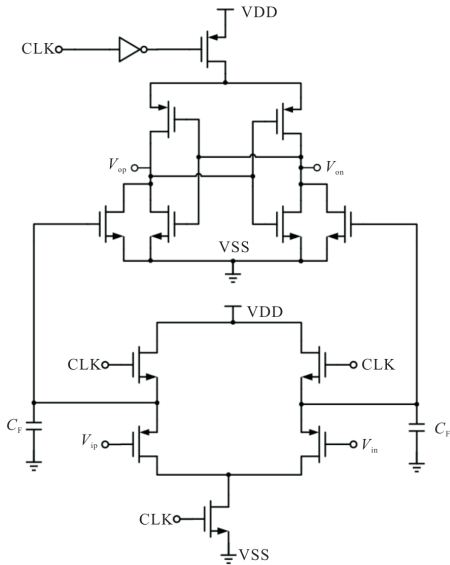


图 6 设计的双尾比较器电路结构示意图
数字相关器接收到经比较器解调的码书后,其

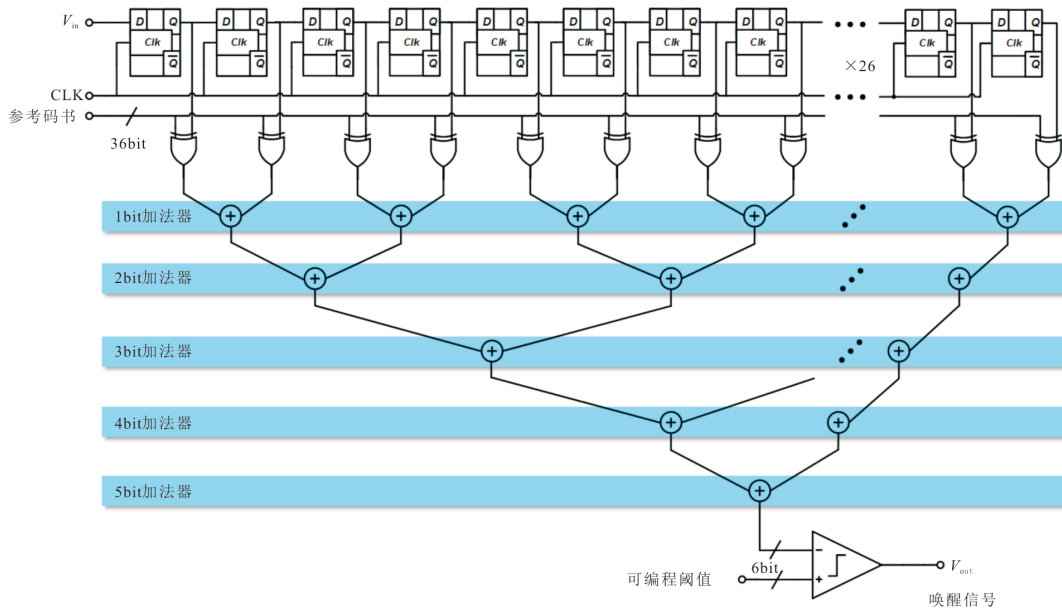


图 7 设计的 36 位数字相关器电路结构示意图

2.4 松弛振荡器设计

设计的超低功耗松弛振荡器电路如图 8 所示,由启动电路、与电源无关的电流源、电流模比较器

核心任务是将这些码书与参考码本进行匹配,从而决定是否产生唤醒使能信号。相关器采用了 6 倍的过采样率对输入信号进行采样处理,这种方法能在节能的同时有效地解决信号相位不同步所带来的问题。

图 7 给出了本设计的 36 位数字相关器,其中预设的唤醒码长度为 6 位,采用 6 倍过采样,因此该电路共需要 36 个上升沿 D 触发器来构成输入移位链路。其工作原理是检测输入信号与唤醒参考码书之间的汉明距离,如果汉明距离超过预设的唤醒阈值,则使能唤醒信号。汉明距离的计算由异或门和多个加法器来实现。异或门计算移位后的输入码书与参考码书之间不同码元的个数,加法器则将异或门的输出进行累加。数字比较器将加法器累加的结果与相关器的阈值进行比较,并决定是否输出唤醒信号。

和缓冲电路以及倍压电路组成。MOS 管 $M_1 \sim M_{12}$ 全部工作在亚阈值区域, M_7 的宽长比是 M_5 的 K 倍。

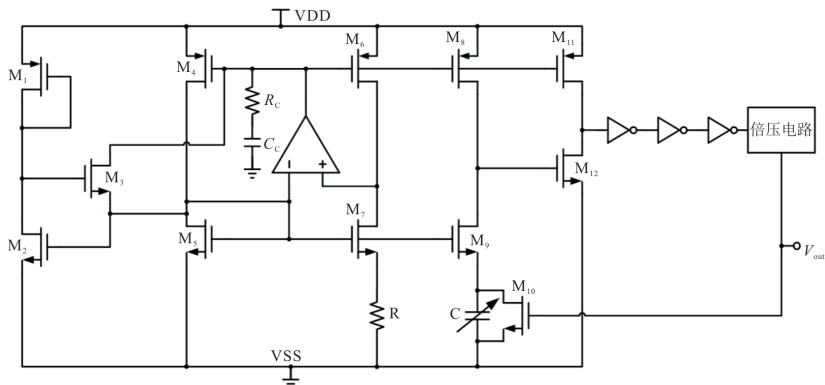


图 8 包含启动电路的超低功耗松弛振荡器电路

从亚阈值区 MOS 管的 I - V 特性可得

$$V_{GS} = \eta V_T \ln \left[\frac{I_D}{\mu C_{ox} W (\eta - 1) V_T^2 / L} \right] + |V_{TH}| \quad (13)$$

式中： μ 为 MOS 管的迁移率； C_{ox} 指单位面积栅氧化层电容； I_D 为亚阈值电流； V_{TH} 为 MOS 管阈值电压。为了降低功耗，电流源和参考电压产生电路共用一条支路， $(V_{GS,5} - V_{GS,7})$ 即为参考电压 V_{REF} ， V_{REF} 与 R 的比值即为与电源无关的电流 I_{REF} ，其表达式为

$$I_{REF} = \frac{\eta \ln(K) V_T}{R} \quad (14)$$

传统的自偏置电流源由于沟道长度调制效应的存在，对 MOS 管源漏电压变化比较敏感。为了应对这个问题，本设计在自偏置电流源中添加了一个辅助放大器用来钳位 M_5 、 M_7 的漏极电压，此时形成了一个串联负反馈。 R_C 和 C_C 为补偿电阻和补偿电容，用于确保环路的稳定性。

MOS 管 M_7 、 M_9 和 M_{12} 构成设计的两级电流模比较器，用于比较电容电压 V_C 和参考电压 V_{REF} 。当电容电压 V_C 超过参考电压 V_{REF} 时，输出就会发生跳变使得输出电平翻转。电流模比较器的输出通过三级反相器整形，同时减小了缓冲延时对于振荡周期的影响。为了增加开关管 M_{10} 的驱动能力，减小复位延时，本设计还在振荡器输出增加了一个倍压电路将输出波形高电平倍压到 2 倍的电源电压。为了应对由于工艺变化振荡器频率产生的误差，采用了电容阵列作为工艺修调电路。

通过改进电路结构，减小了复位延时和缓冲延时，设计的振荡器时钟频率为

$$f_{CLK} \approx \frac{1}{\tau_{RC} + \tau_{com}} \quad (15)$$

式中： τ_{RC} 为电阻 R 和电容 C 构成的时间常数； τ_{com} 为比较器延时。

3 仿真结果与讨论

本设计的 WuRX 在 Cadence 环境下基于 TSMC 65 nm CMOS 工艺进行了电路设计和仿真验证，采用 0.4 V 电源供电。模拟部分版图如图 9 所示，总面积为 0.203 mm^2 。

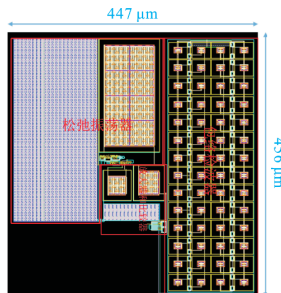


图 9 唤醒接收机模拟部分版图

3.1 子模块电路仿真结果

匹配网络采用的是片外高 Q 值元件，本设计选择的是 Coilcraft 2929SQ 系列高 Q 电感。对于设计的阻抗匹配网络， $R_{in,ED}$ 约为 $520 \text{ K}\Omega$ ， $C_{in,ED}$ 约为 470 fF 。图 9 给出了接收机的 S_{11} 仿真结果，可以看到在 109 MHz 处 $S_{11} < -10 \text{ dB}$ 。图 10 给出了匹配网络的幅频曲线，在 109 MHz 处，其增益约为 30.6 dB 。

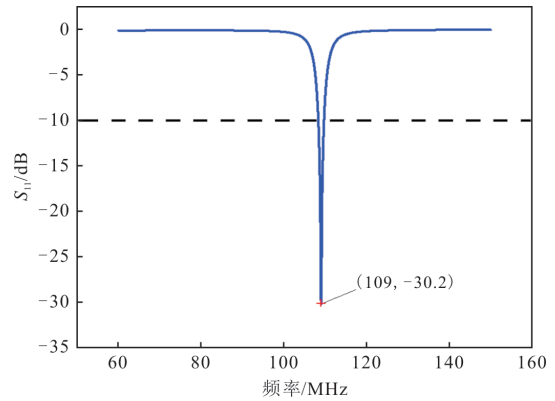


图 10 唤醒接收机 S_{11} 参数仿真结果

ED 的性能对于 WuRX 系统的整体性能至关重要，本设计的伪巴伦包络检波器级数为 14 级，耦合电容为 100 fF 。在 6 倍过采样下，对于 33 bps 的数据速率，ED 输出包络的最大上升时间应少于 5 ms 。图 11 显示了 ED 的瞬态仿真结果，从图中可以看出 ED 输出包络上升时间为 2.3 ms ，满足上升时间小于 5 ms 的要求。

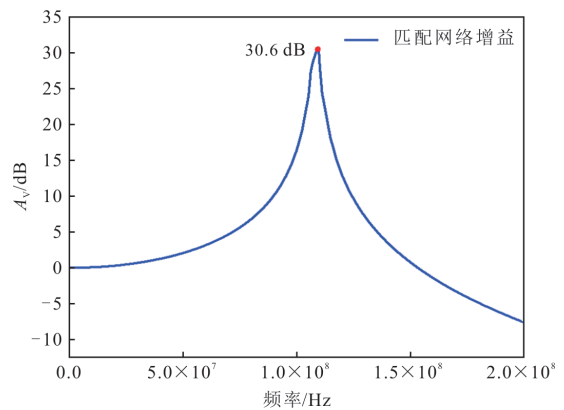


图 11 匹配网络幅频特性仿真结果

从图 11 可以看出输出包络信号差值为 2.3 mV ，结合前文中提到匹配网络输出信号幅度为 3.4 mV ，根据式(5)可以计算得到转换增益 k_{ED} 为

$$k_{ED} = \frac{V_{out}}{V_{in}^2} = \frac{2.3}{(3.4)^2} \approx 198 \quad (16)$$

不同工艺角和温度下 ED 的性能仿真结果如表 1 所示。在 ss 工艺角 + 高温的最大延迟情况

下,ED的上升时间过长,不满足小于 5 ms 的要求。通过体偏置调整,可以使 ED 的性能满足设计要求。

表 1 不同工艺角和温度下的 ED 仿真结果

V_{bulk}/V	0	0	0/100 m
$T/^{\circ}\text{C}$	-20	27	80
工艺角	ff	tt	ss
k_{ED}/V^{-1}	224	198	182
t_r/ms	0.57	2.35	6.5/3.6

为了实现更高的接收灵敏度,需要基带放大器对多级包络检波器输出的基带信号进行放大处理。基带放大器在电源电压 0.4 V 和负载电容 0.5 pF 的条件下,其幅频特性曲线如图 12 所示。

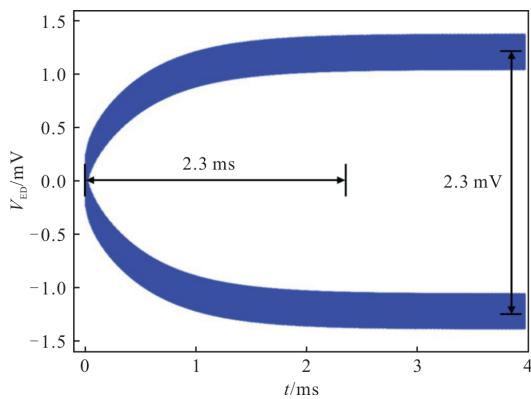


图 12 包络检波器瞬态仿真结果

在 tt 工艺角室温下,放大器的低频增益为 26.5 dB,-3 dB 带宽约为 2 kHz。如图 13 所示。为了功耗和面积的折中,松弛振荡器的输出频率设计为 1.6 kHz,再通过分频电路得到所需的 200 Hz 时钟系统时钟。时钟模块仿真结果如图 14

所示。

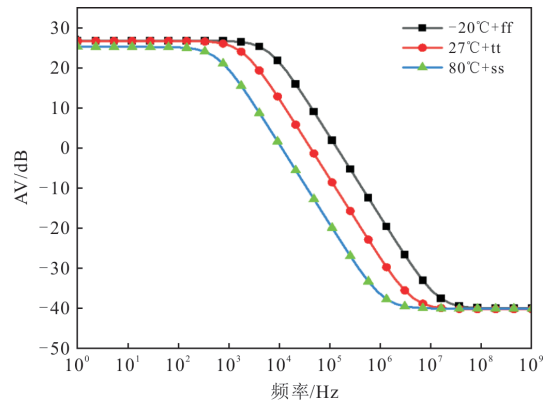


图 13 不同工艺角和温度下的基带放大器增益仿真结果

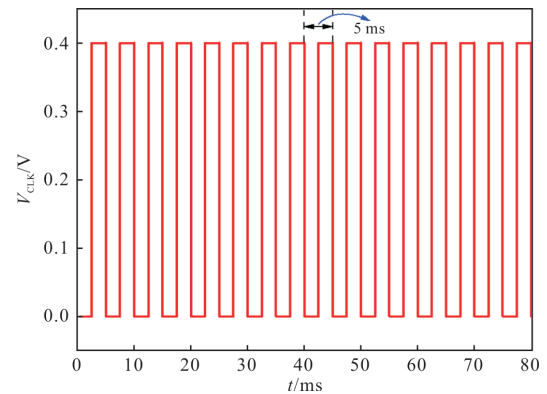


图 14 时钟模块瞬态仿真结果

3.2 WuRX 整体仿真结果

唤醒接收机的整体功能为当唤醒接收机接收到唤醒信号并恢复出唤醒码后,其内部的数字相关器会对该唤醒码进行匹配识别,若识别成功,则产生一个唤醒使能脉冲作为输出。输入射频信号为一 70 dBm 时,WuRX 的整体功能仿真结果如图 15 所示。

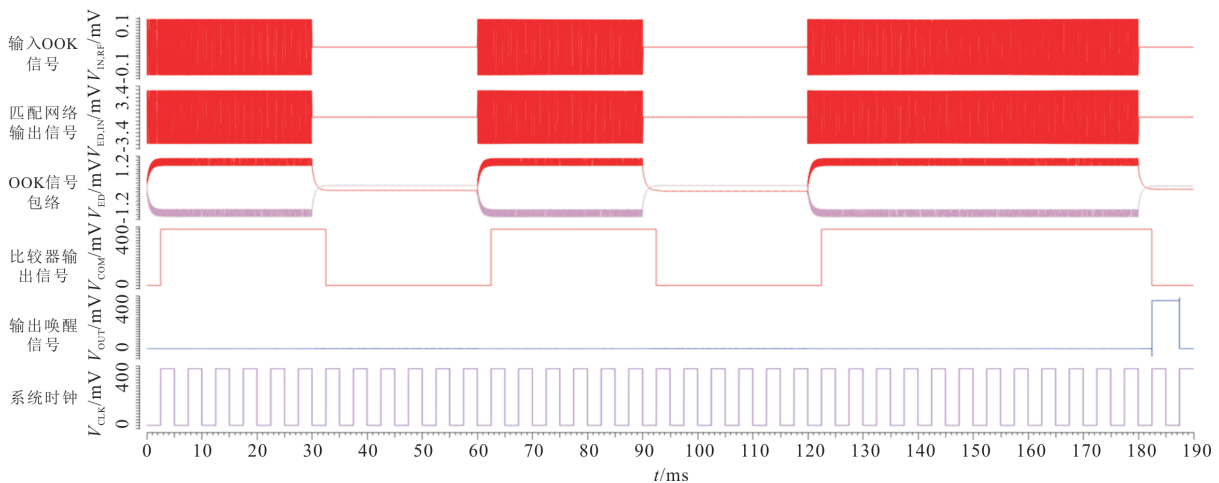


图 15 WuRX 整体仿真结果

其中,输入射频信号频率为 109 MHz,调制方式为 OOK 调制,数据速率为 33.3 bps,6 位唤醒码

设置为 101011,系统时钟频率为 200 Hz。

从图 15 可看出,经过一定的延迟后 WuRX 能

正确输出唤醒脉冲。在满足误报率(FAR)小于1/hr和漏检率(MDR)小于0.1%的情况下,解调所需的最小信噪比 $R_{SN,m}$ 为13.4 dB,基带系数 F_{BB} 为0.2 dB, P_{SD0} 为12 (pV)²/Hz。由此,通过式(1)可计算得 WuRX 的灵敏度为-80 dBm。所设计的 WuRX 在0.4 V 电源电压下的系统的总功耗为5.9 nW,其中基带放大器占主要部分消耗3.4 nW,松弛振荡器和36位数字相关器各消耗1.1 nW,比较器和其他部分为0.3 nW。各部分功耗占比如图16所示。表2汇总了设计的接收机性能,并和其他接收机进行了对比。

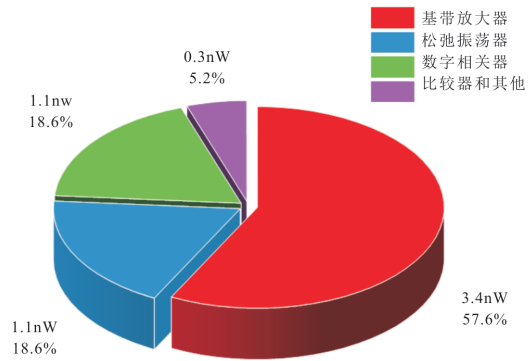


图16 WuRX 各模块功耗占比

表2 不同 WuRX 性能比较结果

设计	工艺/nm	电源电压/V	载波频率/MHz	数据速率/bps	唤醒延迟/ms	灵敏度/dBm	功耗/nW	FoM*/dB
文献[7]	90	1.2	868.0	500.0		-54	13.4	116.2
文献[8]**	65	0.4	433.0	100.0	80.00	-72	115.7	121.4
文献[19]	180	0.4	113.5	300.0	53.28	-69	4.5	134.8
文献[20]	180	0.5	433.0	100.0	80.00	-65	2.5	131.0
本设计**	65	0.4	109.0	33.3	180.00	-80	5.9	139.6

注: *: FoM(dB) = -P_{sen} + 5 log(R_{BW, BB}) - 10 log(P_{dc}/1mW); **: 仿真结果

从表2可以看出,从灵敏度和功耗来看,文献[7]采用了高数据速率和较高载波频率并且其整体电路采用的是单端结构所以其灵敏度比较低仅仅只有-54 dBm。文献[8]提出了一种新的基带处理电路使 WuRX 达到了较高的灵敏度,但是灵敏度提高的同时其功耗也是表2最大的,达到了115.7 nW。文献[19]采用了DTMOS工艺来设计有源ED同时去掉了基带放大器来降低功耗,虽然降低了功耗但是其灵敏度也会同时降低。文献[20]通过使用环形振荡器和时域比较器大大降低了系统的功耗,仅有2.5 nW,但是其灵敏度也大幅降低,只有-65 dBm。从归一化灵敏度-带宽-功耗的FoM指标来看,由于文献[7]的灵敏度是最低的,所以其FoM指标也是最差的,文献[8]虽然功耗较高但是其灵敏度远高于文献[7],所以其FoM指标要优于文献[7]。文献[19]和文献[20]在牺牲小部分灵敏度的同时换取了极低的功耗,所以其FoM指标比较优秀。

值得注意的是,对于WuRX而言,只要能达到合理的唤醒延迟(例如,对于许多低平均吞吐量应用而言,唤醒延迟应小于1 s),最重要的指标就是功耗和灵敏度。能量/比特和带宽等指标并不那么重要,因为从设计上讲,WuRX的吞吐量较低。综合来看,本设计的WuRX具有较高的灵敏度和FoM,并且功耗也比较低,取得了较好的综合性能。

4 结语

设计了一款具有超低功耗高灵敏度的唤醒接收机。通过将经典单端无源ED拓展为单转差分伪巴伦结构来提高转换增益和信噪比,并且基带电路也采用全差分结构来提高抗干扰能力。为了降低功耗,系统电流源和低功耗松弛振荡器采用共用支路。仿真结果表明所提设计在0.4 V低电源电压下,实现了一80 dBm的高灵敏度,同时,功耗仅为5.9 nW。所提设计能够满足低吞吐量物联网应用的需求。

参考文献

- [1] YANG J H, ZHOU R, XIONG X L, et al. A -79 dBm 7.56 nW 433 MHz wake-up receiver with interference suppression for IoT application[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2025, 72(4): 1878-1887.
- [2] SHETTY D, STEFFAN C, BÖSCH W, et al. Fully passive RF wake-up receiver including a small loop antenna with -30.7-dBm sensitivity at 26-kbps bitrate [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(1): 21-25.
- [3] LIAO X F, XIE Y H, WANG J B, et al. A 0.4 V, -77.2 dBm WuRX with digitalized loop-calibration and temperature-compensation [J]. IEEE Transactions on Microwave Theory and Techniques, 2024, 72(12):

- 6871-6880.
- [4] 潘学明, 曲鑫. 5G-Advanced 低功耗唤醒接收机和唤醒信号技术[J]. 电信科学, 2022, 38(3): 102-112.
PAN X M, QU X. Low power wake-up receiver and wake-up signal technology in 5G-Advanced[J]. Telecommunications Science, 2022, 38(3): 102-112. (in Chinese)
- [5] REN H Y, YE D W, CHEN B B, et al. A 19- μ W blocker-tolerant wake-up receiver with-90-dBm energy-enhanced sensitivity[J]. IEEE Transactions on Microwave Theory and Techniques, 2023, 71(10): 4377-4392.
- [6] LEE E, KHAN M I W, CHEN X B, et al. A 1.54-mm², 264-GHz wake-up receiver with integrated cryptographic authentication for ultra-miniaturized platforms[J]. IEEE Journal of Solid-State Circuits, 2024, 59(3): 653-667.
- [7] MANGAL V, KINGET P R. Clockless, continuous-time analog correlator using time-encoded signal processing demonstrating asynchronous CDMA for wake-up receivers[J]. IEEE Journal of Solid-State Circuits, 2020, 55(8): 2069-2081.
- [8] 杨建行, 王霖伟, 李振, 等. 应用于物联网的纳瓦级唤醒接收机芯片[J]. 集成电路与嵌入式系统, 2024, 24(6): 9-17.
YANG J H, WANG L W, LI Z, et al. Nanowatt wake-up receiver for IoT applications[J]. Integrated Circuits and Embedded Systems, 2024, 24(6): 9-17. (in Chinese)
- [9] 万美琳, 吴逸飞, 王洲, 等. 一种低成本高精度电压张弛型振荡器[J]. 微电子学与计算机, 2024, 41(12): 69-76.
WAN M L, WU Y F, WANG Z, et al. A low-cost high precision voltage relaxation oscillator[J]. Microelectronics & Computer, 2024, 41(12): 69-76. (in Chinese)
- [10] 袁宇杰, 韦保林, 韦雪明, 等. 一种适用于能量收集系统的低功耗张弛振荡器[J]. 微电子学, 2023, 53(1): 44-49.
YUAN Y J, WEI B L, WEI X M, et al. A low power relaxation oscillator suitable for energy harvesting system[J]. Microelectronics, 2023, 53(1): 44-49. (in Chinese)
- [11] 田文文, 李娜. 一种高精度全集成 50MHz 振荡器[J]. 微电子学, 2023, 53(1): 31-35.
TIAN W W, LI N. A high accuracy fully integrated 50 MHz oscillator[J]. Microelectronics, 2023, 53(1): 31-35. (in Chinese)
- [12] 黄东, 陈志达, 龚泽鹏, 等. 一种低噪声放大器衬底电阻噪声抑制技术[J]. 西安邮电大学学报, 2022, 27(1): 53-59.
HUANG D, CHEN Z D, GONG Z P, et al. A substrate resistance noise suppression technique for low noise amplifier[J]. Journal of Xi'an University of Posts and Telecommunications, 2022, 27(1): 53-59. (in Chinese)
- [13] 孟凡振, 刘宏, 汪明亮, 等. 用于物联网通信的低功耗唤醒接收机设计[J]. 西安电子科技大学学报, 2017, 44(2): 95-100.
MENG F Z, LIU H, WANG M L, et al. Design of the low power wake-up receiver for Internet of Things communication[J]. Journal of Xidian University, 2017, 44(2): 95-100. (in Chinese)
- [14] MERCIER P P, CALHOUN B H, WANG P P, et al. Low-power RF wake-up receivers: Analysis, tradeoffs, and design[J]. IEEE Open Journal of the Solid-State Circuits Society, 2022, 2: 144-164.
- [15] MOODY J, BASSIRIAN P, ROY A, et al. Interference robust detector-first near-zero power wake-up receiver[J]. IEEE Journal of Solid-State Circuits, 2019, 54(8): 2149-2162.
- [16] HUANG X C, DOLMANS G, DE GROOT H, et al. Noise and sensitivity in RF envelope detection receivers[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2013, 60(10): 637-641.
- [17] MANGAL V, KINGET P R. A wake-up receiver with a multi-stage self-mixer and with enhanced sensitivity when using an interferer as local oscillator[J]. IEEE Journal of Solid-State Circuits, 2019, 54(3): 808-820.
- [18] MOODY J, DISSANAYAKE A, BISHOP H, et al. A highly reconfigurable bit-level duty-cycled TRF receiver achieving -106-dBm sensitivity and 33-nW average power consumption[J]. IEEE Solid-State Circuits Letters, 2019, 2(12): 309-312.
- [19] WANG P P, JIANG H W, GAO L, et al. A near-zero-power wake-up receiver achieving-69-dBm sensitivity[J]. IEEE Journal of Solid-State Circuits, 2018, 53(6): 1640-1652.
- [20] JEON C, SIM J Y. A 2.5-nW radio platform with an internal wake-up receiver for smart contact lens using a single loop antenna[J]. IEEE Journal of Solid-State Circuits, 2021, 56(9): 2668-2679.
- [21] SHEN X C, DUVVURI D, BASSIRIAN P, et al. A 184-nW, -78.3-dBm sensitivity antenna-coupled supply, temperature, and interference-robust wake-up receiver at 4.9 GHz[J]. IEEE Transactions on Micro-

wave Theory and Techniques, 2022, 70(1): 744-757.

- [22] RAZAVI B. The design of a comparator [the analog mind[J]. IEEE Solid-State Circuits Magazine, 2020, 12(4): 8-14.
- [23] HUANG X C, HARPE P, DOLMANS G, et al. A 780–950 MHz, 64–146 μ W power-scalable synchronized-switching OOK receiver for wireless event-driven applications[J]. IEEE Journal of Solid-State Circuits, 2014, 49(5): 1135-1147.
- [24] BASSIRIAN P, DUVVURI D, LIU N X, et al. Design of an S-band nanowatt-level wakeup receiver with envelope detector-first architecture[J]. IEEE Transactions on Microwave Theory and Techniques, 2020, 68(9): 3920-3929.
- [25] JIANG H W, WANG P P, GAO L, et al. A 22.3-nW, 4.55 cm² temperature-robust wake-up receiver achieving a sensitivity of -69.5 dBm at 9 GHz[J]. IEEE Journal of Solid-State Circuits, 2020, 55(6): 1530-1541.
- [26] JIANG H W, WANG P P, MERCIER P P, et al. A 0.4-V 0.93-nW/kHz relaxation oscillator exploiting comparator temperature-dependent delay to achieve 94-ppm/ $^{\circ}$ C stability[J]. IEEE Journal of Solid-State Circuits, 2018, 53(10): 3004-3011.

[作者简介]



黄东(1988—),男,四川内江人,博士,西安邮电大学讲师,主要研究方向为无线通信射频收发机、模拟数字转换电路(AD/DA)、DC-DC电源设计等。E-mail:hxd82@mail.ustc.edu.cn



马鹏光(2001—),男,陕西咸阳人,西安邮电大学硕士研究生,主要研究方向为模拟集成电路设计。E-mail:mapengguang2001@163.com



丁悦(2001—),女,陕西咸阳人,西安邮电大学硕士研究生,主要研究方向为模拟集成电路设计。E-mail:3042455923@qq.com

[责任编辑:蔡秀梅]