



超紧凑回旋加速器数字化低电平控制 算法设计及验证*

吴继敏, 黄 鹏, 魏俊逸, 管锋平, 纪 彬, 张庭锋,
张嘉怡, 孙 昊, 王亚晴, 李贤平

(中国原子能科学研究院, 北京 102413)

摘 要: 为实现 PET 医用小型回旋加速器的自主研发, 中国原子能科学研究院开展了 9.5 MeV 超紧凑型回旋加速器的设计与研究。为满足对加速器束流的稳定加速, 研制了基于全数字硬件平台的高频低电平控制算法, 为提升控制精度, 增加反馈速率, 设计了高速 DDC 下变频解调系统, 针对于数字下变频后 IQ 序列分布于任意象限的问题, 设计了一种创新的象限预处理模块, 以拓展其在全平面坐标系的适用性。为实现自动频率补偿, 设计并实现基于位置式 PID 的调谐环, 集成了自适应限位保护机制和实时调谐检测功能, 并支持一键启动调谐。利用构建的高可靠性的跨时钟域数据通路, 为幅度环调节激励信号幅值提供精度与稳定性保障。通过自闭环测试, 验证了解调算法的可靠性, 在与加速器联合调试中, 稳定引出内靶束流 100 μA , 腔压幅度稳定度为 0.047% (RMSE), 失谐角保持在 0.46° (RMSE), 充分验证了系统的稳定性和可靠性, 满足了加速器对低电平控制系统的的需求。

关键词: 回旋加速器; 高频低电平控制系统; FPGA; 闭环控制; 跨时钟域

中图分类号: TL57

文献标志码: A

doi: 10.11884/HPLPB202638.250282

Design and verification of digital low-level RF control algorithms for an ultra-compact cyclotron

Wu Jimin, Huang Peng, Wei Junyi, Guan Fengping, Ji Bin, Zhang Tingfeng,
Zhang Jiayi, Sun Hao, Wang Yaqing, Li Xianping

(China Institute of Atomic Energy, Beijing 102413, China)

Abstract: [Background] The China Institute of Atomic Energy has designed of a 9.5 MeV ultra-compact cyclotron to support the independence of Positron Emission Tomography (PET) cyclotrons. A high-performance control system is critical for the equipment, as the stability of the acceleration field directly impacts beam quality. [Purpose] In order to ensure the stable acceleration of the accelerator beam, this study aims to develop a Low-Level Radio Frequency (LLRF) control algorithm based on a fully digital hardware platform. [Methods] To enhance control precision and increase the feedback rate, a high-speed Digital Down-Conversion (DDC) demodulation system was designed. Addressing the issue where the IQ sequence after digital down-conversion may be distributed in arbitrary quadrants, an innovative quadrant preprocessing module was developed to extend applicability across the Cartesian plane. A position-type Proportion-Integral-Derivative (PID) tuning loop was implemented for automatic frequency compensation, integrating adaptive protection, timed detection, and one-click startup. Furthermore, a robust cross-clock-domain data path was constructed to ensure accurate and stable amplitude regulation. [Results] Closed-loop tests verified the reliability of the demodulation system. During the joint commissioning with the accelerator, a stable internal target beam current of 100 μA was successfully extracted. The system achieved a cavity voltage amplitude stability of 0.047% (RMSE) and maintained a detuning angle of 0.46° (RMSE). [Conclusion] The experimental results

* 收稿日期: 2025-09-04; 修订日期: 2026-01-06

基金项目: 国家自然科学基金项目(12205379)

联系方式: 吴继敏, 1319389636@qq.com。

通信作者: 黄 鹏, p7_huang@163.com。

demonstrate that the proposed LLRF system fully meets the control requirements of the accelerator. The design ensures high stability and precision, providing reliable technical support for the operation of the 9.5 MeV ultra-compact cyclotron.

Key words: cyclotron, LLRF, FPGA, closed-loop control, cross-clock domain

正电子发射断层扫描技术(Positron Emission Tomography, PET)凭借其在功能性成像的卓越功能与早期诊断优势^[1],已成为肿瘤、心脏等疾病的重要诊断手段;小型医用回旋加速器作为医用同位素制备与科研的核心装置,具有结构紧凑、成本较低、应用场景广泛等特点。为实现 PET 医用小型回旋加速器的自主研发,中国原子能科学研究院核技术综合研究所开展了 9.5 MeV 超紧凑回旋加速器的设计与研究^[2],其中,高频系统作为加速系统核心,系统中腔压幅度和频率稳定性直接影响束流加速效率和可靠性,因此如何在不同运行工况下实现对射频场幅度、频率的稳定控制成为关键技术问题。在此之前,中国原子能科学研究院在 100 MeV 和 250 MeV 医用回旋加速器电平控制系统中,采用数模混合的技术方案^[3-5],虽然已实现了多腔体的稳定控制与电压平衡调节^[5],但相关研究主要集中于系统架构和功能实现,并未给出系统的定量指标,且数模混合方案存在温漂敏感、器件一致性差、调试维护复杂等问题,难以满足超紧凑回旋加速器对高集成度、低功耗和长期稳定性的需求,因此,本文基于最简洁的 ADC+DAC+FPGA 的纯数字架构^[6-7],构建以信号实时解调为核心的数字处理链路,设计调谐与幅度的双环控制算法,并明确系统核心性能指标:幅度稳定性优于 0.1%(RMSE),失谐角稳定性优于 $\pm 1^\circ$ (RMSE),以此作为控制算法与硬件实现的目标。

国际上,日本 J-PARC 直线加速器研发了基于 μ TCA.4 平台与 Zynq FPGA 的全数字化 LLRF 系统^[7],实现了高稳定性与可扩展性。加拿大 TRIUMF 实验室为 ISIS 聚束器开发的全数字化 LLRF 系统^[8],有效解决了数模混合架构在温漂、长期运行和维护上的瓶颈。美国 SLAC 实验室,在 C 波段加速结构上开发新一代数字 LLRF 系统,实现幅度稳定性优于 0.15%^[9],LBNL 在 ALS 储存环升级数字化系统中,幅度稳定性优于 0.03%^[10]。相比之下,本文提出的指标处在国际先进水平范围,且更强调在小型化、低功耗的超紧凑回旋加速器中实现高精度控制,兼顾系统集成度与长期运行稳定性。

1 9.5 MeV 超紧凑回旋加速器全数字低电平系统设计

1.1 9.5 MeV 低电平系统总体设计

9.5 MeV 低电平系统的设计采用全数字方案,其原理框图如图 1 所示,主要由调谐环路和幅度环路组成。全数字低电平方案取消了模拟解调前端,腔体信号通过 ADC 直接采样,通过数字下变频技术进行解调处理,激励信号的调制也直接通过 FPGA 内部进行,避免了模拟器件非线性所带来的误差^[11],整体架构更为简洁,更有利于后续的维护处理,调谐控制环路和幅度控制环路全部运行在 ZYNQ 的 PL(Programmable Logic)端,能实现更低延时的控

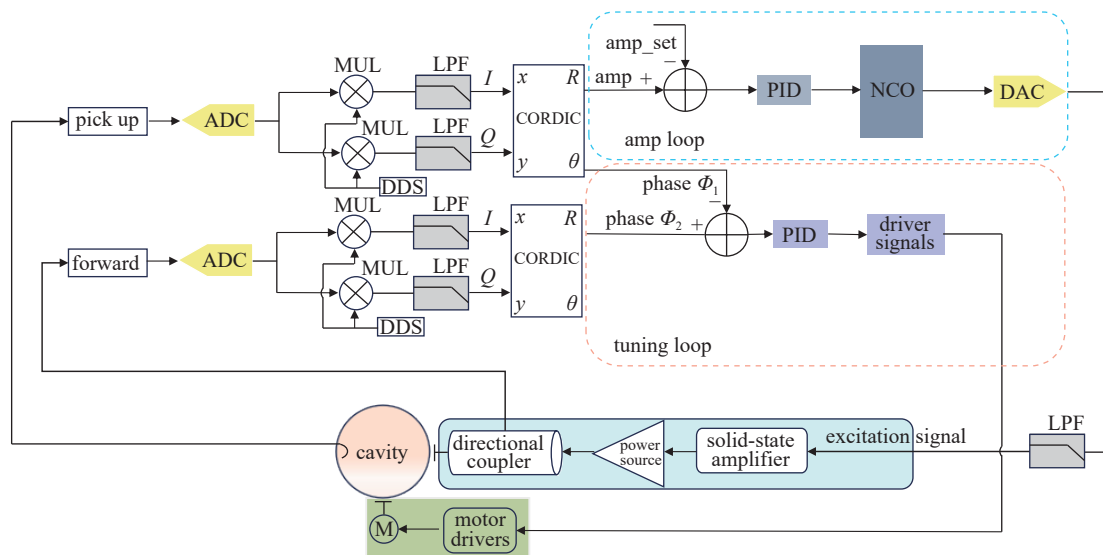


Fig. 1 Block diagram of the 9.5 MeV fully digital low-level RF system

图 1 9.5 MeV 全数字低电平系统框图

制, 不受限于总线带宽和数据缓存等因素的影响, 系统更加稳定, 更有利于高速信号的时序优化和信号同步; 同时, 通过 ZYNQ 芯片内部 PS(Processing System)端可实现与上位机通信互联, 上位机运行 Linux 系统, 能够通过网络接口在线修改控制参数, 实现灵活的控制调整, 整套系统实现“硬件闭环+软件调优”的协同设计。

系统硬件直接采用坤驰科技公司的通用高速电路模块, 主要由 QT7020 主控模块和 QT7350 高速模数转换器两个模块组成。QT7020 作为主控计算核心, 其核心芯片为 Zynq-7 系列的 XC7Z100-2FFG900, 芯片集成了 Kintex-7 系列 FPGA 和双核 Cortex-A9 MPCore 处理器系统, 通过 ZYNQ 内部 AXI 总线架构, 实现 PL 与 PS 之间高效数据交互; 借助 Vivado 提供的 Block Design 图形化设计工具, 可快速构建双向数据传输通道, 简化系统开发流程。PS 端支持运行裸机程序和 Linux 操作系统, QT7020 还包括千兆网口、USB 和 GPIO 等常用外设, 其中 GPIO 口被用于调谐控制功能, 输出调谐电机的脉冲信号、使能信号、方向信号, 同时也用于接收限位开关的输入, 实现调谐系统的开闭环控制。QT7350 内置两路高速模数/数模转换通道, ADC 芯片为 16 bit-250 MS/s 的 AD9467, DAC 芯片为 16 bit-500 MS/s 的 AD9122, 两路 ADC 分别采集来自谐振腔体的取样信号和正向功率信号, DAC 则作为激励信号输出, QT7350 通过 FMC-HPC 接口与 QT7020 主控模块连接。

1.2 实时解调系统

IQ 解调被广泛运用在低电平控制领域^[12-14], 这种方法简单有效, 通过设置 ADC 采样频率 4 倍频于射频信号, 便可快速得到 IQ 序列, 之后对 IQ 序列进行处理得到幅度相位信息, 但此方法容易引入误差。若 ADC 的前端是非线性器件, 采样的信号通常会含有高次谐波, 并且若相邻两个采样值的相位差不是 90°时, 不可避免的对于后续处理带来困难, 此外, 在硬件方面, 对于一路射频信号需要两路 ADC 对信号采样, 硬件开销较大。因此, 本系统采用 DDC 下变频解调方案^[6, 14-16], 通过单路 ADC 高速采样, 数字混频、数字低通滤波和 CORDIC 算法实现对信号幅度与相位的高精度实时获取。相较于传统的 IQ 解调方式, 只需一路射频信号用一路 ADC 采样, 简化硬件系统设计, 提高了系统的抗干扰性能, 并且采样频率与射频信号没有特定的倍数关系, 具有更高的精度、一致性和灵活性。在 FPGA 的实现中, 所有模块均可按需配置, 参数也可实时调整, 便于后期升级和不同频率下的适配。

9.5 MeV 超紧凑回旋加速器的谐振腔谐振频率为 41.5 MHz, 解调参数见表 1。图 2 为实时解调系统的频域仿真, 为了将 41.5 MHz 的射频信号下变频至基带并提取其幅相信息, 系统首先采用采样速率为 250 MS/s 的 ADC 对射频信号进行采样量化, 再通过与两路正交的的数字本振信号混频, 实现频谱的搬移, 得到基带信号和二次谐波信号, 随后采用两级滤波器 CIC+FIR 进行带宽控制与旁瓣抑制。图 2 清晰地展示了整个数字下变频的信号处理流程: 图 2(a)为原始采样信号频谱, 主频率位于 41.5 MHz; 图 2(b)显示混频后基带信号与二次谐波分别位于零频域和 83 MHz; 图 2(c)中 CIC 滤波器的截止频率为 0.5 MHz, 抽取率为 16 倍, 可以看出 83 MHz 的二次谐波信号基本被

表 1 9.5 MeV 低电平解调参数

Table 1 Demodulation parameters of the 9.5 MeV low-level RF system

RF frequency/MHz	sampling frequency/MHz	low-pass filter	CIC decimation rate	LO frequency/MHz
41.5	250	CIC, FIR	16	41.5

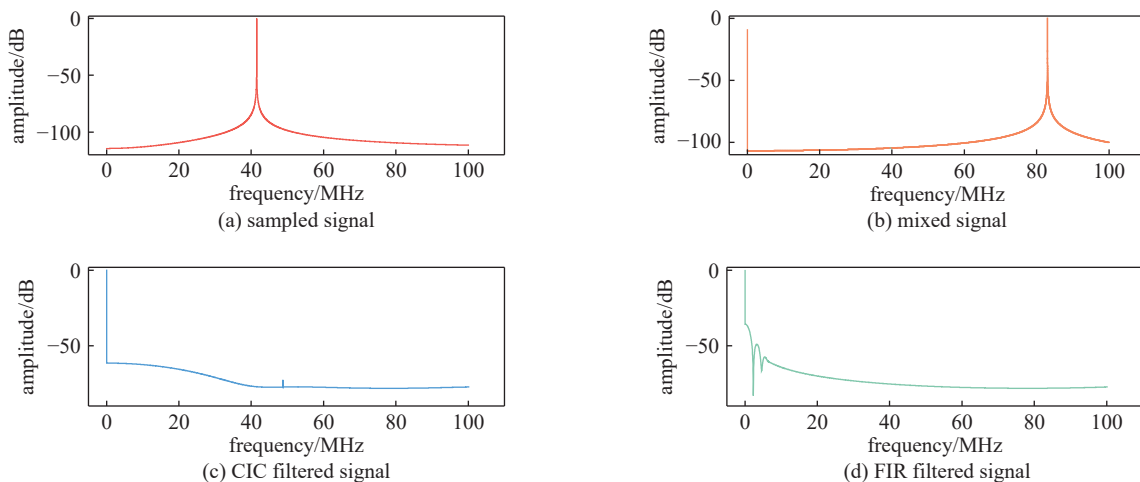


Fig. 2 Frequency-domain analysis of the real-time demodulation system

图 2 实时解调系统频域分析

滤除,但仍然存在较强旁瓣;而图(d)所示的 FIR 滤波器阶数为 60 阶,截止频率为 0.5 MHz,进一步的抑制了旁瓣,改善了信号的带宽特性,得到较为纯净的零中频基带 IQ 序列。得到 IQ 序列之后,进入 CORDIC 算法模块进行向量模式的坐标运算,得到腔体取样信号的幅度和相位信息,幅度相位信息用作于后续闭环控制的反馈信号。

CORDIC 坐标旋转数字计算机(Coordinate Rotation Digital Computer)是一种常用于数字信号处理领域的算法^[17],主要用于高效计算超越函数,如三角函数,反三角函数,对数和开平方等。由于 FPGA 硬件本身难以直接实现这些复杂函数的运算,CORDIC 算法凭借仅依赖加法,减法和移位操作的特性,为 FPGA 提供了一种简洁、资源开销小的实现方案,特别适用于本系统幅度相位的实时计算。CORDIC 算法的核心思想是通过一系列迭代坐标旋转操作,逐渐逼近目标函数。在本系统的应用中,采用向量模式(Vectoring Mode),将数字下变频得到的 IQ 序列作为输入向量的 X 、 Y 分量,通过将该向量迭代旋转,逐渐逼近至 X 轴,从而计算出所需的幅度和相位信息。CORDIC 模块的计算精度主要受到两个因素的影响:输入数据的位宽和计算迭代次数,本文针对不同位宽和迭代次数对幅度和相位计算精度的影响进行了仿真分析,仿真结果如图 3 所示,图 3(a)为平均幅度误差随迭代次数的变化曲线,图 3(b)为平均相位误差随迭代次数变化曲线,可以观察到在迭代次数较少时,误差随迭代次数迅速下降,提升效果显著,当迭代次数超过 16 次后,误差逐渐趋于稳定,迭代次数的增加对于精度提升有限;输入数据的位宽越高,最终的误差越小,但高位宽对于硬件资源有更高的要求。综上所述,结合仿真结果可知,当迭代次数达到 20 次以上、输入位宽为 32 位时,CORDIC 模块的幅度误差已稳定在 1×10^{-8} 以下,相位误差可控制在 0.001° 以内,满足本系统对幅度和相位解调精度的要求。因此,在实际 FPGA 实现中,选取迭代次数为 20 次、输入数据位宽为 32 位作为最后的参数配置,既能保证较高的精度,同时也控制了硬件资源的占用。

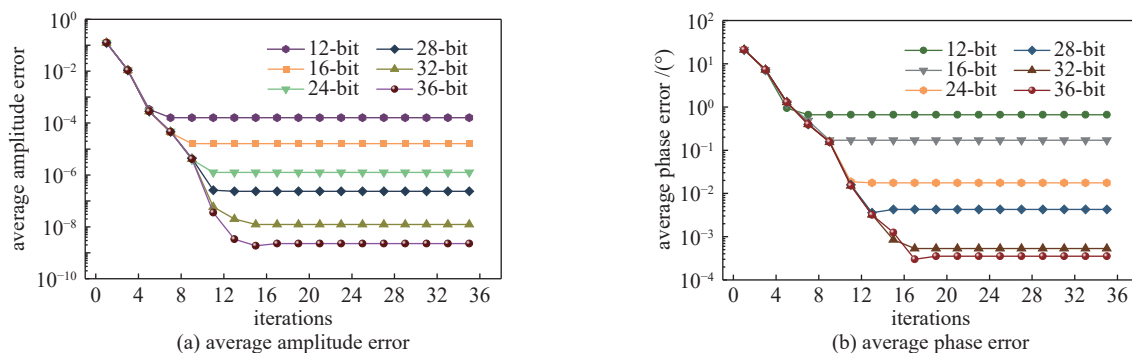


Fig. 3 Simulation of CORDIC computational Errors

图 3 CORDIC 计算误差仿真

为拓展 CORDIC 算法在全平面坐标系中的适用范围,本文设计了一种创新的象限预处理模块,解决数字下变频后所得 IQ 序列可能位于任意象限的问题。该模块通过坐标变换与角度补偿机制,将任意象限内的输入向量统一映射至第一象限,同时保留其原始象限信息,实现了对 CORDIC 核心算法的前置优化。其核心原理基于几何旋转的数学等效性:在判定 IQ 序列所属象限后,根据预设的相位偏移量对坐标进行修正,从而完成坐标映射与相位校正,变换逻辑如表 2 所示。完成象限预处理后,变换后的向量输入至 CORDIC 主模块,进行幅度与相位的精确计算。为验证象限预处理模块的有效性,在 FPGA 硬件上进行了上板测试,测试过程每次人为改变输入信号初始相位 12° ,图 4 为测试结果,可见经过象限预处理和 CORDIC 计算后,输出的相位信息能够准确还原信号的实际角度,验证了该模块在实际系统中的正确性与可靠性。

表 2 几何等效变换

Table 2 Geometric equivalent transformation

quadrant	transformed coordinates (X_0, Y_0)	geometric equivalence
I	(x, y)	identity transformation
II	($y, -x$)	90° counter-clockwise rotation
III	($-x, -y$)	origin symmetry
IV	($-y, x$)	270° counter-clockwise rotation

1.3 调谐环路设计

在 9.5 MeV 超紧凑回旋加速器运行过程中,谐振腔体在高功率射频激励下会产生热效应,导致腔体谐振频率

发生微小漂移^[18],为了补偿这一谐振频率漂移,本系统设计了低电平调谐环路,通过驱动步进电机带动微调电容前后移动,实现对腔体谐振频率的精细调节。根据 9.5 MeV 谐振腔体的既有设计参数,其腔体 Q 值为 3800,微调电容板与 Dee 板间距在 6.5 mm 至 18.5 mm 范围内可调,对应的可调节谐振频率的范围为 41.27~41.65 MHz,频率调节范围约 ± 0.19 MHz,步进电机采用细分驱动,最小细分角度为 0.225° 。调谐环路的控制流程框图如图 5 所示,通过实时解调系统来完成正向功率信号和取样信号的相位检测,经由数字鉴相器处理后得到当前系统的失谐角^[19],该失谐角作为误差信号输入至位置式 PID 模块中进行反馈计算。PID 输出控制量送入电机驱动信号生成模块,用于生成控制步进电机的脉冲、方向和使能信号。驱动信号经过细分驱动器放大后,驱动电机转动,带动微调电容实现精细的机械位移,从而补偿谐振腔体的频率漂移,保证腔体的频率稳定。当腔体达到谐振状态并在谐振点附近保持稳定时,电机驱动完成并停止运行;此后,系统通过定时检测机制周期性读取失谐角,若失谐角超出 $\pm 1^\circ$,则重新进入调谐流程,从而实现对接体状态的持续跟踪与自动校正。若电机在运行中触及内外限位,主控模块会立即触发限位保护,关闭使能信号、停止脉冲输出,并根据需要反转方向信号,使系统进入联锁保护状态,以防止电机及机械结构损坏。

此外,调谐环路还引入了一键调谐功能,由于 9.5 MeV 超紧凑型回旋加速器腔体锻炼效果明显,可直接用低功率的连续信号驱动腔体,因此,无需改变激励信号的状态,只需要对调谐电机做自启动状态转换。一键调谐的运行过程为:首先进入初始化状态,完成调谐系统的初始化,随后转入调谐自搜索状态,调谐电机往内限位方向运动,直到触发限位,而后反转固定步数至闭环状态区间,直接闭环;若运行期间遇到异常,则通过对取样信号的幅度判定来决定是否关闭调谐系统,若取样信号幅度突然剧烈变化,则关断调谐系统,进入关停状态。

1.4 幅度环

幅度环是低电平控制系统的核心组件,负责动态调节腔体激励信号的大小,从而控制馈入高频腔的功率大小^[20]。在本系统的设计实现中,通过实时解调系统得到腔体取样信号的幅值信息,执行增量式 PID 运算、跨时钟域处理和幅度调制,实现腔压幅度稳定控制,在控制过程中存在多个不同频率的时钟域,为了实现数据在异步时钟域之间的稳定传输,本文设计了高可靠性的跨时钟域数据通路系统。本系统包含两个异步时钟域,ADC 主时钟域和 DAC 时钟域,为确保信号稳定传输,采用两级同步策略:有效信号的传递通过同步器、边沿检测和电平转换同步器机制^[21];幅度控制字通过异步 FIFO^[22]来实现安全传递,消除亚稳态。

如图 6 所示,幅度环跨时钟域的数据通路包括控制信号与数据信号的传递机制。针对 PID 模块计算完成后的有效信号传递问题,由于其需从 ADC 时钟域传送至 DAC 时钟域,本系统首先采用三级同步器进行同步处理,以降低对信号建立时间与保持时间的要求,减小对物理布局布线的依赖性,从而提升跨时钟域信号采样的可靠性。随后通过对同步后信号的上升沿进行检测,生成一个单周期脉冲作为 DAC 时钟域的有效控制信号。

对于幅度调制模块调制完成信号的跨时钟域传递,系统采用电平转换同步器(Toggle Synchronizer)结构:将原

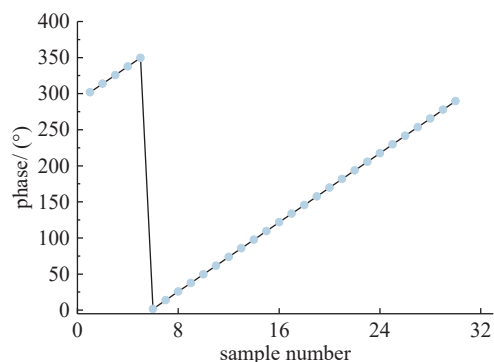


Fig. 4 Phase measurement

图 4 相位测试

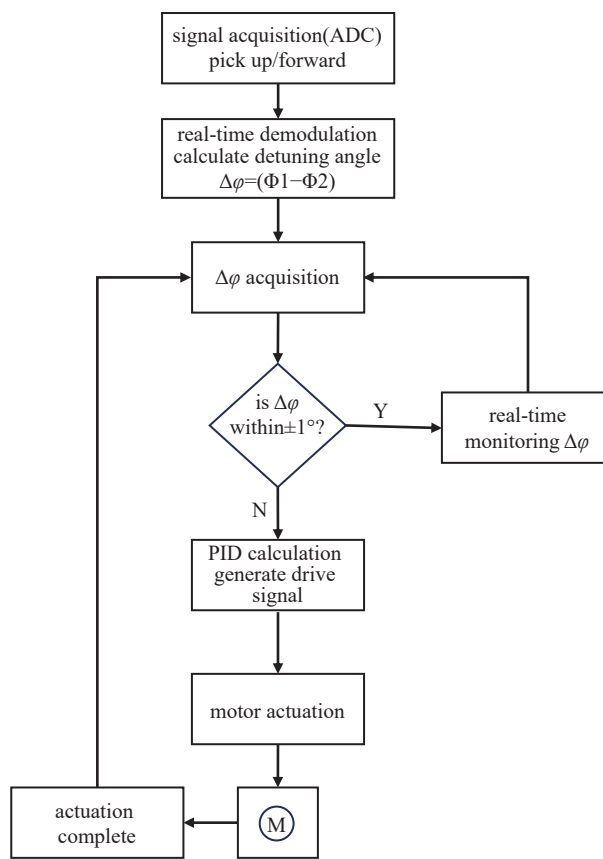


Fig. 5 Tuning loop control flowchart

图 5 调谐环路控制流程图

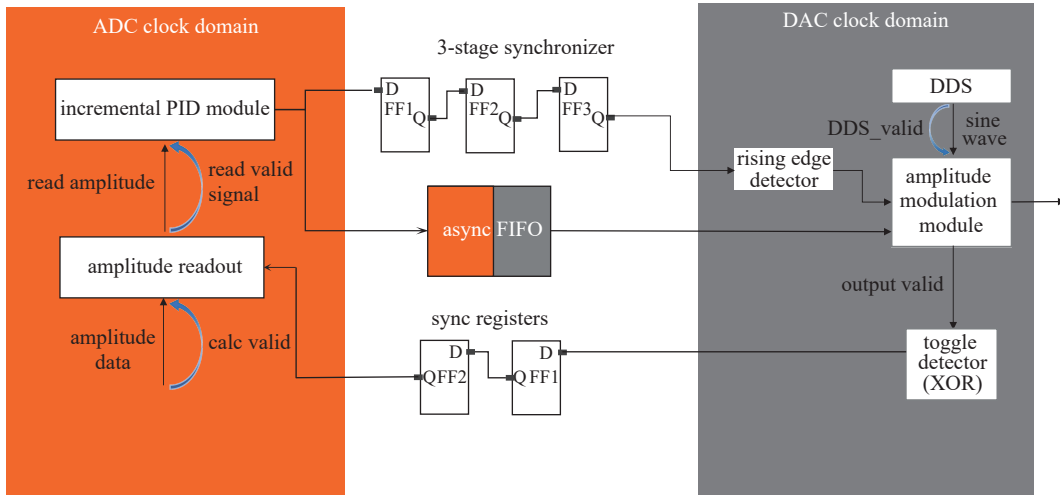


Fig. 6 Cross-clock-domain data path
图 6 跨时钟域数据通路

脉冲信号转换为电平翻转信号,在目标时钟域(ADC 时钟域)中通过同步器传递,并结合边沿检测机制,安全还原原始的脉冲有效信号。

而对于宽度为 32 位的幅度控制字数据传输,系统采用异步 FIFO 实现跨时钟域传递。该 FIFO 的写端工作在 ADC 时钟域,读端工作在 DAC 时钟域;其写使能由 PID 模块的计算完成信号控制,读使能由 FIFO 的非空信号控制,从而确保 32 位幅度控制字在异步时钟域之间的安全稳定传输。

2 实验验证与结果分析

2.1 自闭环测试

在完成了数字化低电平控制算法的设计后,首先搭建了自闭环桌面实验平台,以验证该算法的可靠性和正确性。实验中通过 DAC 输出激励信号,并分别加载 $0\sim 360^\circ$ 的相位调制和 50 kHz 的幅度调制,以模拟加速器在工作过程中腔体电压可能出现的相位和幅度扰动。调制后的激励信号经由传输线送入 ADC 通道,在 FPGA 内部通过所设计的实时数字下变频与解调算法进行处理。

解调结果如图 7 所示。从结果可以明显看出,相位调制信息在整个 $0\sim 360^\circ$ 范围内均被准确还原,幅度调制信号也能够以较高的信噪比完整恢复。这表明本文提出的数字解调与象限预处理算法能够在高速采样与实时计算条件下,保持良好的解调精度和动态响应能力。

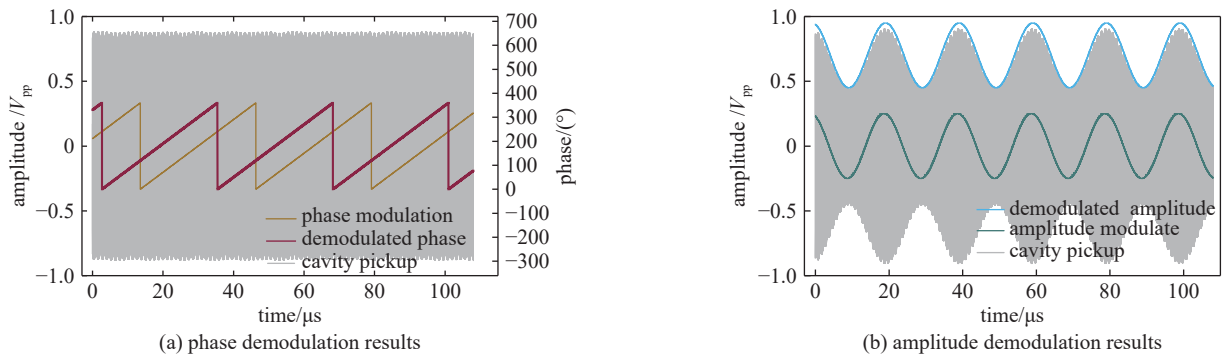


Fig. 7 Closed-loop self-test results
图 7 自闭环测试

2.2 加速器联合测试

在与 9.5 MeV 超紧凑回旋加速器联合调试中,首先由数字化低电平输出射频激励信号经过固态放大器放大后,再由发射机实现高功率放大,经高频馈管传输后耦合至谐振腔内,形成加速电场,利用示波器同步采集谐振腔的取样信号和耦合器的反射信号。图 8 所示为不同闭环条件下的观测波形:在仅调谐闭环工作时,如图 8(a)所示,取样信号存在毛刺,反射信号较大;在幅度与调谐双闭环条件下,如图 8(b)所示,功率提升完成,取样信号平稳,反射信号明显减小,腔体处于谐振状态。开启高压离子源后,粒子在腔体电场作用下逐渐获得能量,沿螺旋轨迹向外

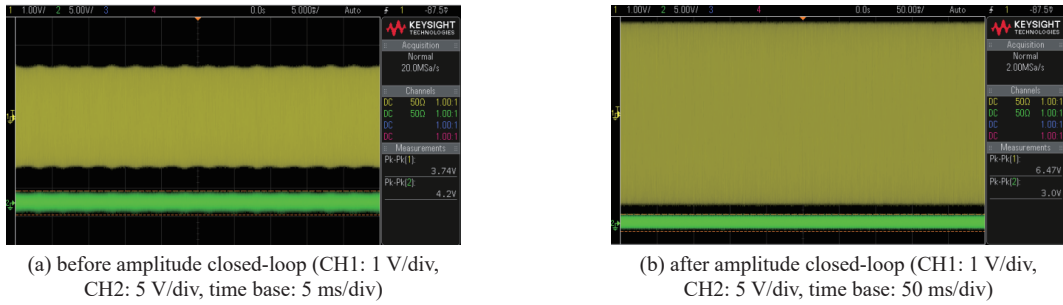


Fig. 8 Photographs of experimental results

图 8 实际测试图

运动; 当达到 9.5 MeV 设计能量时, 粒子被引向内靶, 如图 9 所示, 束流由 40 μA 稳定增加至 100 μA , 在动态鲁棒性方面, 实验过程中出现过一次腔体打火现象。测试结果显示, 系统在异常发生后, 及时响应, 关闭激励信号和双闭环系统, 待异常消失后自动恢复工作状态, 并重新建立起稳定闭环。为定量评估系统性能, 进一步对采集的腔压幅度与失谐角数据进行记录和分析, 采用 ILA 调试工具采集 FPGA 内部寄存器实时数据, 采样参数设置为 2 路信号, 8 192 点深度, 触发时钟为 250 MHz 的 ADC 主时钟。腔压幅度和失谐角稳定性均采用均方根误差(RMSE)计算得到, 其定义为

$$\text{RMSE} = \sqrt{\frac{1}{N} \sum_{i=1}^N (x_i - \bar{x})^2} \quad (1)$$

式中: x_i 为第 i 个采样点, \bar{x} 为均值, N 为采样点数。

基于采集数据计算得到腔压幅度的 RMSE 波动约为 0.047%, 失谐角的 RMSE 偏差约为 0.46°, 验证了闭环控制的有效性与稳定性, 图 10 展示了失谐角与腔压幅度在闭环条件下的短时稳定曲线。结果表明, 所设计的控制系统具备较强的鲁棒性与可靠性, 能够满足加速器工程应用的需求。

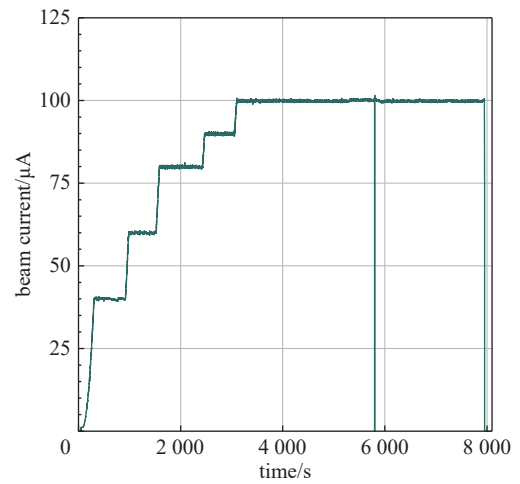


Fig. 9 Trend of internal target beam current

图 9 内靶趋势图

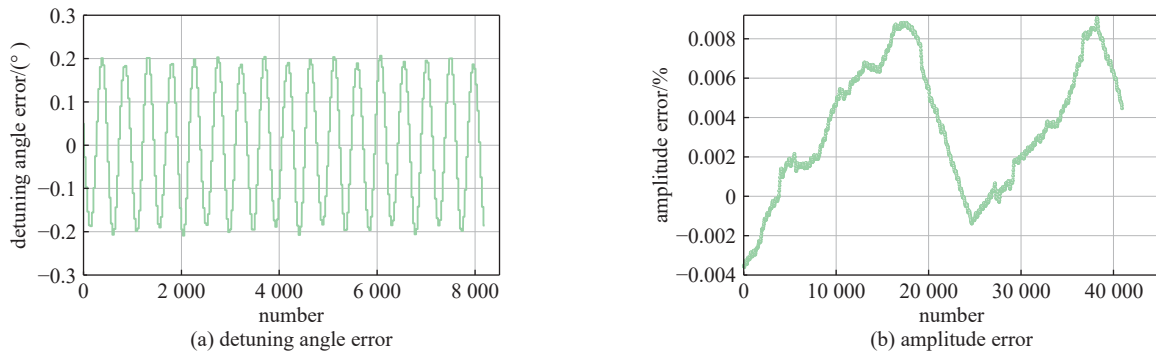


Fig. 10 Stability test results

图 10 稳定性测试结果

3 结论

本文围绕 9.5 MeV 超紧凑回旋加速器中高频低电平控制系统的需求, 设计并实现了一种基于 FPGA 的全数字低电平控制算法。系统采用数字下变频 (DDC) 解调完成对射频信号的实时解调; 通过引入幅度和调谐双环路控制策略, 并优化跨时钟域数据交互机制, 实现了对幅度的稳定闭环控制。所设计的算法具有资源占用低、响应速度快、控制精度高等的特点, 适配于超紧凑型回旋加速器。

在与 9.5 MeV 超紧凑回旋加速器的联合调试中, 成功引出内靶束流 100 μA , 根据采集数据计算得到, 腔压幅度 RMSE 波动约为 0.047%, 失谐角 RMSE 偏差约为 0.46°, 具备良好的抑制干扰与参数漂移能力。在动态调谐控制过

程中表现出优异的跟踪性能与系统鲁棒性,满足工程应用需求。该研究为后续高集成度、可移植数字射频控制系统的开发提供了可行路径与工程参考。

未来工作中,将进一步探索基于神经网络的自适应控制和智能化算法的闭环优化,以增强系统在复杂工况下的稳定性;同时,将设计自启动流程程序,实现腔体调谐和幅相闭环的自动化操作;并在硬件实现方面,考虑向更高集成度与低功耗方向发展,以满足小型化加速器的应用需求。

参考文献:

- [1] Phelps M E. PET: the merging of biology and imaging into molecular imaging[J]. *Journal of Nuclear Medicine*, 2000, 41(4): 661-681.
- [2] 安世忠, 管锋平, 魏素敏, 等. 中国原子能科学研究院紧凑型强流质子回旋加速器的发展和应用[J]. *原子能科学技术*, 2024, 58(s1):464-474. (An Shizhong, Guan Fengping, Wei Sumin, et al. Development and application of compact high-current proton cyclotron at China Institute of Atomic Energy[J]. *Atomic Energy Science and Technology*, 2024, 58(s1): 464-474)
- [3] 殷治国, 侯世刚, 夏乐, 等. 100MeV 强流回旋加速器射频数字低电平系统研制[J]. *高能物理与核物理*, 2007, 31(10): 962-966. (Yin Zhiguo, Hou Shigang, Xia Le, et al. Design of a digital LLRF control system for the 100MeV high intensity cyclotron[J]. *High Energy Physics and Nuclear Physics*, 2007, 31(10): 962-966)
- [4] Yin Zhiguo, Fu Xiaoliang, Ji Bin, et al. RF control hardware design for CYCIAE-100 cyclotron[J]. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 2015, 801: 104-107.
- [5] 牟雪儿, 殷治国, 魏俊逸, 等. 250MeV 回旋加速器高频低电平系统设计[J]. *原子能科学技术*, 2023, 57(7): 1416-1424. (Mu Xueer, Yin Zhiguo, Wei Junyi, et al. Design of low level RF control system for 250 MeV cyclotron[J]. *Atomic Energy Science and Technology*, 2023, 57(7): 1416-1424)
- [6] 付晓亮, 殷治国, Fong K, 等. 用于回旋加速器低电平系统的通用软硬件系统设计与实现[J]. *原子能科学技术*, 2021, 55(10): 1885-1892. (Fu Xiaoliang, Yin Zhiguo, Fong K, et al. Design and implementation of general hardware and firmware for cyclotron low level radio frequency system[J]. *Atomic Energy Science and Technology*, 2021, 55(10): 1885-1892)
- [7] Futatsukawa K, Fang Zhigao, Fukui Y, et al. Development of new LLRF system at the J-PARC linac[C]//*Proceedings of the 29th Linear Accelerator Conference*. 2018.
- [8] Fu Xiaoliang, Fong K, Zheng Qiwen, et al. Digital LLRF system for TRIUMF ISIS buncher[DB/OL]. arXiv preprint arXiv: 2310.11473, 2023.
- [9] Liu C, Ruckman L, Herbst R, et al. High-power test of a c-band linear accelerating structure with an RFSoc-based LLRF system[J]. *Review of Scientific Instruments*, 2025, 96: 043311.
- [10] Du Qiang, Doolittle L, Betz M, et al. Digital low-level RF control system for advanced light source storage ring[DB/OL]. arXiv preprint arXiv: 1910.07175, 2019.
- [11] 吕海艇. TTX 直线加速器数字化高频低电平控制系统研究[D]. 北京: 清华大学, 2013. (Lü Haiting. Research on digital LLRF control system for TTX linac[D]. Beijing: Tsinghua University, 2013)
- [12] Schilcher T. Vector sum control of pulsed accelerating fields in Lorentz force detuned superconducting cavities[D]. Hamburg: University of Hamburg, 1998.
- [13] Tamura F. Deployment of the next-generation LLRF control system for the J-PARC RCS[J]. *Journal of the Particle Accelerator Society of Japan*, 2021, 18(3): 151-160.
- [14] Schilcher T. RF applications in digital signal processing[C]//*CAS - CERN Accelerator School: Course on Digital Signal Processing*. 2008.
- [15] Wang Yiming, Regan A, Kwon S I, et al. Digital LLRF control system design and implementation for APT superconducting cavities[C]//*Proceedings of 1999 Particle Accelerator Conference*. 1999: 1070-1072.
- [16] Sun An, Sohn Y U, Kang H S, et al. Design of LLRF control system for PLS-II superconducting cavities[C]//*Proceedings of LINAC 2010*. 2010.
- [17] Meyer-Bäse U, Meyer-Bäse A, Hilberg W. COordinate rotation digital computer (CORDIC) synthesis for FPGA[C]//*Proceedings of the 4th International Workshop on Field-Programmable Logic and Applications*. 1994: 397-408.
- [18] Shu Z, Shen L G, Li M J, et al. Numerical calculus of resonant frequency change by 3D reconstruction of thermal deformed accelerator tube[C]//*Proceedings of PAC09*. 2009.
- [19] 严平, 汪学刚, 钱璐. 一种基于 CORDIC 算法的高速高精度数字鉴相器[J]. *电讯技术*, 2008, 48(4): 76-79. (Yan Ping, Wang Xuegang, Qian Lu. A high-speed and high-accuracy digital phase demodulator based on CORDIC algorithm[J]. *Telecommunication Engineering*, 2008, 48(4): 76-79)
- [20] 殷治国, 宫鹏飞, 付晓亮, 等. 230MeV 超导回旋加速器高频低电平系统设计与桌面实验研究[J]. *原子能科学技术*, 2018, 52(9): 1716-1721. (Yin Zhiguo, Gong Pengfei, Fu Xiaoliang, et al. Design and desktop experiment of LLRF system for CYCIAE-230 superconducting cyclotron[J]. *Atomic Energy Science and Technology*, 2018, 52(9): 1716-1721)
- [21] Altera. Understanding Metastability in FPGAs[EB/OL]. (Altera) white paper, 2009. <https://www.techonline.com/tech-papers/understanding-metastability-in-fpgas/>.
- [22] Ginosar R. Metastability and synchronizers: a tutorial[J]. *IEEE Design & Test of Computers*, 2011, 28(5): 23-35.