

基于信号完整性和电源完整性的PCB电磁兼容仿真

胡安琪 查云飞

(福建理工大学,福州 350000)

【欢迎引用】胡安琪,查云飞.基于信号完整性和电源完整性的PCB电磁兼容仿真[J].汽车文摘,2025(4):48-55.

【Cite this paper】HU A Q, ZHA Y F. PCB Electromagnetic Compatibility Simulation Based on Signal Integrity and Power Integrity[J]. Automotive Digest (Chinese), 2025(4): 48-55.

【摘要】针对汽车印刷电路板(Printed Circuit Board, PCB)布线布局引起的信号串扰与反射现象,利用Cadence仿真软件对高速信号线反射现象进行建模,分析信号反射原因,并利用反射的阻抗匹配方案进行端接设计,对比了串联端接、戴维南端接、RC端接、二极管端接4种不同类型的端接对传输线中信号质量的影响,并通过电源平面设计对电源完整性进行改良设计,显著提高了PCB的电磁兼容性能。研究表明,信号完整性、电源完整性以及电磁干扰三者相互影响、相互制约,结合仿真数据对三者进行可靠性设计,能够显著提高PCB的电磁兼容性能。

关键词:信号完整性;电源完整性;PCB;电磁兼容

中图分类号:U469.72+2 文献标志码:A DOI: 10.19822/j.cnki.1671-6329.20240196

PCB Electromagnetic Compatibility Simulation Based on Signal Integrity and Power Integrity

Hu Anqi, Zha Yunfei

(Fujian University of Technology, Fuzhou 350000)

【Abstract】To address signal crosstalk and reflection phenomena caused by the wiring layout of automotive Printed Circuit Boards (PCBs), a simulation software Cadence is utilized to model the reflection phenomena of high-speed signal lines. The causes of signal reflection are analyzed, and impedance matching schemes for reflection are employed in the termination design. The effects of 4 different types of terminations, namely series termination, Thevenin termination, RC termination, and diode termination, on the signal quality in transmission lines are compared. Additionally, enhancements are made to power integrity through optimized power plane design, which significantly enhances the Electromagnetic Compatibility (EMC) performance of the PCB. The study demonstrates that signal integrity, power integrity, and electromagnetic interference are interrelated and mutually constraining. Conducting reliability designs for these 3 aspects by combining stimulation data can significantly improve the EMC performance of PCBs.

Key words: Signal integrity, Power integrity, Printed Circuit Board (PCB), Electromagnetic Compatibility (EMC)

0 引言

汽车电磁环境日益复杂,在电动汽车和混合动力汽车上尤其明显。如果各种车载设备出现电磁兼容问题,严重时会影响汽车正常行驶,因此解决车辆的电磁兼容问题对提升车辆的安全性和可靠性非常重要^[1]。目前,汽车印刷电路板(Printed Circuit Board, PCB)是汽车电子设备的主要装配方式。PCB设计的合理性影响汽车系统正常运行^[2],如果PCB设计不当,

将会对汽车电子设备和系统的可靠性产生不利影响^[3]。近年,越来越多的研究利用仿真工具分析PCB的板级电磁兼容问题,对PCB进行信号完整性和电源完整性研究^[4-5]。在PCB的设计中,电路中的寄生电容和电感会对信号的传输产生不必要的信号串扰和反射。这不仅会削弱信号的质量,造成信号能量的损失和误码,还会损坏输出端器件和接收端器件,严重时甚至会烧毁器件^[6]。因此,解决信号的串扰和反射问题,除了需要依靠工程师的经验,还需要进行建模和

仿真分析^[7]。

针对信号完整性和电源完整性等问题,多位专家学者对其展开了大量和深入的研究,文献[8]主要从过孔、去耦电容、电容耦合、电感耦合、返回路径等角度入手进行探究;文献[9]主要使用相关软件进行仿真分析,并根据仿真结果和参数制作相关物理模型进行测试,最后进行对比分析得出相关研究结论;文献[10]主要是从理论角度对信号完整性和电源完整性进行研究和分析。李玉山^[11]对高速PCB中的微带线进行了有损传输的串扰仿真和分析,研究了高速PCB设计中串扰的产生及有效抑制方法,相关结论对在高速PCB中合理利用微带线进行信号传输提供了一定的依据。

本文结合信号完整性与电源完整性理论,通过仿真的方法深入研究汽车PCB设计中的电磁兼容问题,提出一种新的优化策略,以提高汽车电子设备的可靠性。

1 信号完整性分析

1.1 传输线分析

基本电路理论通常假设电路中电压和电流的幅度及相位在传输过程中不发生变化,适用于低频或短距离传输的情况。然而,传输线理论考虑了电长度尺寸的影响,适用于电长度与电路尺寸相当或小于电路尺寸的情况。传输线理论认为电路中电压和电流的幅度及相位会发生变化,因此传输线可以等效为具有分布参数(如分布电容、分布电感)的电路网络。在高频电路中,由于信号的频谱很高,PCB的走线分布参数效应(如寄生电容、寄生电感)非常显著,不能简单地将走线视为理想的导线,必须将各个元器件之间相互连接的线当作传输线来处理。由于传输线理论能够更准确地描述高频信号在走线中的传输特性,本文主要基于传输线模型对电源信号完整性进行分析。

本文中所提到的传输线均为PCB走线,PCB走线一般都看作均匀传输线。传输线考虑了寄生参数^[12],包括传输信号的2条导线:信号路径和返回路径,其作用是将信号从导线的一端传输到另一端^[13]。等效电路模型如图1所示, R_{dx} 和 L_{dx} 为电路中的分布电阻和分布电感, G_{dx} 和 C_{dx} 为对参考面的等效电导和等效电容。根据基尔霍夫定律,建立微分方程求解 $U(x)$ 与 $I(x)$:

$$\begin{cases} \frac{\partial U(x)}{\partial x} = -RL - j\omega LI(x) \\ \frac{\partial I(x)}{\partial x} = -GU(x) - j\omega CU(x) \end{cases} \quad (1)$$

式中: R 为传输线电阻, L 为传输线电感, G 为传输线电导, C 为传输线电容, $U(x)$ 为传输线分布电压, $I(x)$ 为传输线分布电流。

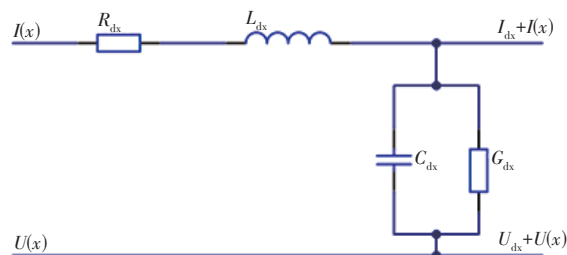


图1 传输线等效模型

根据欧姆定律 $Z_0 = U(x)/I(x)$ 可得传输线的特征阻抗为:

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (2)$$

由于PCB的传输线多工作于高频情况下,此时传输线的分布感抗会远大于分布电阻,分布容抗也远远大于分布电导,即:

$$\begin{cases} j\omega L > R \\ j\omega C > G \end{cases} \quad (3)$$

此时可以对 Z_0 进行化简,可得:

$$Z_0 = \sqrt{\frac{L}{C}} \quad (4)$$

在PCB中,常用的传输线主要是微带线和带状线。微带线是位于表面层并附在PCB表面的带状走线;带状线是位于内层并埋在PCB内部的带状走线^[14],微带线和带状线如图2所示。

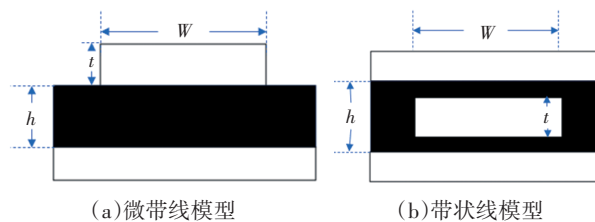


图2 微带线、带状线模型

对 R 、 L 分布电容和分布电感进行积分可得传输线的等效电感 L_0 和等效电容 C_0 :

$$L_0 = 2x \ln\left(\frac{5.89h}{0.8W + t}\right) \quad (5)$$

$$C_0 = \frac{2x(\epsilon_r + 1.41)}{\ln\left(\frac{5.98h}{0.8W + t}\right)} \quad (6)$$

式中: x 为传输线的长度, h 为传输线与基准面的高度, W 为传输线线宽, t 为铜箔厚度, ϵ_r 为PCB的介电常数。

1.2 信号的反射分析

信号反射是信号在传输线上的回波,是指信号沿

传输线向前传播时,时刻都能感受到一个瞬态阻抗,这个阻抗可能是来源于传输线本身,也可能来源于中途或末端其他元件。信号不会区分其来源,只能感受到阻抗。如果信号感受到的阻抗是恒定的,就会正常向前传播,如果信号感受到的阻抗是变化的,不论由什么原因引起(可能是中途遇到的电阻、电容、电感、过孔、PCB转角、接插件),信号都会发生反射。阻抗不连续的传输线模型如图3所示。

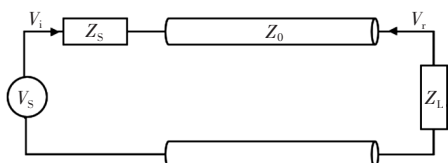


图3 传输线模型

其中,一部分信号功率传输到线上并达到负载处,但是一部分信号会被反射,源端与负载端阻抗不匹配会引起线上反射,负载将一部分电压反射回源端^[15]。如果负载阻抗小于源阻抗,反射电压为负。反之,如果负载阻抗大于源阻抗,反射电压为正。布线的几何形状、不正确的线端接、不连续的电源平面等因素均会导致此类反射。

在传输信号电路中增加一个负载电阻 Z_L ,当信号从发射端传输到接收端时,由接收端的反射系数决定反射的信号电压值:

$$\rho_1 = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (7)$$

当信号从发射端传输到接收端时,由接收端的反射系数决定反射的信号电压值:

$$\rho_s = \frac{Z_s - Z_0}{Z_s + Z_0} \quad (8)$$

假设PCB线条的特性阻抗为 50Ω ,传输过程中遇到一个 100Ω 的贴片电阻,暂时不考虑寄生电容寄生电感的影响,把电阻看成理想的纯电阻,那么反射系数为:

$$\frac{100 \Omega - 50 \Omega}{100 \Omega + 50 \Omega} = \frac{1}{3} \quad (9)$$

则信号有三分之一被发射回源端。如果传输信号的电压是 3.3 V ,反射电压就是 1.1 V 。

传输系数为:

$$\tau = 1 + \rho_1 \quad (10)$$

从反射系数的公式可以看出当 $Z_0=Z_L$ 时,反射系数 $\rho_1=0$,此时信号不存在反射,这种情况就是理想的阻抗匹配的状态。阻抗的反射会与新输入的信号发生叠加,产生信号过冲,多次反射形成信号振荡。

在高速电路中,当上升时间小于延迟时间时,从接收端反射回来的信号将无法在发射端信号上升过程中被吸收,从而在发射端或者接收端表现出完整的反射波形,传输的信号会在两端多次反射。传输线多次反射如图4所示。

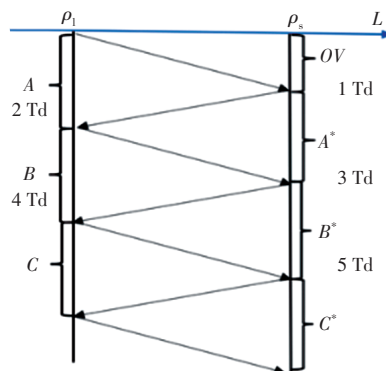


图4 传输线多次反射

振荡现象增加了信号稳定所需的时间,也影响了系统的稳定性。振荡现象主要包括过冲、下冲和振铃。过冲是第一个峰值或谷值超过设定电压。对于上升沿而言,过冲是指最高电压,而对于下降沿是指最低电压。过高的过冲能够触发保护二极管工作,导致过早的失效。下冲是指紧邻的下一个谷值或峰值,过高的下冲会引起虚假时钟或数据错误。

为了保证线上信号的传输质量,信号完整性的研究至关重要。当信号可以在电路中以正确的时序和电压做出响应,并且能按要求的时序、持续时间和电压幅度到达集成电路(Integrated Circuit, IC)时,说明该电路有良好的信号完整性。影响信号质量的因素有很多,其中串扰、反射、谐振、延时、通道陷落等都会对信号质量产生很大的威胁。而且为了保证信号的完整接收,在输入阻抗匹配、多端网络互阻抗、去耦电容等方面都要进行可靠的设计。

在高速PCB板设计中,反射是影响信号传输性能的重要因素,反射现象将会引起信号的振铃,而过度的振铃会造成误触发。

2 信号完整性仿真建模

2.1 信号延时反射分析

电路只能按照规定的时序接收数据,过长的信号延迟(delay)可能导致时序和功能的混乱,在低速的系统中不会发生问题,但是信号边沿速率加快,时钟速率提高,器件之间的信号传输时间以及同步时间就会缩短。

驱动过载、走线过长都会导致延时,必须在越来越短的时间预算中满足所有门延时,包括建立时间、

保持时间、线延迟和偏斜。由于传输线上的等效电容和电感都会使信号在数字切换过程中产生延迟,加上反射引起的振荡回绕,使得数据信号不能满足接收端器件所需要的正确信号要求。根据时延的概念,可以得出时延的计算公式^[12]:

$$t_d = \frac{l}{v} = \frac{l\sqrt{\epsilon_r}}{c} \quad (11)$$

式中: t_d 为时延, l 为传输线的长度, v 为信号再传输线上的传播速度, ϵ_r 为相对介电常数, c 为光速^[12]。

一般来说在传输线中造成的信号上升延迟为:

$$T_{10\% \sim 90\%} = \frac{2.2C_0Z_0}{2} \quad (12)$$

在仿真软件中通过设置不同的上升沿时间模拟传输线的时延特性。仿真传输线为微带线,特性阻抗为 60Ω , 仿真频率为 10 MHz 。在 Candence 软件中建立传输线模型,改变发射端信号的上升时间,分别为 0.1 、 0.2 、 0.6 ns , 仿真结果如图 5 所示。当信号传输时间小于其上升时间的 $1/6$ 时,接收端未出现明显的过冲现象,表明信号完整性较高。然而,随着传输时间的增加,信号反射问题逐渐显现,导致信号质量显著下降。

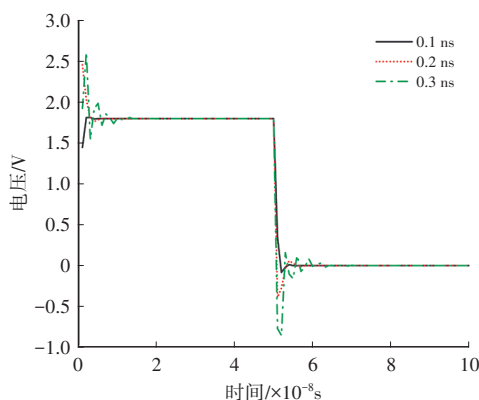


图 5 信号传输时间对信号质量的影响

2.2 抑制信号反射的阻抗匹配方案

理论上,解决信号的反射问题除了控制线宽、优化过孔设计与数量外,最有效的方法是采用合理的阻抗匹配方案。即在信号的发送端或者接收端进行阻抗匹配,常见的端接方式有串联端接、戴维南端接、RC 交流端接和二极管端接。

2.2.1 串联端接

串联端接是在信号的发送端串联一个匹配电阻 R_s , 并且要求其与发送端器件的输出阻抗 R_0 之和等于传输线的阻抗 Z_0 。阻抗电阻必须直接位于驱动器的输出,而且在元件和电阻间不能使用过孔,串联电阻计算公式为:

$$R_s = Z_0 - R_0 \quad (13)$$

这种匹配方式只实现了发送端匹配,信号传输路径上地电平约为驱动电平的一半,而接收端器件阻抗较大,反射系数近似为 1,从而造成接收端的全反射,全反射后接收端电平正好等于发送端的驱动电平。

在 Candence 软件中创建串联端接仿真模型,并对串联端接进行仿真测试,分别接入 0 、 10 、 30 、 50Ω 的串联端接电阻进行仿真,仿真结果如图 6 所示。

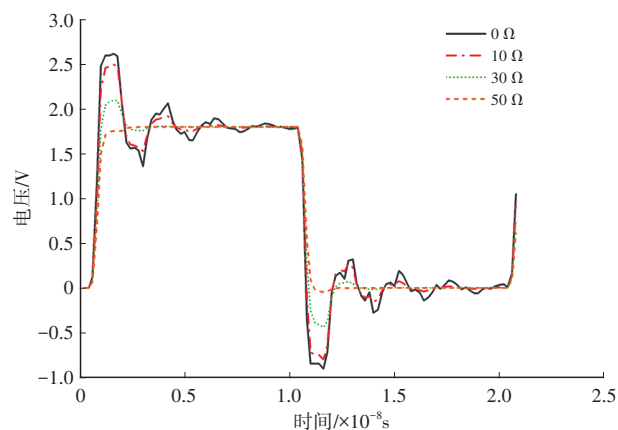


图 6 串联端接不同阻值对比

通过仿真结果可以看出,在发送端不接入串联端接时,信号的反射现象十分明显;接入 10Ω 串联电阻时,反射现象得到一定程度的抑制;接入 30Ω 的串联电阻时,信号的反射现象抑制效果最为明显,信号传输质量最佳;接入 50Ω 的串联电阻时,阻值过大信号存在欠冲现象。根据阻抗匹配的基本理论,得出最合适的串联阻值为 30Ω 。

但是由于许多驱动器都是非线性驱动器,驱动器的输出阻抗随着器件逻辑状态的变化而变化,从而导致串联匹配电阻的合理选择更加复杂。因此,很难应用简单的设计公式为串联匹配电阻选择最合适的值。

2.2.2 戴维南端接

戴维南终端匹配技术也被称为双电阻终端匹配技术,采用两个电阻实现终端匹配,戴维南端接示意如图 7 所示。 R_{TH} 和 R_{TL} 的并联组合需要与信号线的特征阻抗 Z_0 匹配。 R_{TH} 的作用是通过从 V_{CC} 向负载注入电流帮助驱动器更加容易地到达逻辑高状态。与此类似, R_{TL} 的作用是通过 R_{TL} 向地释放电流,帮助驱动器容易进入逻辑低状态。

戴维南端接的电阻计算公式为:

$$\frac{R_{TH} \cdot R_{TL}}{R_{TH} + R_{TL}} \approx Z_0 \quad (14)$$

在 Candence 软件中创建戴维南端接仿真模型,并对

戴维南端接进行仿真测试,如图8所示。

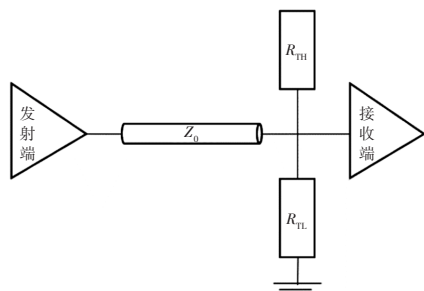


图7 戴维南端接

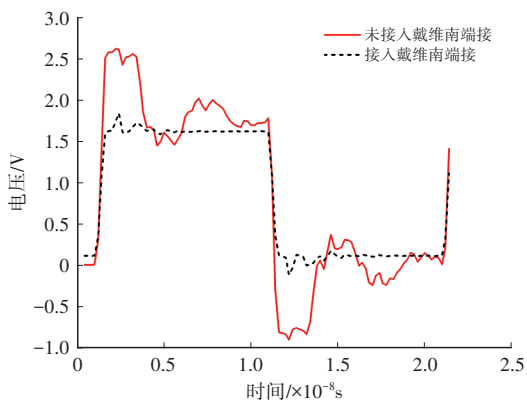


图8 戴维南端接测试

通常戴维南端接用于驱动器驱动能力不足,必须使用末端并联端接的场合。上拉电阻能够提供一部分驱动电流给负载以帮助驱动器驱动高电平,下拉电阻能够吸收一部分电流以帮助驱动器驱动低电平。由仿真结果可知,在信号传输线加入戴维南端接可以有效抑制信号的多次反射,保证信号传输的完整性。

2.2.3 RC交流端接

RC终端匹配技术也称之为AC终端匹配技术,由一个电阻 R 和一个电容 C 组成,电阻 R 和电容 C 连接在传输线的负载一端,RC端接如图9所示。电阻 R 的值必须同传输线的特征阻抗 Z_0 值匹配才能消除信号的反射。电容值的选择却十分复杂,这是因为电容值太小会导致RC时间常数过小,使该RC电路类似一个尖锐信号沿发生器,从而引起信号的过冲与下冲,另一方面,较大的电容值则带来更大的功率消耗。

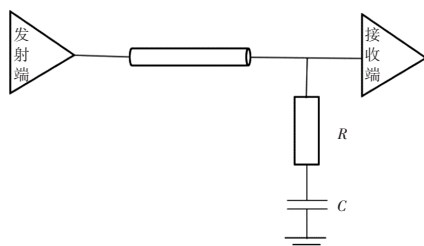


图9 RC交流端接

通常情况下,要确保RC时间常数大于该传输线负载延时的2倍。终端匹配元器件上的功率消耗是频

率、信号占空比及过去数据位模式的函数。以上所有因素都将影响终端匹配电容的充电和放电特性,从而影响功率消耗。

在Candence软件中创建RC交流端接仿真模型,并对RC交流端接进行仿真测试,改变端接的电容值和传输线的延时判断对传输信号质量的影响。仿真波形如图10和图11所示。

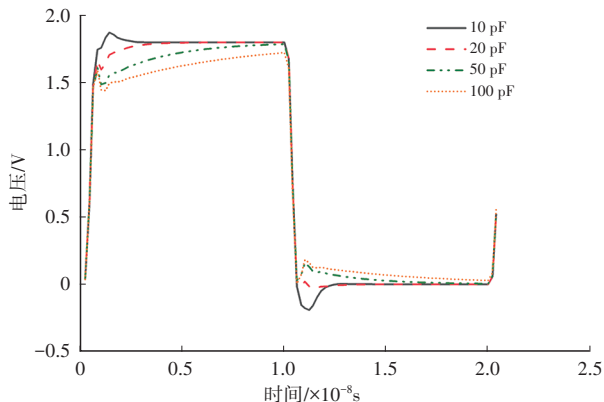


图10 电容容值对信号的影响

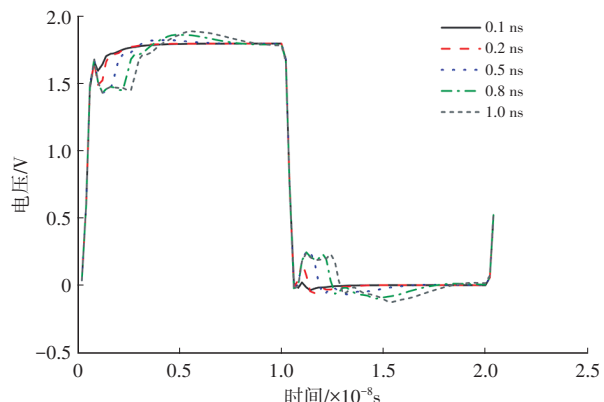


图11 传输线的延时长对信号的影响

通过仿真对比10、20、50、100 pF的电容,可明显看出电容数值越大,信号的接收上升沿时间就越慢;电容过大影响了信号的高电平幅度;频率越高,电容的数值就越小。

分别设置0.1、0.2、0.5、0.8、1.0 ns的延时进行仿真,结果表明,延时时间越长,信号反射越大、质量越差,所以RC端接元件越靠近接收端得到的信号质量越高。

2.2.4 二极管端接

二极管端接技术由两个肖特基二极管组成,如图12所示。当接收器输入端的电压超过电源电压 V_{CC} 与二极管正向偏置电压之和时,二极管将进入正向导通状态,并与 V_{CC} 形成通路。此时,二极管通过导通将信号的过冲电压箝位在 V_{CC} 与二极管阈值电压之和的水平,从而有效抑制过冲现象。

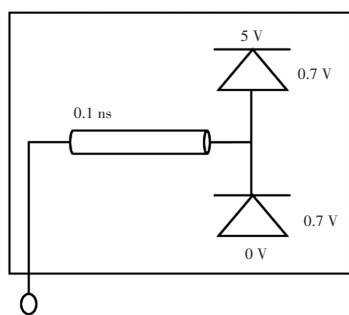


图 12 二极管端接

同样,接地的二极管也可以将信号的下冲限制在二极管的正向偏置电压内。二极管本身不吸收能量,而是将能量导向电源或者接地,从而使传输线上出现多次信号反射。由于传输线上的电阻性损耗,反射信号会逐渐衰减。能量的损耗限制了信号反射的幅度,以确保信号的完整性。

在Candence软件中创建二极管端接仿真模型,并对二极管端接进行仿真测试,对比加入二极管前后信号传输质量,如图13所示。

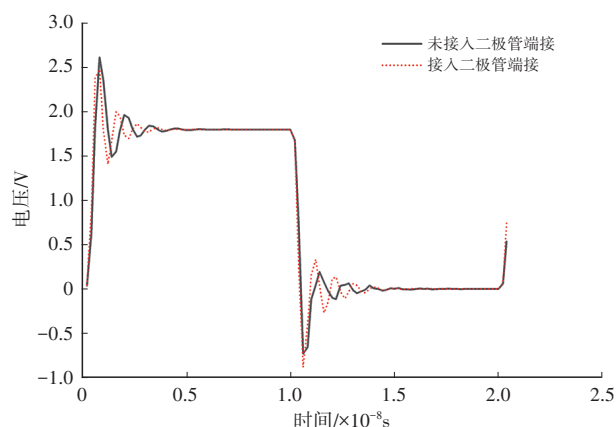


图 13 二极管端接测试

在信号接收末端加入并联二极管,信号的反射问题无论在二极管端接时还是没有二极管端接时都存在,但是二极管端接无需考虑阻抗匹配原则,当不清楚传输线的阻抗时,可以采用这种终端匹配技术。

3 电源完整性的理论与仿真方法分析

在高速电路的设计中,芯片的工作电压越来越低,而工作速度越来越快,功耗越来越大,单板的密度也越来越高,在考虑信号完整性的同时,对电源供应系统在整个工作频带内的稳定性提出了更高的要求^[15]。电源完整性(Power Integrity, PI)的设计影响着系统的性能,如整机可靠性、信噪比与误码率电磁干扰(Electromagnetic Interference, EMI)、电磁兼容性(Electromagnetic Compatibility, EMC)等重要指标^[16]。板级电源通道阻抗过高和同步开关噪声过大会带来

严重的电源完整性问题,这会给器件及系统工作稳定性带来致命的影响^[17]。电源完整性设计就是通过合理的平面电容、分立电容、平面分割应用确保板级电源通道阻抗满足要求,确保板级电源质量符合器件及产品要求,确保信号质量及器件、产品稳定工作。因此,提供一个良好的电源分配网络非常重要^[18]。

3.1 电源分配网络的组成

为了保证集成电路(Integrated Circuit, IC)焊盘间的供电电压稳定,使得信号的地弹问题和电磁干扰问题最小化,在对PCB进行设计时,主要采用的是电源分配网络(Power Distribution Network, PDN)来满足电源的稳定性要求。PDN主要由电源模块(Voltage Regulator Module, VRM)、电源地平面和去耦电容3个模块组成^[19]。如图14所示,电源能量从VRM出发经过PCB电源平面和地平面,随后到达芯片内部。

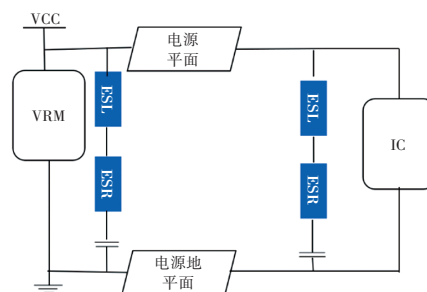


图 14 PDN组成示意

3.2 基于目标阻抗法的PDN仿真

在电源完整性的设计中,PDN的作用是提供一个低阻抗的信号返回路径。提供低阻抗路径的最简单方法是使互连足够宽,从而使返回的电流尽可能分开,并且让信号线保持分离,如果不同信号返回电流互相重叠,会导致开关噪声。该问题产生的根源是电压下沉,使用稳定度更高的芯片也不能解决该问题,因为电压下沉来源于互连的阻抗^[20]。从电源平面和电源地平面看,PDN通常是一个与频率相关的阻抗,表示为 $Z(f)$ 。当具有一定频谱宽度的电流 $I(f)$ 流过该PDN时,PDN将产生压降,公式为:

$$V(f) = I(f) \times Z(f) \quad (15)$$

3.2.1 PDN的目标阻抗设计法

PDN的目标阻抗设计法要求从芯片的角度看输入阻抗在关注的频率范围内都小于目标阻抗数值,也就是说,要呈现低阻抗的特征。这种方法将PDN看成一个系统,以平均电流激励系统。由于实际PDN网络谐振的存在,PDN的阻抗设计需要合理选择关注频率

范围,并通过利用去耦电容的反谐振点阻抗最小的特点来降低PDN输入阻抗。目标阻抗的计算公式为

$$Z_{\text{target}} < \frac{V_{\text{DD}} \times \text{ripple}}{I_{\text{transient}}} \quad (16)$$

式中: $I_{\text{transient}}$ 为最坏情况下的瞬时电流, Z_{target} 为目标阻抗, ripple 为可容许的波纹, V_{DD} 为特定的供电电压。

最佳的PDN阻抗值应低于但不应远低于目标阻抗值,一般在芯片的数据手册中不会提供最坏情况下的瞬时电流,但是一般会给出每个电压轨道的峰值电流 I_{max} ,可估算出瞬时电流为:

$$I_{\text{transient}} = 0.5I_{\text{max}} \quad (17)$$

3.2.2 VRM的PDN仿真

为了改善PDN的设计,降低PDN的阻抗,消除谐振峰的影响,可以在PCB设计时,加入去耦电容,通过电容的反谐振点来改善PDN的阻抗。去耦电容的主要工作方式是提供局部的直流电源给有源器件,把输出信号的干扰作为滤除对象,以减少开关噪声在板上的传播和将噪声引导到地。去耦电容主要起到电池的作用,满足驱动电路中电流的变化,避免相互间的耦合干扰。

将芯片模型导入仿真软件Candence的Power SI仿真模块,导入封装模型,添加阻焊层和VRM模型,引脚接入不同的Vdd。导入的3D模型如图15所示。

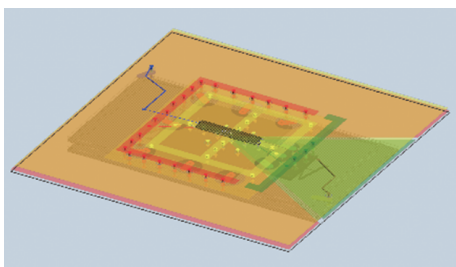


图15 芯片3D模型

随后对层叠进行修改设置,手动创建晶圆端口,设置仿真频率为10 MHz到3 GHz,线性扫描模式,设置PDN的信号网络阻抗为50 Ω ,最后执行仿真,得到芯片的S参数曲线。可以得到芯片的回波损耗和传输损耗和频率之间的关系。如图16所示,其中,S12为反向传输系数,即隔离;S21为正向传输系数,即增益;S11为输入反射系数,即输入回波损耗;S22为输出反射系数,即输出回波损耗。

提取电源的自阻抗曲线,如图17所示,可以看出在Z阻抗的参数曲线中,电源在频域图中测试的范围内,高频阻抗越小电源中的高次谐波成分与地平面(Ground Plane, GND)耦合性越好,图17中在1.05 GHz和1.30 GHz时阻抗较高,超过了80 Ω ,说明较高的波

峰频率会造成EMI干扰问题。

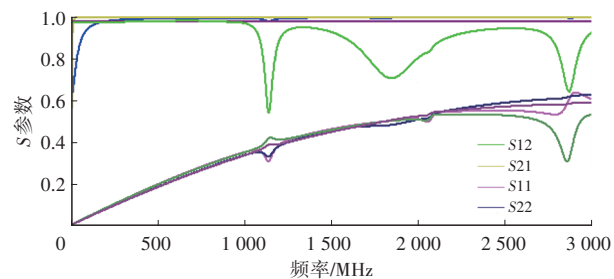


图16 S参数曲线

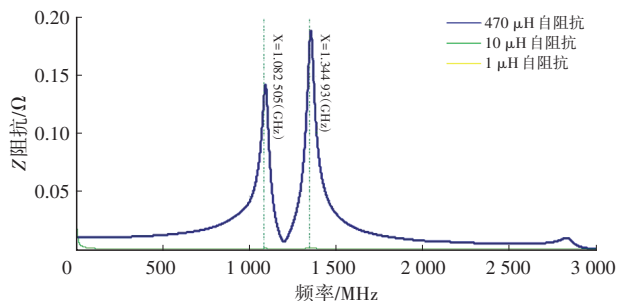


图17 电源自阻抗曲线

Z阻抗的参数曲线中,电源在频域图17中测试的范围内,高频阻抗越小越好。高次纹波被GND吸收的能量越多,得到的波峰就越低,阻抗表现就越平坦,则芯片使用的直流电源就越干净,能够有效确保元器件的电源完整性。

对于完整的电源平面结构,可通过合理配置EMI电容优化平面各区域的阻抗特性。当电源平面各处的阻抗被充分降低时,电流将均匀回流至地平面,并被地平面有效吸收,从而显著降低电源平面的电磁干扰。因此,在信号线输入端口处添加EMI电容是实现这一目标的有效方法。

通过图18的仿真曲线可以看出,在电源端口添加EMI电容后,电源的子阻抗明显减小,由约为80 Ω 降到不到0.2 Ω 。由此可以得出EMI电容对电源自阻抗的削减和EMI的抑制有良好的效果。

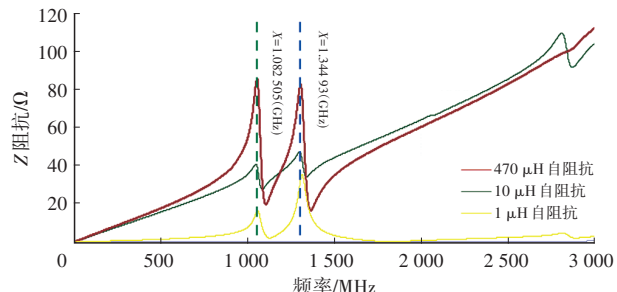


图18 增加EMI电容后的电源自阻抗

4 结束语

本文主要研究了PCB电路板中出现的反射、振铃等信号完整性问题,通过仿真软件分析不同信号上升

沿时间对信号质量的影响,并基于阻抗匹配原则的电路设计的基础理论,提出了抑制信号反射的措施,利用Cadence仿真软件测试了串联端接、戴维南端接、RC端接以及二极管端接4种端接方式对信号反射的抑制效果。通过仿真结果可知,串联端接、戴维南端接以及RC端接在普遍条件下对信号的反射均有良好的抑制作用,而二极管端接作用不明显。

PDN是PCB正常工作的基础,而降低电源的自阻抗是电源完整性设计的关键,本文提取电源的自阻抗曲线,分析谐振点所在的频率位置,结合相应的频率选取相应容值的EMI电容,并在信号线的传输端口设置EMI电容。通过仿真结果可知,相应频率的电源自阻抗得到了明显的降低,达到抑制EMI的目的,符合电源完整性设计的要求。

本文对PCB电磁兼容的仿真研究具有一定的实际意义,对于PCB传输线信号完整性以及电源完整性的设计有一定的完善,但是仿真电路模型较为单一,需选取更多的PCB模型进行更进一步的仿真研究。

参 考 文 献

- [1] 袁帅. 高速PCB中传输线与过孔的信号完整性分析与优化设计[D]. 成都: 电子科技大学, 2021.
- [2] LING F, CAI K, SEN B. Fast Full Board Crosstalk Scan for Signal Integrity Sign-Off for High Speed PCB Designs[C]// 2018 IEEE Symposium on Electromagnetic Compatibility, Signal Integrity and Power Integrity (EMC, SI & PI). Long Beach: IEEE, 2018: 122-125.
- [3] YE X, YE C. Transmission Lines and Basic Signal Integrity [C]// 2018 IEEE Symposium on Electromagnetic Compatibility, Signal Integrity and Power Integrity (EMC, SI & PI). Long Beach: IEEE, 2018: 1-51.
- [4] TANG T, WRAY B, MURUGAN R. Die-Package-PCB Signal Integrity Performance Debug of a High-Speed (25Gbps) Retimer: Simulation to Measurement Correlation [C]// 2020 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI). Reno: IEEE, 2020: 170-175.
- [5] HU K. Design and Characterization of Differential Signal Integrity Interconnects at Millimeter-Wave PCB[C]// 2020 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI). Reno: IEEE, 2020: 90-95.
- [6] HUA M, MINXI N, ANJU T, et al. Power and Signal Integrity Analysis of High-Speed Mixed-Signal Backplanes Based on VPX[C]// 2018 IEEE Symposium on Electromagnetic Compatibility, Signal Integrity and Power Integrity (EMC, SI & PI). Long Beach: IEEE, 2018: 577-581.
- [7] BOGATIN E. Signal Integrity Analysis[M]. 北京: 电子工业出版社, 2005.
- [8] LI X M, HU S Q, ZHANG J M, et al. Signal Integrity of High-performance and Real-Time Signal Processing System [C]// IET International Radar Conference 2013. Xi'an: IET, 2013: 9-11.
- [9] GUPTA K, GARG , BAHL L, et al. Microstrip Lines and Slotlines[M]. Norwood, MA: Artech House. 1996: 357-363.
- [10] HURAY P G. The Foundations of Signal Integrity[M]. Hoboken: John Wiley & Sons Inc, 2009.
- [11] 李玉山, 蒋冬初. 高速PCB中微带线的串扰分析[J]. 海南大学学报(自然科学版), 2009, 27(2): 160-163.
- [12] 赵爽. 基于CST软件的PCB板电磁兼容仿真技术研究[D]. 哈尔滨: 哈尔滨工程大学, 2013.
- [13] 黄昊. 高速数字电路信号完整性与电源完整性协同仿真新方法研究[D]. 杭州: 浙江大学, 2023.
- [14] HU K. PCB Parameter Extraction for Signal Integrity Modeling[C]// 2022 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI). Spokane: IEEE, 2022: 93-96.
- [15] 李芳. 基于信号完整性仿真的高速电路板设计研究[J]. 现代信息科技, Spokane: 2021, 5(04): 43-47.
- [16] 苟辉, 汪忠林, 李坚. 基于高速PCB的信号完整性分析[J]. 电脑编程技巧与维护, 2022 (4): 107-109.
- [17] LECOQ X, LIPANI A, STEMMER S, et al. Power Integrity Flow for Mixed-Signal NVM Flash IP[C]// 2019 IEEE 23rd Workshop on Signal and Power Integrity (SPI). Chambéry: IEEE, 2019: 1-3.
- [18] 侯永彬, 王志成. 高速电路板电源完整性问题分析及解决方案[J]. 信息通信, 2020(5): 94-95.
- [19] 蒋南平. 高性能ADC的信号及电源完整性设计与分析[D]. 南京: 东南大学, 2020.
- [20] 陈章进, 王文磊, 季渊, 等. 传输线中高速信号反射建模分析与优化[J]. 上海大学学报(自然科学版), 2021, 27(3): 503-513.

(责任编辑 明慧)