

基于国产车控芯片的数据缓存技术应用研究

刘子毓 陈树星 刘振东 卜海芋 史宜灵

(一汽解放汽车有限公司商用车开发院, 长春 130011)

【欢迎引用】刘子毓, 陈树星, 刘振东, 等. 基于国产车控芯片的数据缓存技术应用研究[J]. 汽车文摘, 2025(2): 6-12.

【Cite this paper】LIU Z Y, CHEN S X, LIU Z D, et al. Application Research of Data CACHE Technology Based on Localization Vehicle Microcontroller[J]. Automotive Digest (Chinese), 2025(2): 6-12.

【摘要】目前在动力域控制器设计与开发方面, 国外车控芯片占据垄断地位。为解决关键技术被卡脖子的现状, 采用国产化芯片结合国产化AUTOSAR操作系统进行开发。研究重点在于数据缓存技术的应用与优化, 针对国产化芯片开发中遇到的缓存数据一致性的问题, 提出了多种数据同步机制与缓存策略优化方案, 有效消除了数据不一致的风险。此外通过设计高效的数据缓存策略, 显著提升了控制器的指令执行效率并进行了试验验证。

关键词: 车规级芯片; AUTOSAR; 高速缓存; 多核操作系统

中图分类号: U461.99 文献标志码: A DOI: 10.19822/j.cnki.1671-6329.20240155

Application Research of Data CACHE Technology Based on Localization Vehicle Microcontroller

Liu Ziyu, Chen Shuxing, Liu Zhendong, Bu Haiyum, Shi Yiling

(Commercial Vehicle Development Institute, FAW Jiefang Truck Co., Ltd., Changchun 130011)

【Abstract】Currently, foreign automotive control chips dominate the design and development of powertrain domain controllers. To address this technological bottleneck, there is a growing trend towards adopting domestically produced chips alongside domestically developed AUTOSAR operating systems. The research focuses on the application and optimization of data caching technology. In response to the challenge of cache data consistency encountered in the development of domestically produced chips, various mechanisms for data synchronization and optimization schemes for cache strategy have been proposed, effectively mitigating the risk of data inconsistency. Furthermore, by designing efficient data caching strategies, the instruction execution efficiency of the controller has been significantly improved, and experiments have been designed to verify these improvements.

Key words: Automotive-grade chip, AUTOSAR, CACHE, Multicore operating systems

0 引言

随着汽车智能化和电动化的发展, 汽车行业车规级芯片的使用需求呈爆炸式增长。当前车规级芯片的市场份额大部分被外国企业占领, 如英飞凌、恩智浦、意法半导体以及瑞萨电子。随着国际形势的改变, 近年来汽车行业多次出现由于缺乏芯片导致的减产现象, 面对紧缺的车规级芯片市场, 国内厂商抢抓机遇, 全面布局车规级芯片, 旨在解决关键核心芯片“卡脖子”问题, 打破国外垄断局面^[1]。中国车规级芯片行业基础相对薄弱, 在许多应用场景中缺乏产品研发及量产经验, 同时中国整车企业对国产车规级芯片

信息了解不足、信任度不高、使用量低^[2], 导致国产车规级芯片缺乏量产经验, 难以快速迭代出高质量芯片, 尚未形成良性生态循环。

为满足日益复杂的汽车电子电气发展趋势, 汽车电子控制系统也趋于复杂化, 具体体现在对芯片高算力的要求和平台软件的高稳定性和高实时性要求^[3]两个方面, 可以通过使用国产化的汽车开放系统架构 (Automotive Open System Architecture, AUTOSAR) 满足^[3]。AUTOSAR是由全球范围内各大型整车企业、汽车零部件供应商以及汽车电子相关软件开发公司联合成立的一个标准协议^[4], 旨在通过实现软件分层开发架构降低应用层开发人员与底层驱动软件开发人

员因硬件变化而受到的影响。

为了满足对芯片高计算能力的要求,可以选择搭载多核处理器芯片,实现执行速度提升。但多核芯片无法提升数据访问速度,因此需要采用高速缓存(CACHE)。鉴于其国产化时间较短,技术领域尚不成熟,需进一步研究与完善。本文围绕柴油发动机控制器电控单元项目,采用苏州国芯CCFC3008PT多核芯片、国产AUTOSAR实时操作系统,探讨CACHE技术的应用问题。

1 问题分析

在项目开发过程中,控制器集成应用软件后,应用软件无法驱动芯片数字量通道。初始考虑驱动软件存在问题,但是控制器在集成应用前测试驱动功能正常,可以按照给定参数控制芯片引脚输出电平状态。进行软件代码检查,并通过调试器逐级检查应用层函数的传递参数、堆栈信息与程序计数器(Program Counter,PC)指针,均未发现异常。需将函数的参数由全局变量改变为立即数才能实现正常输出,因而考虑CACHE访问全局变量存在异常。

1.1 操作系统层面

首先分析故障产生原因是否与代码放置位置有关,故障代码由核1执行,核1负责为变量赋值,并将参数传递至底层驱动函数。驱动函数获取参数后,通过核2向芯片外设模块寄存器传递参数。通过调试器观测外设寄存器发现来自核1的参数未成功传入芯片外设寄存器。若将赋值函数移至核2执行,该问题未出现。

1.2 芯片驱动层面

经过上述操作可以确定该问题与代码执行位置具有强相关性。同一行函数在不同执行位置运行结果不同,表明还需进一步排查该问题。通过直接观测内存,发现在运行(Run)状态下,通过核1的函数给变量赋值,变量在内存区域的值未随之更新。而在断点(Break)状态下,变量值改变时,内存中相应的值可随变量更新。仔细观察核1初始化配置代码,发现核1与核2的区别在于核1具有数据区高速缓存(DCACHE),而核2仅配备代码区高速缓存(ICACHE)。在核1运行期间,数据访问范围始终不超出DCACHE命中区域。所有变量赋值与读取均在DCACHE内部进行,不会将变量更新传递到内存区域中。由于每个核均具有独立的CACHE区域,并且只对其专属CACHE具有访问权限^[5]。不同核间传递参

数必须通过内存进行,导致应用层代码下发的参数无法成功加载到芯片外设寄存器。

2 国产化芯片缓存

2.1 高速缓存存储器

在应用高速缓存存储器前,中央处理单元(Central Processing Unit,CPU)均按照程序员编写的指令读取内存信息。程序员通过高级语言编写程序,再由编译器根据不同芯片指令集将其翻译为芯片能够执行的汇编指令。这些指令与数据通常存放于非易失性存储器中。当系统启动时,这些指令与数据将被加载至内存中。CPU访问内存可以分为2种类型:(1)程序执行过程中需要访问内存以读写数据;(2)CPU必须访问内存以获取下一条需执行的指令。

在CPU与内存的协同作用下,程序得以顺利执行。然而,由于CPU的运行速度远大于内存访问数据或程序的速度,导致实际运行过程中,CPU常处于等待状态,以便数据可以缓慢地由内存传输至CPU。随着内存速度与现代处理器速度之间的差距不断扩大,系统对主存储器的数据存取访问成为系统性能的新瓶颈^[6],无法满足对高性能芯片日益增长的需求。为了克服这一缺陷,CPU就不应直接从内存中读取数据或指令。

实际上,CPU访问内存并非完全随机,而是存在时间局限性和空间局限性。在程序占据的内存空间中,只有一部分区域在程序运行过程中经常被CPU所访问,其可能是分散的,也可能是集中的,可以将其集中储存至访问速度较高的存储介质上。该存储介质可以充当CPU和内存之间的中转站,称之为CACHE。

引入CACHE后,CPU无需直接对内存进行访问,如图1所示,将经常使用到的数据存放至CACHE中,CPU需要访问内存时,将首先在CACHE中进行查找。如果所需数据或指令已存在于CACHE中,则无需对内存进行访问,可以有效提升CPU的执行速度。但CACHE不能直接替换内存,因为CACHE的价格更高,为了考虑成本,CACHE的容量不会很大。

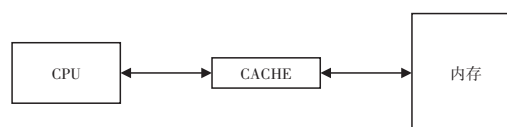


图1 CPU访问内存与CACHE的关系

2.2 CACHE地址映射方式

由于内存的存储空间远大于CACHE,所以CACHE的同一位置必须可以存储来自不同内存的数

据或指令,以实现小容量 CACHE 对大容量内存区域的有效覆盖。为了避免 CPU 在通过缓存访问内存时不得不处理内存地址和缓存地址之间的复杂关系,需要建立一个 CACHE 和内存的映射机制,允许 CPU 通过预访问内存地址自动确定其存放于 CACHE 的位置,减少 CACHE 资源浪费,提高访问速度。

为了建立缓存与主存之间的映射关系,需对 CACHE 内部存储单元进行分类,如图 2 所示,将 CACHE 内部资源分别用于存储数据、存储地址信息以及存储地址偏移量和其他有效信息。CPU 的读写以字为单位,而 CACHE 与内存之间的读写以 line 为单位。将 CACHE 与内存之间的最小读写单元定义为 1 个 line size (不包含地址与其他有效信息),若 line size 大小为 32 字节,即 CACHE 每次缓存数据或指令信息均以 0x20 地址与内存对齐^[7]。而 CACHE 每条 line 被称为 SET, CACHE 的总容量除以 line size,就等于 SET Number,不同的 line 通过 SET Number 进行标识,其他信息存储在 line 头部位置。

TAG	V	PORT	R	LO	Doubleword0	Doubleword1	Doubleword2	Doubleword3
-----	---	------	---	----	-------------	-------------	-------------	-------------

图 2 CACHE line 结构

目前,国产化 CACHE 与内存之间的映射采用直接映射的方法。一个内存块地址始终对应一个固定的 CACHE 地址,对于同一内存地址的多次访问,其数据均被加载至相同 CACHE line 内。为了完成此映射,需将内存区域按照 CACHE 的容量划分为多个区块,见图 3。

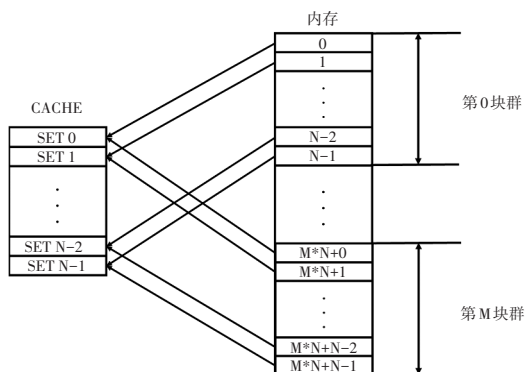


图 3 CACHE 与内存的映射关系

如图 3 所示,按照 CACHE 容量将内存区域划分为 M 个块群。当内存地址为 N 的倍数的内存区域加载至缓存中,均被分配至 SET 0 中。若需访问第“6N+2”号内存块,假设该块已在 CACHE 中,则其必定位于 SET 2 中。这表明 CACHE 的 SET Number 值与内存地址低位存在对应关系。

在 CACHE 中,存储的数据或指令无需其在主内

存中的完整地址标识,因此 Tag 仅保留了高位地址信息。低位地址信息可以通过 CACHE 的 SET Number 获得。为了重构完整的内存地址,需将 CPU 预访问的内存地址对 Line 大小取余后的结果作为偏移量。如图 4 所示,将 SET Number 与该偏移量结合,即可复现数据或指令在主内存中的地址信息。

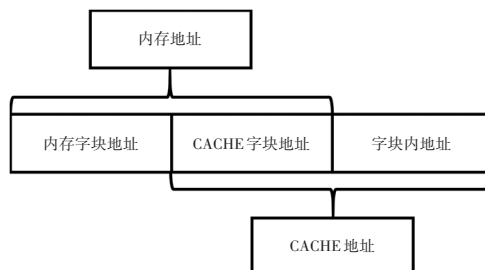


图 4 CACHE 地址结构

2.3 存在的问题与改进措施

若数据需从第 0 块内存迁移至数据至第 N 块内存,由于映射方式为直接映射,二者内存将被映射至 CACHE 的同一 line 中。此情况可能导致 CACHE 需持续从内存中加载数据,造成 CACHE 未命中的情况频繁发生。CPU 需等待 CACHE 清除当前数据并重新加载内存数据,导致 CPU 的执行效率低于未开启 CACHE 的情况。为了应对这种情况,将 CACHE 划分为 2 部分,称为 2 个 WAY^[8]。如图 5 所示,双 WAY 的大小和映射机制完全相同。通过这种设计,可以同时命中在直接映射下映射到同一 line 的内存块,有效提高了 CPU 的执行速度。

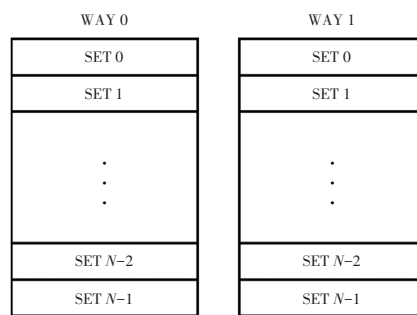


图 5 双 WAY 条件下 CACHE 地址映射

若此时 CACHE 需要缓存来自第 3 个内存地址的数据或指令至该 line,此时 2 个 WAY 对应的存储空间均已占用。为了确定需被替换数据,为 CACHE 内包含的数据赋予优先级,高优先级数据应尽量包含权重高、访问概率大、数据复杂度小以及更新时间间隔长的特点^[9]。可以采用以下 3 种办法识别高优先级数据。

2.3.1 先入先出法

如图 6 所示,利用 CACHE 中预留的 R 位,设置 1

个计数器,在每次CACHE从内存读取数据或指令时,将计数器加一,若CACHE填满,则选择计数器数值较大的line进行替换。

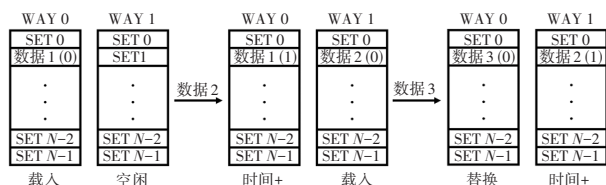


图6 先入先出法数据更新策略

2.3.2 最不经常使用法

如图7所示,CPU每一次读取CACHE中命中的信息时,将对应的CACHE line计数器加一,当CACHE被填满时,选择计数器较小的line进行替换。

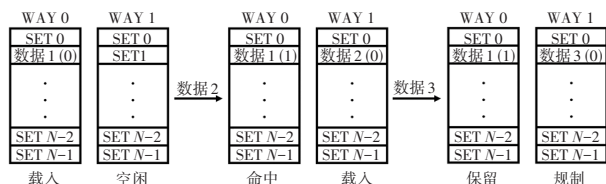


图7 最不经常使用法数据更新策略

2.3.3 近期最少使用法

如图8所示,在CPU每访问CACHE时,将命中的line计数器清零,其余的所有line的计数器加一,最后选择计数器最大的line进行替换^[10]。

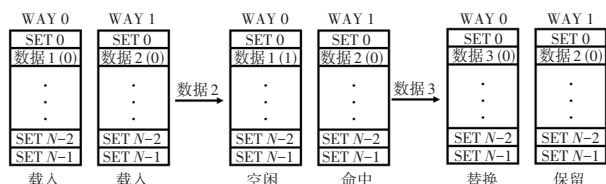


图8 近期最少使用法数据更新策略

通过上述3种替换算法可以最大限度地使CACHE保留最有效的数据或指令,增加CACHE的命中率,进一步避免了由于内存速度缓慢导致CPU等待数据或指令时间过长的问题,提高了国产化芯片性能。

在单核系统中,上述CACHE架构与逻辑可以在全工况条件下提升CPU运行速度。然而,根据上文对于多核系统问题的分析与论证,发现CACHE在多核系统下存在缓存数据一致性的问题。为了保证不同核内CACHE中对应同一内存的CACHE line数据保持一致,关键要确保同一核的写入操作对其他核均可见。基于此,提出以下2个原则:(1)单写多读(Single-Writer Multiple-Read, SWMR)。该原则需确保在同一时间内,对于任何内存地址(假设地址为A),仅有一个核对地址为A的内存有读写权限,或者存在多个核具有只读权限。因此,可以避免以下情形发生:当地址A

被多个核读取至CACHE内时,若其中某核更改了CACHE中地址A的数据,并将该修改写入内存,而其他核未收到更新通知,导致缓存一致性问题。如图9所示,将时间细分为多个小切片,每个切片均遵循SWMR原则。例如在T1、T4时刻,允许多个核对一个地址的内存进行读取。然而,在T2、T4时刻,涉及到写入时,仅有一个核被授予读写权限,其他核在该时间切片内不可以读取该内存。(2)数值传播原则。该原则要求在时间片段中,上一个时间片段结束的数据值必须与下一个时间片段开始时的数据值相同。这要求内存更新的数据值需被正确地传播至所有核。例如在T1时刻,核2、核5读取的数据必须相同才能满足一致性要求。在T3时刻,核1应读取T2时刻核3最后写入的数据值。同样地,在T4时刻,核1、核2、核3应当读取T3时刻核3最后写入的数据值才能满足一致性要求。



图9 SWMR原则下的多核数据访问时间切片

在设计一致性协议时,应考虑上述2项原则。一致性协议需明确每个参与一致性的内存和缓存组件可能所处的CACHE状态,以及需发送或响应的一致性事务操作。为此,可采用以下3种协议:

(1)监听协议。该协议要求CACHE从内存中读取数据时,均需通过共享总线发出请求。共享总线负责仲裁,决定访问请求的优先级,并将优先级通知所有CACHE。总线仲裁逻辑可以确保在任一时刻共享总线仅处理一个内存访问请求^[11]。如图10所示,监听协议通过仲裁逻辑,对同时出现的请求进行优先级排序,并通过总线广播优先级顺序。各CACHE通过监听总线获知排序顺序,从而确定自身请求排序情况。该机制可以满足2个一致性原则的要求。

(2)无效协议。如图11所示,当某核需写入某CACHE line时,CACHE将该CACHE line命中的地址通知其他CACHE。若其他CACHE中存在相同地址的CACHE line,则将根据无效协议将其他所有包含相同信息的CACHE line标记为无效。在确保其他核无法通过CACHE读取过时数据后,该核才能对CACHE进行写入操作,并将对应数据写入内存。其他核需读取该数据时,必须重新将其从内存存入CACHE,以确保数据的一致性。

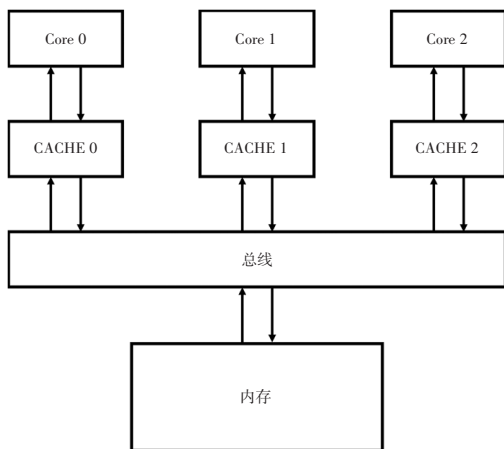


图10 多核系统访存逻辑

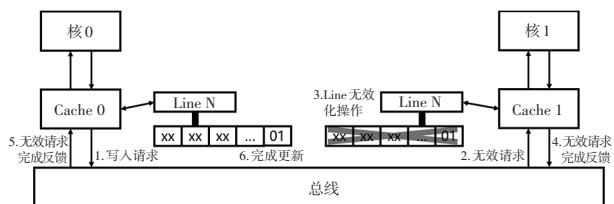


图11 无效协议示意

(3)更新协议。如图12所示,若某核需写入某CACHE line,CACHE首先将新写入的值写入内存,并产生一个更新请求,该请求通过总线广播发送至所有CACHE。CACHE检查自身是否包含待更新的地址信息。若包含待更新地址信息,CACHE将重新从内存中加载数据,确保所有CACHE存储的值均为最新值^[12]。

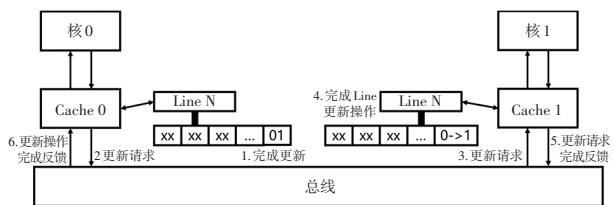


图12 更新协议示意

3 数据缓存性能测试软硬件介绍

3.1 硬件部分

本文所搭建的数据缓存开发系统基于CCFC3008PT开发板(图13)开发,并将其作为缓存测试的硬件部分。CCFC3008PT芯片内核采用PowerPC指令集架构^[13],具体参数如表1所示。

3.2 软件部分

本文所使用的软件工具如表2所示。搭建的软件系统架构遵循AUTOSAR标准,所有代码均满足车规级要求。使用东软睿驰提供的Configurator进行多核操作系统的配置,使用EB Tresos配置端口(Port)与内部输入输出(Input, Output, IO)量相连,

通过外部示波器方便观测代码执行时间。使用Hightec编译器将底层驱动代码与上层操作系统软件集成,同时进行代码编译,生成单片机可执行的文件。

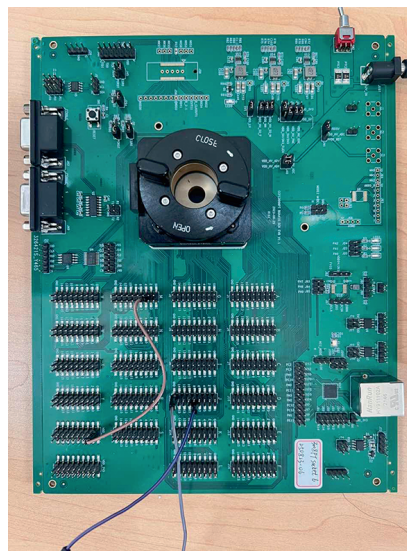


图13 CCFC3008PT开发板

表1 CCFC3008PT性能指标

内核数量	3	时钟频率	300/300/200
内存空间	700 kB	功能安全等级	ASIL-D

表2 软件工具链

	软件名称	开发公司	主要功能
	Configurator	东软睿驰	对基础软件(Basic Software, BSW)层、实时运行环境(Run-Time Environment, RTE)层进行配置与管理
	EB Tresos	Elektrobit	微控制器抽象层(Microcontroller Abstraction Layer, MCAL)软件配置与代码生成
	HighTec	HighTec	代码集成与编译
	T32	劳特巴赫	烧写文件与嵌入式软件调试与监控

3.3 数据传输时间监控方法

由于在测试中将使用多个芯片外设模块,在开展测试前必须完成各模块的初始化操作,并通过AUTOSAR标准的函数接口实现操作系统^[14],符合AUTOSAR标准的系统初始化位置如表3所示。

初始化工作完成后,为了检验数据缓存对数据传输性能的影响,进行2个数组间的数据传输工作,通过

IO口反转的方式监控数据传输时间。图14为数组定义与初始化代码示例,图15为数据传输与时间监控代码示例。

表3 符合AUTOSAR标准的系统初始化位置

初始化函数	初始化阶段
DIO_Init()	EcuM_InitOne, PreStartOS
Port_Init()	EcuM_InitOne, PreStartOS
Mcu_Init()	EcuM_InitOne, PreStartOS

```
uint64 test[10000];
uint64 test1[10000];
float start,end,time;
FUNC(void, RTE_CODE) RunnableInit_Core1(void)
{
    for(uint32 j=0;j<=10000;j++)
    {
        test[j]=j;
    }
}
```

图14 初始化代码示例

```
FUNC(void, RTE_CODE) Runnable1000ms_Core1(void)
{
    IoHwAb_Dio_WriteChannel(O_T_HCISVL,0);
    start=Get_STM0_TimerMs();
    for(uint32 j=0;j<5000;j++)
    {
        test1[j]=test[j];
    }
    end=Get_STM0_TimerMs();
    time= end-start;
    IoHwAb_Dio_WriteChannel(O_T_HCISVL,1);
    AppTask1000ms1Counter++;
}
```

图15 数据传输代码示例

通过示波器观测管脚电平反转的方式,监控代码执行时间^[15]。同时通过调试器使用其他核观察数组内数据判断开启数据缓存时是否确保了数据一致性。图16为32位数组相互传输数据用时随数组位数变化的测量结果。图17为64位数组相互传输数据用时随数组位数变化的测量结果。

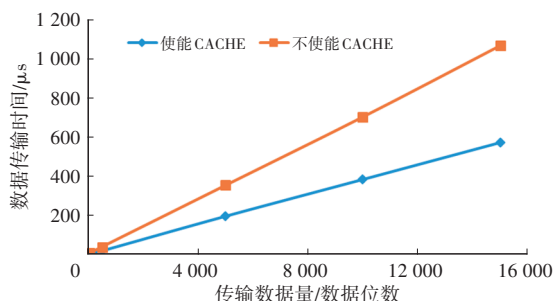


图16 启用CACHE 32位数据传输时间对比

由图16、图17中曲线可见,当不使用CACHE时,随着数据量的增加,CPU的执行时间呈现出显著的增长趋势。而使用CACHE时,随着数据量的增加,CPU的执行时间增长比率小于1,表明传输大量数据时,

CACHE能提供更大的性能提升。

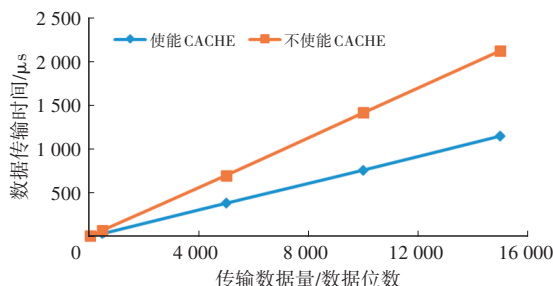


图17 启用CACHE 64位数据传输时间对比

为了进一步分析CACHE的作用,使用调试器分别观察同一变量在内存中的值和CACHE中的值。若变量定义在核1并赋值时,不涉及CACHE一致性问题,此时变量在内存和CACHE中的值保持一致。若将变量赋值于核2执行,而变量定义保留在核1,通过调试器观测核1的内存与CACHE中变量储存的数据分别如图18和如图19所示。

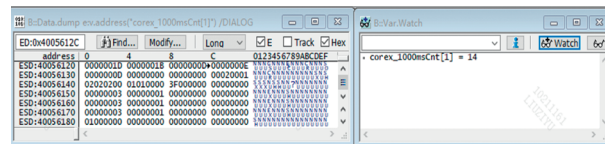


图18 内存数据

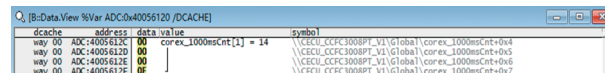


图19 CACHE数据

可见在内存与CACHE中的变量值均为14,经由一致性协议保证,当前数据缓存未出现数据一致性错误。

4 结束语

本文研究成果解决了国产汽车控制芯片多核系统中维护数据一致性的问题。研究基于AUTOSAR标准和PowerPC架构,通过引入CACHE一致性协议,保障多核环境下的数据一致性,避免因数据不一致导致的系统故障或者传输错误的控制参数。

本文研究结果与以往研究CACHE重要性的结论一致,支持通过使用缓存机制可以显著提升系统性能的观点。一些早期的研究认为缓存一致性协议可能会引入较大的开销。但本文通过设计适当的机制与测试,证明这种开销可以通过机制避免,从而提升性能。然而,本文只集中于特定的硬件架构(PowerPC),未对其他架构(如ARM或RISC-V)的实用性进行探讨,且研究主要量化了性能提升,未对功耗或热管理的影响进行探讨,这些也是汽车应用的关键因素。

参 考 文 献

- [1] 武亚恒, 张弘, 胡凯, 等. 国产车规级芯片发展现状, 问题及建议[J]. 时代汽车, 2022(6): 26-27.
- [2] 朱云尧, 吴胜男, 冯莉, 等. 我国汽车产业生态、发展趋势与挑战[J]. 汽车文摘, 2023(10): 32-37.
- [3] FÜRST S. AUTOSAR—A Worldwide Standard is on the Road. [c]// 14th International VDI Congress Electronic Systems for Vehicles. Berlin: Elektronik, 2009.
- [4] STARON M. Automotive Software Architectures[M]. Cham: Springer, 2021.
- [5] HASSAN M, KAUSHIK A M, PATEL H. Predictable CACHE Coherence for Multi-Core Real-Time Systems[J]. IEEE, 2017: 235-246.
- [6] 杨朝辉. 主存数据库索引机制的研究与改进[D]. 南京: 南京航空航天大学, 2024.
- [7] 张晓光, 陶英轩, 黄金山. 智能网联趋势下车辆网关路由缓存研究与应用[J]. 汽车文摘, 2021(5): 14-18.
- [8] 张俊敏, 金继欢, 侯睿. 命名数据网络中的二分缓存方案[J]. 中南民族大学学报(自然科学版), 2024, 43(2): 260-265.
- [9] 李诗诗, 方寿海. 移动数据库缓存同步更新机制[J]. 煤炭技术, 2010, 29(10): 166-168.
- [10] 肖文龙, 马迪, 毛伟, 等. 基于事实所有权的RPKI缓存更新冲突检测机制[J]. 计算机系统应用, 2022, 31(2): 366-375.
- [11] 陈家豪, 黄乐天, 谢暄, 等. 基于片上网络互连的多核缓存一致性研究综述[J]. 电子与封装, 2020, 20(11): 1-8.
- [12] SHUKUR H M, ZEEBAREE S R M, ZEBARI R, et al. CACHE Coherence Protocols in Distrubted Systems[J]. Journal of Applied Science and Technology Trends, 2020, 1(3): 92-97.
- [13] 程俊强, 刘铎, 陈益. 基于PowerPC处理器的机载多总线单板计算机设计[J]. 测控技术, 2020, 39(11): 85-90.
- [14] 关健斌, 吴志红, 朱元, 等. 基于AUTOSAR标准的CAN FD通信实现[J]. 信息通信, 2020(3): 5-7.
- [15] ZHANG X, LIU B, GOU Z, et al. DCACHE: A Distributed CACHE Mechanism for HDFS Based on RDMA[J]. IEEE, 2020(1): 283-291.

(责任编辑 梵玲)

《汽车工艺与材料》投稿须知

《汽车工艺与材料》于1986年创刊,是由中国第一汽车集团有限公司主办的国内外公开发行的汽车材料与制造技术类月刊,目前已入选《中文核心期刊要目总览》(第二版)、RCCSE中国准核心学术期刊(B+)、中国核心期刊(遴选)数据库、中国学术期刊综合评价数据库、欧洲学术出版中心数据库(EuroPub)、哥白尼精选期刊数据库(ICI Journals Master List)、EBSCO International数据库、J-Gate数据库。

《汽车工艺与材料》以“为中国报道汽车制造,为汽车引领工艺材料”为办刊宗旨,致力于报道以汽车轻量化技术和智能制造技术为核心的先进制造技术与材料应用技术,重点关注电动汽车蓄电池、电机、电控关键材料技术,燃料电池材料技术,高强度钢、铝镁合金、非金属材料及其成形技术,连接技术,智能装备与绿色制造等,以期通过高质量学术内容的出版和传播助推行业创新技术的交流与发展。

《汽车工艺与材料》杂志关注领先的整车及零部件企业和材料、装备等供应商,及时报道汽车行业最新的产品设计、制造、材料、加工技术、生产装备、检测技术等方面的成功案例。

主要栏目:

AT&M视界、生产现场、材料应用、生产装备、检测技术、数字化园地、行业动态等。

投稿要求:

- (1)来稿须具有独创性并与实践相结合,文章字数最好控制在5 000~8 000字之内。
- (2)来稿不能在国内、外公开杂志上发表过,请勿一稿多投。
- (3)来稿的试验方法、试验数据、试验结论必须准确、可靠。
- (4)来稿须包括以下项目:题名、作者姓名、作者单位、摘要(200字左右)、参考文献等。来稿采用word文档的格式。
- (5)来稿文章格式应符合一般科技论文格式,或参考近期本刊所刊登文章格式。
- (6)文章必须附有公开发表的、体现本领域最新研究成果的参考文献,且在文中应标注文献引用处。
- (7)本刊使用网站投稿,投稿网址:<http://qegyycl.cbpt.cnki.net>,咨询电话:0431-82026054。

竭诚欢迎汽车行业及相关各界的专家学者积极向本刊投稿。