·第二十八届中国科协年会学术论文专题——车规芯片架构改进与可靠性优化关键技术·

基于先进工艺的车载芯片可靠性优化设计

梁宏玉[1] 杨潇雨[1,2] 冯治华[1] 王妍[1,3]

（1.集成电路与微系统全国重点实验室，重庆 400060；2.重庆大学，重庆 400060；3.电子科技大学，成都 611700）

【摘要】基于SMIC 12 nm鳍式场效应晶体管（FinFet）工艺，对模拟/数字（A/D）转换器前端跟踪/保持电路的谐波失真、带宽等性能指标进行了分析。通过合理选取采样开关的类型、尺寸，降低跟踪/保持开关随温度变化引入的谐波失真，提出一种新型的开关输出缓冲器，提升跟踪/保持电路的线性度和A/D转换器的驱动力。试验结果表明，将N型金属氧化物半导体（NMOS）、P型金属氧化物半导体（PMOS）场效晶体管的电容和寄生电容作为采样电容，整体前端电路带宽提升至34 GHz；通过Cadence Virtuoso的仿真验证，当采样频率f_s=10 GHz、输入信号频率f_{in}=9.8 GHz时，无杂散动态范围（SFDR）和总谐波失真（THD）分别达到67 dB、-59.5 dB。所提出的设计方案可用于自动驾驶的内置自检安全系统，降低自动驾驶系统故障率，提升嵌入式车载芯片安全机制的可靠性。

主题词：跟踪/保持电路 开关输出缓冲器 嵌入式车载芯片 可靠性

中图分类号：TN792 **文献标志码：**A **DOI:** 10.19620/j.cnki.1000-3703.20250310

The Reliability Optimization Design of Vehicle Chip Based on Advanced Techonology

Liang Hongyu[1], Yang Xiaoyu[1,2], Feng Zhihua[1], Wang Yan[1,3]

（1. National key Laboratory of Integrated Circuit and Microsystems, Chongqing 400060; 2. Chongqing University, Chongqing 400060; 3. University of Electronic Science and Technology of China, Chengdu 611700）

【Abstract】Based on the SMIC 12 nm Fin Field-Effect Transistor (FinFET) process, this paper analyzes the harmonic distortion and bandwidth performance indicators of the track/hold circuit at the front end of the Analog-to-Digital (A/D) converter. By reasonably selecting the type and size of the track/hold switch, the harmonic distortion caused by the temperature variation of the track/hold switch is reduced, and a new type of switch output buffer is proposed to improve the linearity of the track/hold circuit and the driving capability of the A/D converter. Test results show that: using the gate and parasitic capacitances of N-type Metal-Oxide-Semiconductor (NMOS) and P-type Metal-Oxide-Semiconductor (PMOS) transistors as sampling capacitances, the overall front-end circuit bandwidth is increased to 34 GHz through simulation verification with Cadence Virtuoso; when the sampling frequency f_s=10 GHz and the input signal f_{in}=9.8 GHz, the Spurious-Free Dynamic Range (SFDR) and Total Harmonic Distortion (THD) reach 67 dB and -59.5 dB, respectively. The proposed design scheme can be applied to the built-in self-test and self-check safety system of autonomous driving, reducing the failure rate of the autonomous driving system and improving the reliability of the embedded vehicle chip safety mechanism.

Key words: Tracking/holding circuit, Switching output buffer, Vehicle chip of the embedded system, Reliability

【引用格式】梁宏玉, 杨潇雨, 冯治华, 等. 基于先进工艺的车载芯片可靠性优化设计[J]. 汽车技术, 2026(2): 7-12.

LIANG H Y, YANG X Y, FENG Z H, et al. The Reliability Optimization Design of Vehicle Chip Based on Advanced Techonology[J]. Automobile Technology, 2026(2): 7-12.

1 前言

作为保障车载电子系统安全运行的核心支撑技术，高可靠性、高精度内置自检安全系统对于提升嵌入式车载芯片安全机制、降低自动驾驶故障率具有重要意义[1]。

随着28 nm互补金属氧化物半导体（Complemen-

通信作者：冯治华（1982—），工程师，主要研究方向为集成电路管理，84646923@qq.com。

tary Metal Oxide Semiconductor，CMOS）晶体管、鳍式场效应晶体管（Fin Field-Effect Transistor，FinFET）等先进工艺制程的技术突破，车载芯片的灵敏度和集成度同步提升。Francesco 等[2]采用嵌入模拟/数字（Analog to Digital，A/D）转换器，将远/近距离雷达和内置自检安全系统集成于车载芯片，实现了安全系统灵敏度的提升；Abhiram 团队[3]将 A/D 转换器、数字/模拟（Digital to Analog，D/A）转换器内置于自检安全机制，定期检查混合信号功能，降低了智能驾驶系统的潜在故障率；Bajoria1 等[4]利用 28 nm CMOS 工艺 Δ-Σ 型 A/D 转换器进行高性能无线电接收机设计，其环路滤波器具有精确的校准功能，提升了收发机系统的接收灵敏度。

A/D转换器的带宽、线性度等指标取决于前端电路的性能，核心电路为跟踪/保持（Track and Hold，T/H）电路和输出缓冲器。其中，T/H 电路常将单个 N 型金属氧化物半导体（N-Metal-Oxide-Semiconductor，NMOS）场效应晶体管作为采样开关。但 T/H 开关的导通/关断电阻随输入信号变化，易导致一定程度的谐波失真，且鲜有文献对该电阻特性与超高速 A/D 转换器线性度间的关联机制展开深入论证[5]。在跟踪模式和保持模式中，传统源跟随器作为 T/H 电路的输出缓冲器均持续工作，从而产生大量功耗[6]。

为了解决上述问题，本文基于 SMIC 12 nm FinFet 工艺，对 A/D 转换器前端 T/H 开关选型、提升输出缓冲器线性度性能，根据实际应用场景设计适用于自动驾驶领域的高线性度、高带宽 T/H 电路。同时，通过 Cadence Virtuoso 对电路性能进行仿真验证。

2 T/H 电路工作原理

2.1 T/H 电路的结构

本文设计一种参数化 T/H 电路，放大采样信号并提高 A/D 转换器通道的线性度[7]。当 T/H 电路从跟踪模式进入保持模式时，总采样电容减小，采样电容的电荷量保持不变，因此产生电压增益，实现放大功能。

T/H 放大器的原理如图 1 所示，该电路的采样电容由 M1~M5 的寄生电容和金属走线组成。其中，M2 为采样开关，M1 持续关断，减小采样开关切换过程中的信号馈通效应。利用时钟馈通效应，M3、M4 对升高电压进行针对性补偿，具体表现为：M4 采用 NMOS 管，当工作状态从跟踪模式的线性区域过渡到保持模式的截止区域时，其寄生电容会减小；M3 采用了 P 型金属氧化物半导体（P-Metal-Oxide-Semiconductor，PMOS）场效应晶体管，从跟踪模式的弱反转区过渡到保持模式的截止区时，其寄生电容也会减小。M5 为驱动模拟数字转换器（Analog to Digital Converter，ADC）通道的源跟随器缓冲器，在保持模式下，M5 的源极电流走向为从地极到输出，采样信号的电压升高，输出缓冲器的线性输出范围减小[8]。

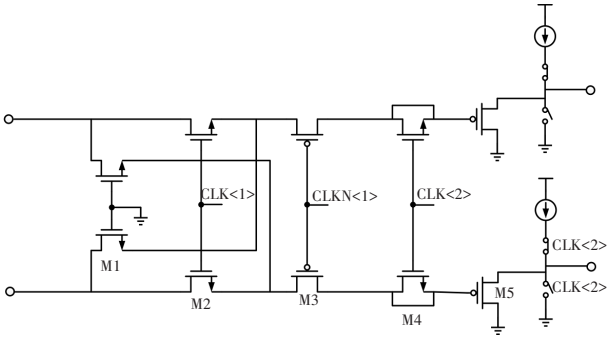


图 1　参数化 T/H 电路

T/H 电路中晶体管的工作区域参数如表 1 所示。其中，$C_{d,M1}$、$C_{d,M2}$、$C_{d,M3}$、$C_{d,M5}$ 分别为 M1、M2、M3、M5 的漏极寄生电容，$C_{g,M4}$ 为 M4 的栅极寄生电容，$C_{MetalRouting}$ 为走线寄生电容。经过电路仿真可得跟踪模式和保持模式下的总寄生电容分别为 214.7 fF、106.8 fF，参数 T/H 放电路输出电压增益为 3.24 dB。

表 1　T/H 电路中晶体管的寄生电容及工作区

寄生电容	跟踪模式		保持模式	
	电容取值/fF	工作区	电容取值/fF	工作区
$C_{d,M1}$	12.1	线性区	6.3	截止区
$C_{d,M2}$	5.7	截止区	6.3	截止区
$2C_{d,M3}$	7.5	弱反型层	6.6	截止区
$2C_{g,M4}$	112.0	线性区	37.0	截止区
$C_{d,M5}$	55.3	截止区	28.5	饱和区
$C_{MetalRouting}$	22.1		22.1	

参数化 T/H 放大器的输入、输出波形瞬态仿真结果如图 2 所示，输入频率为 1 094 MHz，差分输入信号摆幅为 500 mV。由于采用了参数化放大器，采样信号的输出摆幅为 595 mV。

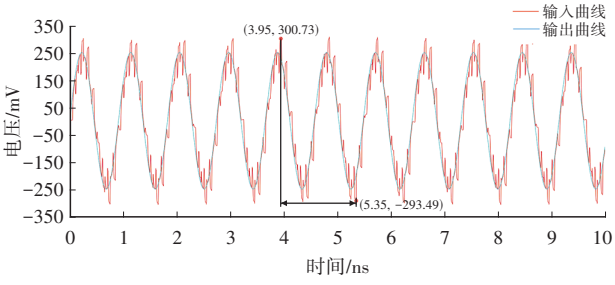


图 2　参数化 T/H 放大器输入、输出波形瞬态仿真

2.2 输入共模电压对 T/H 开关线性度的影响

随着 T/H 开关输入共模电压增加，总谐波失真（Total Harmonic Distortion，THD）的仿真结果如图 3 所示。当输入共模电压 V_{cm} 从 125 mV 提高至 185 mV 时，T/H 的导通电阻增大，可降低高频 T/H 开关的线性度；

T/H开关的关断电阻随输入共模电压的升高呈递增趋势，可提高低频输入的线性度。当输入共模电压提高至245 mV时，输入信号的增大可促使输出缓冲器的输出共模电压相应提升，从而减小线性输出范围。

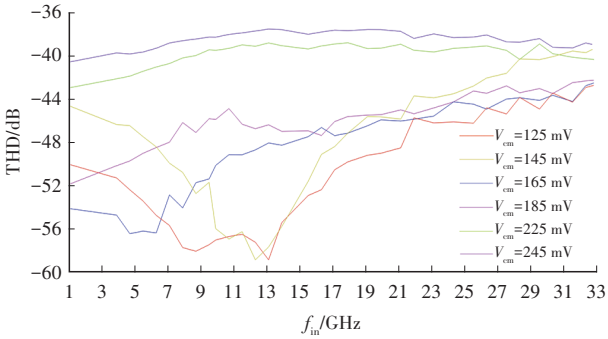


图3　T/H开关输入共模电压随THD变化曲线

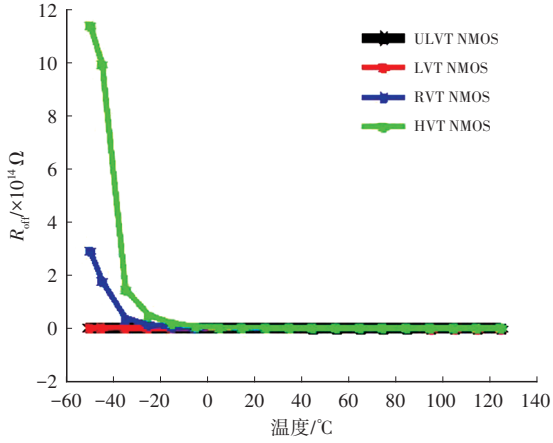
因此，为了在整个奈奎斯特带宽内获得良好的THD性能，输入共模电压设置为125 mV。

2.3　T/H开关关断电阻对线性度的影响

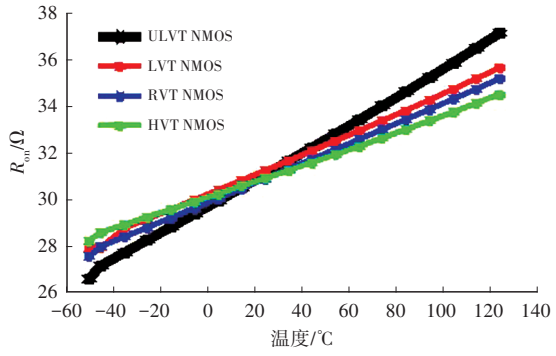
在选择采样开关M2管的尺寸时，较低的导通电阻和较高的截止电阻是2个互相矛盾的参数。在实际应用中，即使芯片功耗较低，也会使环境温度快速上升。此时，T/H开关的导通电阻增大、截止电阻减小，在25~100 ℃温度范围内该趋势加剧[9]。

在125 mV直流电压下，当极低阈值电压（Ultra-Low Voltage Threshold，ULVT）、低阈值电压（Low Voltage Threshold，LVT）、常规阈值电压（Regular Voltage Threshold，RVT）和高阈值电压（High Voltage Threshold，HVT）的NOMS晶体管作为T/H电路开关，关断电阻R_{off}和导通电阻R_{in}随温度变化结果如图4所示。

由图4可知，输入信号的波动会引发T/H开关M2的导通电阻的相应变化，进而引起谐波失真。在-55~125 ℃的全温度范围内，当ULVT、LVT、RVT和HVT NMOS器件的宽度分别为3.08 μm、3.85 μm、4.47 μm和5.39 μm时，各器件的导通电阻R_{on}大致相同。



（a）关断电阻R_{off}



（b）导通电阻R_{on}

图4　电阻随温度变化曲线

当温度从-55 ℃升至125 ℃时：ULVT NMOS的R_{off}从1.62×10^{11} Ω降至7.56×10^{5} Ω；LVT NMOS的R_{off}从2.75×10^{12} Ω降至5.08×10^{6} Ω；RVT NMOS的R_{off}从2.90×10^{14} Ω降至3.76×10^{7} Ω；HVT NMOS的R_{off}从1.14×10^{15} Ω降至9.80×10^{7} Ω。

当R_{on}相同时，对比ULVT、LVT、RVT NOMS的THD变化情况，结果如图5所示。在-50~90 ℃范围内，使用ULVT NMOS管搭建的T/H电路的THD值最低。因此，本文采用ULVT NMOS管进行T/H电路设计。

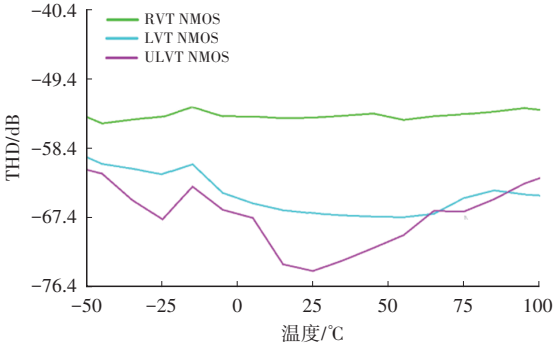


图5　THD变化趋势

3　新型开关输出缓冲器

3.1　常规连续工作的输出缓冲器

传统源跟随器缓冲器电路如图6所示，该结构栅源电压稳定，具有恒定的跨导值，线性性能良好。但当输入频率达到超高频段，易受到子通道缓冲器的带宽限制，缓冲器的输出无法跟随输入信号，产生与输入频率成正比的部分失真信号[10]。

在跟踪模式和保持模式下，输入管均保持开启状态，输入信号为V_{TH_in}、输出信号为V_{buf_in}，恒定的栅源电压为源跟随器提供了基本恒定的跨导，并表现出良好的线性性能。当输入高频信号时，输出缓冲器的带宽无法跟踪输入信号，在连续工作的输出缓冲器中产生非线性失真。在跟踪过程中，缓冲器输出V_{buf_in}无法跟随输入信号V_{TH_in}，在V_{buf_in}上产生部分失真。

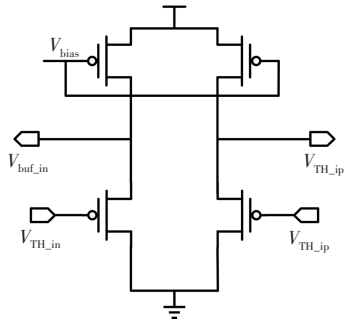


图6　传统源跟随器缓冲器电路

假设$V_{T/H}$、V_{buf}分别为源跟随器缓冲器的输入和输出，采样初始时刻输入信号电压V_{T/H_in}和输出信号电压V_{buf_in}分别为$V_{T/H0}$和V_{buf0}。其中，V_{buf0}包含部分非线性信号电压，与输入频率成正比。从跟踪模式过渡到保持模式，V_{buf0}的失真部分电压耦合至采样点，并通过输入管的采样电容C_s和栅源电容C_{gs}间的电荷共享效应改变$V_{T/H0}$值，最终产生与输入频率成正比的部分失真信号。

3.2　新型开关输出缓冲器的实现方式

为了降低V_{buf0}引入的谐波畸变，若令采样电容C_s远大于栅源电容C_{gs}，整体A/D转换器模拟输入带宽将大幅降低；为使源跟随器的输出带宽足够大，可增加源跟随器的器件尺寸，减小栅源电容C_{gs}，但该方法不仅增加功率消耗，同时引入较大的寄生电容，导致总采样电容增加，使A/D转换器模拟输入带宽降低[11]。

因此，本文提出一种开关输出缓冲器解决T/H电路的失真问题，同时提升A/D转换器前端电路的带宽，具体实现方式为：在跟踪期间，输出缓冲器关断，输出电压V_{buf_out}接GND（Ground）；在保持模式下，启动输出缓冲器，开始驱动后级的A/D转换器电路。如图7所示，在跟踪模式下，M7将开关缓冲器关断，切断电路直流电流，同时，M6将缓冲器输出短路至GND。

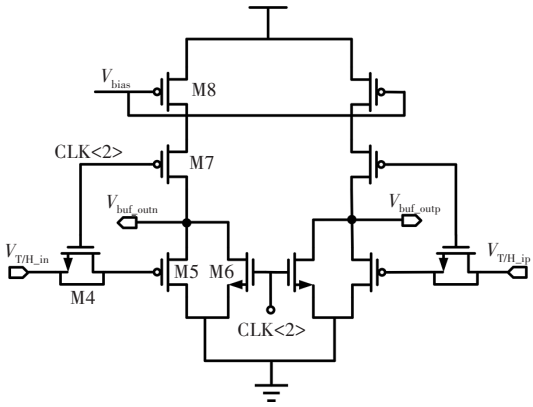


图7　新型开关输出缓冲器电路

在采样节点处存储的总电荷为：

$$Q = (V_{T/H_in0} + V_0)(C_S + C_{gs}) \tag{1}$$

式中：V_0为V_{T/H_in}的直流电压，C_S为M5栅极上除C_{gs}外的所有寄生电容。

在保持模式下，M7导通，使M8的电流流入M5，此时M6关闭，进而驱动后级电路：

$$V_{T/H_in,final} = V_{T/H_in0} + V_0 + \frac{C_{gs}}{C_S}(V_{T/H_in0} + V_0 - V_{gs0}) \tag{2}$$

$$V_{buf_out,final} = V_{T/H_in0} + V_0 - V_{gs0} + \frac{C_{gs}}{C_S}(V_{T/H_in0} + V_0 - V_{gs0}) \tag{3}$$

式中：V_{gs0}为V_{gs}的直流电压，$V_{T/H_in,final}$、$V_{buf_out,final}$为电荷重新分配后$V_{T/H,in}$和$V_{buf,out}$的最终值。

由上式可知，进入保持模式时，输出电压$V_{buf,out}$将耦合到采样电容的节点，最终的输出共模电压$V_{buf_out,final}$增加。因此，可利用M3、M4管的时钟馈通效应抵消共模电压的增量。与传统连续工作的子通道缓冲器相比，所提出的开关子通道缓冲器未引入谐波失真。

3.3　新型开关输出缓冲器的速度和功率

在保持模式下，开关输出缓冲器切换为工作模式，从而驱动后级的A/D转换器电路，开关输出缓冲器的工作过程如图8所示。

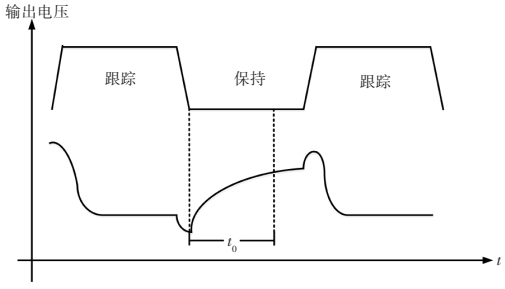


图8　开关缓冲器输出曲线

忽略电荷共享效应，当开关输出缓冲器的输出电压稳定到期望值的t_0时间段内，稳定误差应小于A/D转换器的1/2最低有效位（Least Significant Bit，LSB）。因此，源跟随器g_m所需的最小跨导值为：

$$\begin{cases} g_m = \dfrac{C_{load}(B+1)\ln 2}{t_0} \\ \tau = C_{load}/g_m \end{cases} \tag{4}$$

式中：C_{load}为开关输出缓冲器的负载电容，B为A/D转换器的分辨率，τ为有限时间常数。

保持模式下，与连续工作的子通道缓冲区相比，开关子通道缓冲区从关断状态恢复到开启状态后，稳定到期望值。由于稳定时间减少，需增大开关缓冲器的电流，确保稳定误差符合精度要求。假设开关缓冲器的输出先恢复到共模电压V_{cmo}，再稳定到期望值[12]。在启动过程中，源跟随器处于截止区，启动过程和稳定过程的总时间为：

$$\begin{cases} t_0 = \dfrac{V_{\text{cmo_Cload}}}{I_{\text{swbuf}}} + \dfrac{C_{\text{load}}(B+1)\ln 2}{g_{\text{m,swbuf}}} \\ g_{\text{m,swbuf}} = \dfrac{2I_{\text{swbuf}}}{V_{\text{DSsat}}} \end{cases} \tag{5}$$

式中：I_{swbuf}为C_{load}的电流；$V_{\text{cmo_Cload}}/I_{\text{swbuf}}$为启动过程的持续时间；$g_{\text{m,swbuf}}$为开关缓冲器的跨导；$V_{\text{DSsat}}\in$(0.3 V,0.4 V)为典型值，使晶体管停留在弱反转和强反转间区域。

当输出V_{cmo}=0.5 V时，假定后级A/D转换器的分辨率为8，得到$g_{\text{m,swbuf}}/g_{\text{m}}\in$(1.8,2.07)。考虑到开关缓冲器仅有75%的时间处于开启模式，为了保持相同的工作速度，开关缓冲器需增加35%~55%的功耗。

4 电路仿真与结果分析

4.1 电路仿真验证

本文的A/D转换器前端电路基于SMIC 12 nm FinFet工艺的工艺设计套件(Process Design Kit，PDK)，输入共模电压$V_{\text{com_in}}$=125 mV，差分输入摆幅为500 mV，采样频率f_{s}=10 GHz，电源电压为0.8 V，通过直流仿真可得新型开关输出缓冲与源跟随器输出缓冲器的带宽曲线如图9所示。传统的源跟随器缓冲器的带宽仅12.2 GHz，而本文开关输出缓冲器将带宽拓展至33.5 GHz，提升了A/D转换器前端电路的性能。

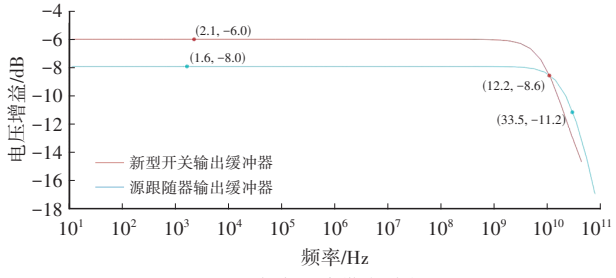


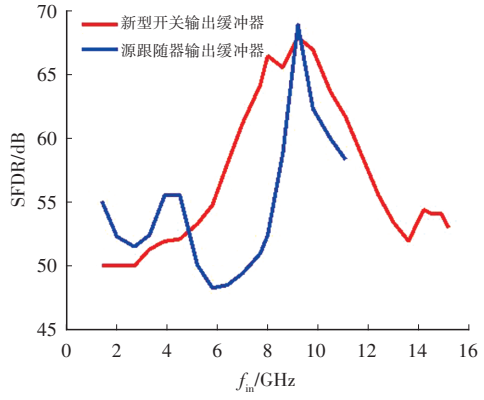
图9 前端电路带宽分析

对比无杂散动态范围(Spurious-Free Dynamic Range，SFDR)、THD随输入信号f_{in}变化情况如图10所示。当差分输入信号摆幅为500 mV、输入共模电压为125 mV时，对于较高输入频率(如7.5 GHz)，本文开关缓冲器使THD性能提高了12 dB。

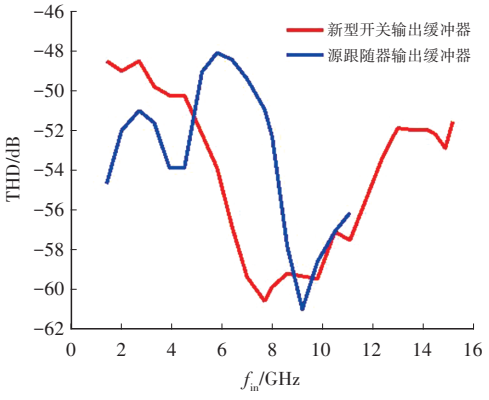
4.2 仿真结果分析

为了分析本文开关输出缓冲器的前端电路性能，通过Cadence Virtuoso仿真器验证，结果如表2所示。其中，TT(Typical-Typical)为典型工艺角；FF(Fast-Fast)为快速工艺角；SS(Slow-Slow)为慢速工艺角。在25 ℃环境温度下，f_{s}=10 GHz，f_{in}=9.8 GHz，SFDR可达67 dB，THD可达−59.5 dB。

对比文献[1]、文献[3]、文献[4]和文献[6]方案性能，各方案分别采用28 nm CMOS、55 nm硅锗半导体晶体管(SiGe Bipolar Complementary Metal Oxide Semiconductor，SiGe BiCMOS)、7 nm FinFET、14 nm FinFET工艺，结果如表3所示。本文基于12 nm FinFET工艺，A/D转换器的前端电路可以达到良好的线性度和带宽指标。



(a)SFDR



(b)THD

图10 SFDR、THD随输入信号f_{in}变化趋势

表2 工艺角仿真及温度仿真结果

温度/℃	f_{in}/GHz	工艺角	SFDR/dB	THD/dB	带宽/GHz
−55	9.8	SS	49.7	−48.5	36.3
−15	9.8	SS	62.1	−55.2	34.3
25	9.8	TT	67.0	−59.5	34.6
65	9.8	TT	50.9	−49.7	32.7
95	9.8	FF	52.5	−54.5	33.8
125	9.8	FF	48.9	−48.5	31.8

表3 不同方案参数指标对比结果

方法	f_{in}/GHz	f_{s}/GHz	SFDR/dB	THD/dB	带宽/GHz
文献[1]	10.0	3.5		−58.0	31.5
文献[3]	5.0	60.0	39.5		75.0
文献[4]	30.0	8.0	41.0		40.0
文献[6]	36.0	4.5	36.0		21.0
本文	9.8	10.0	67.0	−59.5	34.6

5 结束语

本文通过分析A/D转换器前端电路中，因T/H开关随温度大幅度变化引发的谐波失真及开关切换导致的非线性失真，提出新型的开关源跟随器输出缓冲器结构，避免了前端电路对A/D转换器带宽的限制，采用器件电容和寄生电容作为T/H电路的采样电容，大幅提升了整体电路的带宽。该设计可用于车载高带宽雷达系统和内置自检安全系统中，提升嵌入式车载芯片安全机制的可靠性，为自动驾驶系统提供强有力的技术支撑。

参 考 文 献

[1] 马帅旗，贺海育，任思嘉，等．基于DBO-FHA的双向CLLLC谐振变换器参数优化设计[J]. 汽车技术，2025(2): 37-45.
MA S Q, HE H Y, REN S J, et al. Parameter Optimization Design of CLLLC Bidirectional Resonant Converter Based on DBO-FHA[J]. Automobile Technology, 2025(2): 37-45.

[2] BELFIORE F, CALCAGNO A, BORGONOVO G, et al. A 76 to 81 GHz Packaged Transceiver for Automotive Radar with FMCW Modulator and ADC[C]// 2017 European Radar Conference (EURAD). Nuremberg, Germany: IEEE, 2017.

[3] CHAKRABORTY A, LAUTENSCHLARGER C, ORTNER M, et al. A Low-Power 24 GHz Radar Transceiver for Automotive Hands-Free Trunk Opener Applications in a 0.13 μm SiGe BiCMOS Technology[C]// 2021 18th European Radar Conference (EuRAD). London, United Kingdom: IEEE, 2022: 529-532.

[4] BAJORIA S, RUTTEN R, BOLATKALE M, et al. A 6 GHz Continuous-Time Bandpass ΔΣ ADC with Background Filter Calibration and −100 dBc IM3 for a Mixer-Less DAB Band III Receiver[J]. IEEE Journal of Solid-State Circuits, 2025, 60(7): 2284-2293.

[5] SUN K X, WANG G H, ZHANG Q, et al. A 56-GS/s 8-bit Time-Interleaved ADC with ENOB and BW Enhancement Techniques in 28 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2018, 54(3): 821-833.

[6] SEBASTIAO D, GOES J. Design of an 20 GHz Wide-Band Input Buffer[J]. 2023 30th IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2013: 1-5.

[7] COOKE G, WEISS N, SCHVAN P, et al. Track and Hold Amplifier Investigation for 100 GHz Bandwidth 200 GS/s ADC Front Ends[J]. IEEE Solid-State Circuits Letters, 2022, 11(5): 54-57.

[8] THOMAS P, GROZING M, BERROTH M. Analog Demultiplexer Operating at up to 200 GS/s Using Four Time Interleaved Switched Emitter Followers with a 50% Duty Cycle Clock[C]// 2021 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS). Monterey, CA, USA: IEEE, 2021.

[9] NGUYEN R L, CASTRILLON A M, FAN A, et al. 8.6 a Highly Reconfigurable 40-97 GS/s DAC and ADC with 40 GHz AFE Bandwidth and Sub-35fJ/Conv-Step for 400 Gb/s Coherent Optical Applications in 7 nm FinFET[C]// 2021 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA: IEEE, 2021: 136-138.

[10] KULL L, LUU D, MENOLFI C, et al. A 24-to-72 GS/s 8b Time-Interleaved SAR ADC with 2.0-to-3.3 pJ/Conversion and >30 dB SNDR at Nyquist in 14 nm CMOS FinFET[C]// 2018 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA: IEEE, 2018: 2376-8606.

[11] 胡棒，张宸睿，郑乐城，等．一种3.32 mW 0.1-2.0 GHz宽带接收机芯片设计[J]. 微电子学，2024, 54(3): 444-449.
HU B, ZHANG C R, ZHENG Y C, et al. Chip Design of a 3.32 mW Broadband Receiver Covering 0.1-2.0 GHz[J]. Microelectronics, 2024, 54(3): 444-449.

[12] 曾虹铭，唐昭焕，陈宏伟，等．一种43 GHz超高带宽线性驱动电路设计[J]. 微电子学，2023, 53(2): 175-180.
ZENG H M, TANG Z H, CHEN H W, et al. Design of a 43 GHz Ultra-High Bandwidth Linear Driver[J]. Microelectronics, 2023, 53(2): 175-180.

（责任编辑　瑞　秋）

修改稿收到日期为2025年6月10日。