

超薄芯片卷拉-顶推剥离力学分析与对比研究

史柯文¹, 孔子文¹, 吕文瀚², 陈思宇^{1,3}

- (1. 同济大学 航空航天与力学学院, 上海 200092;
2. 北京建筑大学 机电与车辆工程学院, 北京 100044;
3. 上海飞行器力学与控制研究院, 上海 200092)

摘要: 超薄芯片剥离工艺作为柔性电子封装流程的核心步骤, 是高良率生产的技术保障。本文针对滚轮卷拉与排针顶推两种剥离工艺, 建立“芯片-胶层-衬底”叠层结构的理论模型, 结合有限元仿真揭示其力学行为差异。通过提出基于胶层界面断裂能与芯片表面损伤应力竞争关系的双判据安全准则, 克服剥离工艺安全性量化评估方法的局限。研究表明: 顶推工艺在超薄芯片剥离安全性上显著优于卷拉工艺, 卷拉工艺仅针对软质厚衬底上剥离大尺寸厚芯片具有较高的工程应用价值。创新性提出了卷拉-顶推组合技术, 引入实现芯片应力中和与断裂模式优化的协同匹配思路。研究为无损超薄芯片剥离技术的开发提供了理论支持, 对推动微电子高良率封装技术进步具有指导意义。

关键词: 芯片剥离工艺; 滚轮卷拉; 排针顶推; 竞争断裂关系; 剥离安全准则

中图分类号: O346

文献标志码: A

文章编号: 0254-0053(2025)03-0570-16

Mechanical Analysis and Comparative Study of Ultra-Thin Chip Stretching-Ejecting Peeling Process

SHI Kewen¹, KONG Ziwen¹, LYU Wenhan², CHEN Siyu^{1,3}

- (1. School of Aerospace Engineering and Applied Mechanics, Tongji University, Shanghai 200092, China;
2. School of Mechanical-Electronic and Vehicle Engineering, Beijing University of Civil Engineering and Architecture, Beijing 100044, China;
3. Shanghai Institute of Aircraft Mechanics and Control, Shanghai 200092, China)

Abstract: As a critical step in flexible electronics packaging, the ultra-thin chip peeling process plays a vital role in ensuring high-yield manufacturing. This study focused on mechanical behavior differences between two peeling methods: roller-stretching and needle-ejecting. A theoretical model of the "chip-adhesive-substrate" laminated structure was established and validated by finite element simulation. A dual-criteria safety criterion was proposed to quantify process safety based on the competing relationship between interfacial fracture energy of the adhesive layer and surface cracking stress of the chip layer, which overcame the limitations of traditional methods for quantitatively evaluating the safety of the peeling process. Results demonstrated that the needle-ejecting procedure outperforms roller-stretching in terms of the safety of ultra-thin chip peeling. The roller-stretching process only has high engineering application prospect for peeling large-sized and thick chips from soft and thick substrates. Furthermore, an innovative stretching-ejecting combination technology is proposed, introducing the concept of synergistic matching to achieve chip stress neutralization and fracture mode optimization. This research provides theoretical insights into non-destructive ultra-thin chip peeling

收稿日期: 2025-04-24

基金项目: 国家自然科学基金(12472165, 12102222, 12204031); 清华大学柔性电子技术国家重点实验室开放基金

作者简介: 史柯文, 硕士生。研究方向: 柔性超薄芯片的剥离工艺优化。E-mail: 2230869@tongji.edu.cn

通信作者: 陈思宇, 博士, 助理教授。研究方向: 柔性芯片制造关键技术。E-mail: sychen@tongji.edu.cn

吕文瀚, 讲师。研究方向: 柔性超声换能器设计及制备。E-mail: lvwenhan@bucea.edu.cn

technology, and delivers practical guidance for advancing high-yield flexible microelectronics packaging.

Key words: chip peeling process; roller-stretching; needle-ejecting; competing fracture; peeling safety criterion

随着微电子及其封装技术(如图1(a))向高集成度、超薄化与柔性化方向快速发展^[1], 芯片剥离工艺作为封装流程中的核心环节, 其精度与可靠性对器件性能及良品率具有决定性影响^[2-3]. 该工艺通过机械作用将已完成电路制造的芯片从临时衬底膜上分离并转移, 这一过程涉及“芯片-胶层-衬底膜”三层叠合结构的复杂力学响应^[4-5]. 安全高效的无损剥离技术需要在实现芯片与衬底膜间的稳定脱粘时, 避免界面损伤及芯片脆性断裂等问题. 然而现有工艺在工程应用中仍面临力学行为复杂、工艺参数难以量化、技术手段难以突破等挑战, 这些问题严重制约了超薄芯片(厚度 $<25\ \mu\text{m}$)^[6,7]的封装良率. 因此, 芯片剥离技术研究对推动广泛应用超薄芯片的现代柔性电子深度集成具有关键作用^[8].

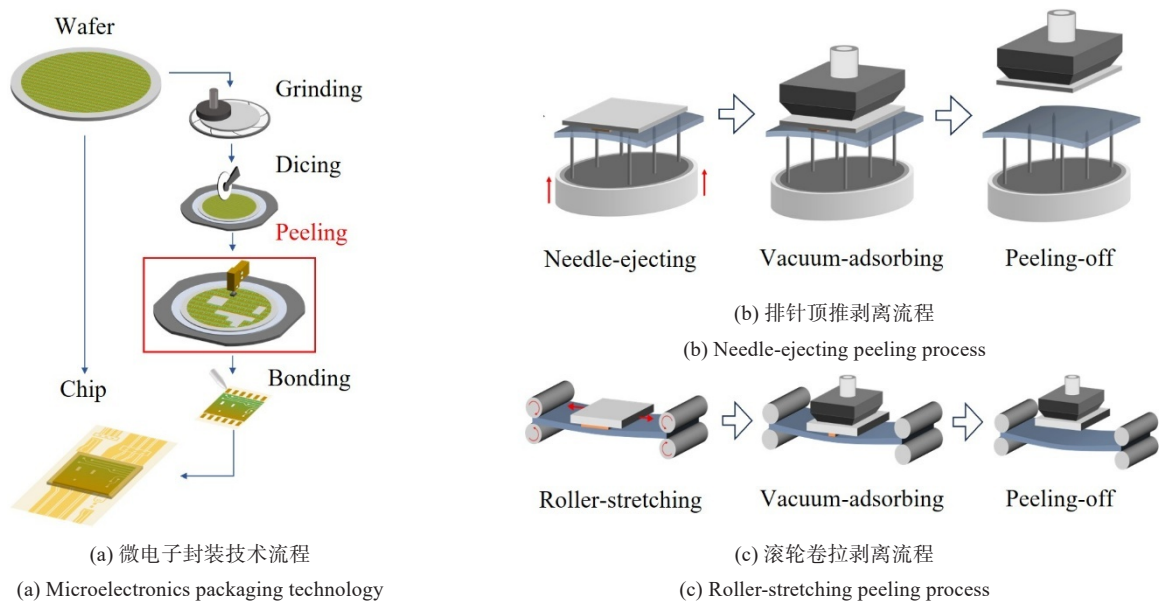


图1 芯片封装流程与关键工艺

Fig.1 Chip packaging process and key techniques

芯片剥离技术的核心挑战在于如何平衡胶粘界面剥离效率与层内结构安全性, 在力学理论上可归结为对内聚力界面断裂和脆性材料失效的竞争关系问题^[9]. 目前描述粘合层合结构的界面分离机制^[10]存在基于经典强度理论^[11-12]与断裂力学理论^[9]的两种解析模型. 断裂力学理论模型以能量释放率作为评估界面分层的有效准则^[13-17], 克服了分析界面裂纹尖端奇异应力场带来的困难^[17-18]. 这种粘合结构的断裂分层行为和评估准则得到了大量仿真数据与生产实验的充分验证^[19-22].

如图1(b)所示, 在临时衬膜底部排针, 通过排针顶推实现芯片剥离的工艺方法, 因其操作简便、无需高温或化学试剂等优势, 成为工程实践中通过机械作用实现芯片-衬底膜脱粘的常用技术^[2]. 现有研究通过“芯片-胶层-基底”结构理论模型的数值计算^[11]、界面剥离力学理论解析^[9,23]及仿真与实验研究^[19,21], 系统分析了芯片几何尺寸^[2]、衬底膜材料^[24-25]和初始裂纹状况^[9]等结构因素的影响, 并对顶针阵列排布^[2]、多工艺混合边界条件^[26-27]与工艺温度^[24]等关键工艺参数进行了深入解析. 针对芯片剥离的竞争行为的力学表征, Chen等^[2]提出了一种耦合材料失效和界面断裂行为的无量纲剥离健康指数, 评估了顶推工艺的应用效果, 但未能进一步针对实际工况的断裂行为判据建立实用剥离安全准则.

柔性微电子系统中, 当粘贴在无机薄膜刚性体上的柔性软胶带受拉时, 模量差异导致的界面滑动^[28]会显著影响产品性能和长期可靠性^[29-30]. 如图1(c)所示, 可以通过低角度拉伸弹性体的机械剥离手段实现胶粘结构界面剪切脱粘. 目前这种技术方法在晶圆级封装工艺中的实用效益尚未明确, 与顶推剥离方

法的工程效益对比缺乏具体安全指标. 因此将软基底的滚轮拉伸技术与传统机械剥离工艺相结合, 有望推动芯片剥离的工艺完善和技术进步.

本研究对滚轮卷拉和排针顶推两种技术进行芯片剥离工艺的工程效益对比. 建立“芯片-胶层-衬底”叠层结构模型, 采用解析解与准静态有限元仿真的交叉验证来确保模型准确性. 提出基于胶层界面断裂与芯片表面损伤双判据的竞争断裂行为理论, 构建剥离损伤指标并确立芯片剥离工艺的安全准则. 研究揭示了两种技术在芯片应力分布、胶层断裂模式及工艺损伤指标等方面的差异, 并提出通过卷拉-顶推组合荷载模式实现界面断裂能优化与芯片损伤抑制的工艺优化策略. 通过材料参数与几何尺寸进行工程实用测试, 探索了不同工况下的剥离技术适用性. 本研究为芯片剥离的力学机制进行了理论解释, 推动了高良率、低损伤芯片剥离技术发展, 为先进柔性电子封装技术的开发和产业化应用提供了科学依据.

1 芯片粘接叠层结构建模与仿真

1.1 粘接叠层结构解析建模

针对“硅基芯片-胶层-衬底膜”三层复合结构在滚轮卷拉工艺作用下的力学响应, 本研究基于弹性力学和断裂力学等理论建立了两种工艺荷载下的粘接叠层模型(如图2(a)~(b))进行芯片剥离行为分析^[31]. 该模型采用以下理论假设和简化条件: (1) 根据荷载与变形情况, 将三维剥离行为问题简化为二维平面应变模型问题. (2) 根据圣维南原理, 将滚轮卷拉荷载简化为衬底膜两端的集中力作用. (3) 根据结构几何与荷载的平面对称性, 仅对右半部分结构进行建模分析. 模型定义了芯片层、胶层和衬底层的几何尺寸(厚度 h_c, h_a, h_s 与长度 l_c, l_a, l_s)以及材料性质(弹性模量 E_c, E_a, E_s 和泊松比 ν_c, ν_a, ν_s)共12个特征参数.

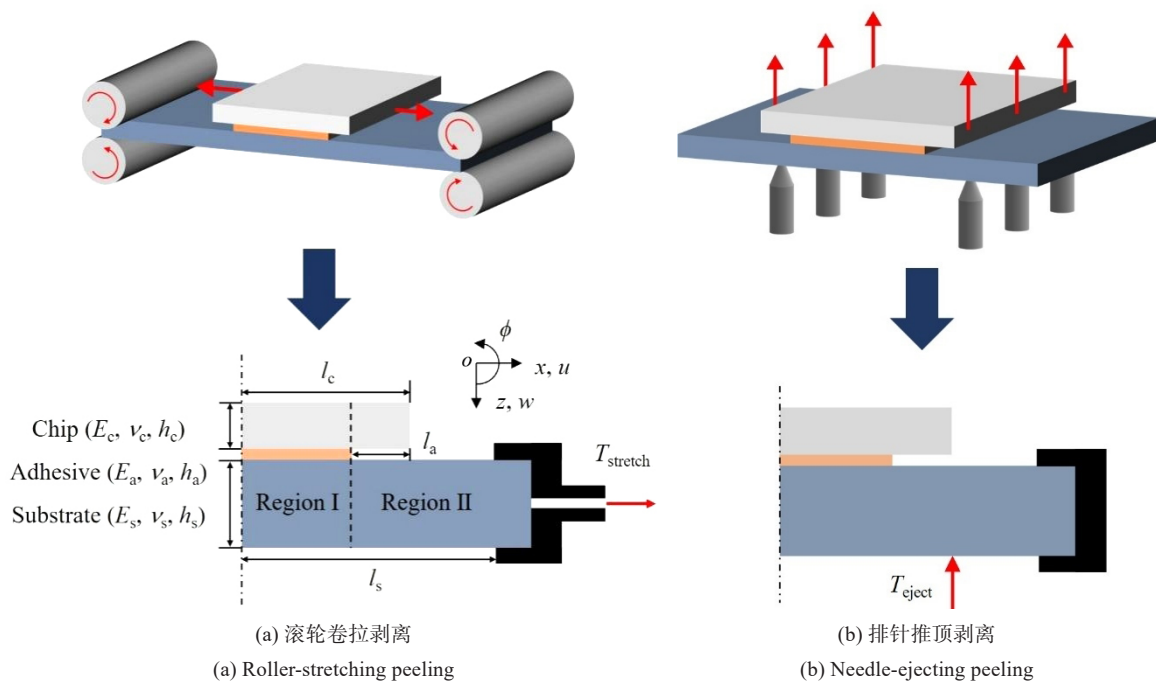


图2 两种芯片剥离工艺的平面应变简化模型

Fig.2 Simplified plane strain models for two chip peeling processes

基于Timoshenko梁理论, 根据胶层裂纹长度将结构划分为两个区域, 并建立芯片层和衬底层的局部坐标系 (x_j^i, y_j^i) , 其中 $i = c$ (芯片), s (衬底), 表示分层标识; $j = I, II$ 表示分区标识. 划分后的结构模型由粘接层合梁(I)和外伸单梁(II)两个部分拼接而成. 通过定义各层梁中性面轴向位移 $u_j^i(x)$ 、横向位移

$w_j^i(x)$ 及横截面转角 $\phi_j^i(x)$ 等基本量, 根据运动学关系^[32]建立芯片和基底层位移场表达式

$$\begin{cases} U_j^i(x, z) = u_j^i(x) + z\phi_j^i(x) \\ W_j^i(x, z) = w_j^i(x) \end{cases} \quad (1)$$

进而根据几何关系得到单层梁的应变场

$$\begin{cases} \varepsilon_j^i(x) = \frac{\partial U_j^i(x, z)}{\partial x} = \frac{du_j^i(x)}{dx} + z \frac{d\phi_j^i(x)}{dx} \\ \gamma_j^i(x) = \frac{\partial U_j^i(x, z)}{\partial z} + \frac{\partial W_j^i(x, z)}{\partial x} = \phi_j^i(x) + \frac{dw_j^i(x)}{dx} \end{cases} \quad (2)$$

对于线弹性材料的叠层梁, 依据胡克定律可分别得出单层梁的应力场表达式 $\sigma_j^i(x) = E^i \varepsilon_j^i(x)$, $\tau_j^i(x) = G^i \gamma_j^i(x)$, 其中 E^i 和 $G^i = E^i/2(1 + \nu^i)$ 分别为材料弹性与剪切模量. 对于平面应变模型, 需要作 $E^{i*} = E^i/(1 - \nu^{i2})$ 的有效模量替换. 通过对各层梁横截面积分, 得到梁微元段的轴力、剪力和弯矩表达式

$$\begin{cases} N_j^i(x) = \int \sigma_j^i(x) dS^i = A^i \frac{du_j^i(x)}{dx} \\ Q_j^i(x) = \int \tau_j^i(x) dS^i = C^i \left[\frac{dw_j^i(x)}{dx} + \phi_j^i(x) \right] \\ M_j^i(x) = \int z \sigma_j^i(x) dS^i = D^i \frac{d\phi_j^i(x)}{dx} \end{cases} \quad (3)$$

式中, $A^i = E^{i*} h_i$, $C^i = (5/6)G^i h_i$, $D^i = E^{i*} h_i^3/12$ 分别为拉伸、剪切和弯曲等效模量^[33].

假设薄胶层应力均匀分布, 将胶接层等效为线弹性弹簧^[23,31], 通过层合梁部分上下层的变形协调关系与胡克定律得到胶层内应变场和应力场如下

$$\begin{cases} \varepsilon_z^a(x) = \frac{W^s(x)|_{z=-1/2h_s} - W^c(x)|_{z=1/2h_c}}{h_a} = \frac{w^s(x) - w^c(x)}{h_a} \\ \gamma_{xz}^a(x) = \frac{U^s(x)|_{z=-1/2h_s} - U^c(x)|_{z=1/2h_c}}{h_a} = \frac{2u^s(x) - 2u^c(x) - h_c\phi^c(x) - h_s\phi^s(x)}{2h_a} \\ \sigma^a(x) = k_a^\sigma [w^s(x) - w^c(x)] \\ \tau^a(x) = k_a^\tau \left[u^s(x) - u^c(x) - \frac{h_c}{2}\phi^c(x) - \frac{h_s}{2}\phi^s(x) \right] \end{cases} \quad (4)$$

式中, $k_a^\sigma = E_a/[h_a(1 - \nu_a^2)]$, $k_a^\tau = E_a/[2h_a(1 + \nu_a)]$ 分别为胶层弹性与剪切刚度.

根据牛顿运动定律, 对准静态条件下芯片和衬底两层内力与层间应力传递关系作平衡分析 (如图3). 通过建立轴力平衡、剪力平衡和力矩平衡方程, 忽略高阶非线性项^[34]即可得粘接叠合梁的平衡微分关系

$$\begin{cases} \frac{dN_1^c}{dx} + \tau^a = 0, & \frac{dQ_1^c}{dx} + \sigma^a = 0, & \frac{dM_1^c}{dx} + \frac{\tau^a h_c}{2} - Q_1^c = 0 \\ \frac{dN_1^s}{dx} - \tau^a = 0, & \frac{dQ_1^s}{dx} - \sigma^a = 0, & \frac{dM_1^s}{dx} + \frac{\tau^a h_s}{2} - Q_1^s = 0 \end{cases} \quad (5)$$

将平衡微分方程(5)代入各层弹性方程(3), 并根据层间本构关系(4)消去位移项, 可得到胶层正、切应力的高阶微分方程

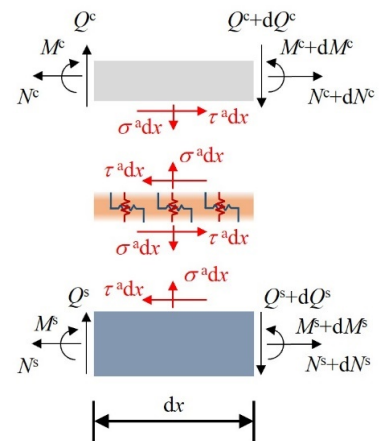


图3 叠层粘接结构的平衡微分关系

Fig.3 Differential equilibrium relationship of the laminated adhesive structure

$$\begin{cases} p_1 \frac{d^3 \tau^a}{dx^3} + p_2 \frac{d\tau^a}{dx} = p_3 \frac{d^4 \sigma^a}{dx^4} + p_4 \frac{d^2 \sigma^a}{dx^2} + p_5 \sigma^a \\ q_1 \frac{d^3 \tau^a}{dx^3} + q_2 \frac{d\tau^a}{dx} = q_3 \frac{d^4 \sigma^a}{dx^4} + q_4 \frac{d^2 \sigma^a}{dx^2} + q_5 \sigma^a \end{cases} \quad (6)$$

式中

$$\begin{pmatrix} p_1 & q_1 \\ p_2 & q_2 \\ p_3 & q_3 \\ p_4 & q_4 \\ p_5 & q_5 \end{pmatrix} = \begin{pmatrix} 0 & \frac{1}{k_\tau} \\ \frac{d^s h_s - d^c h_c}{2} & -\left(a^s + a^c + \frac{d^c h_c^2}{4} + \frac{d^s h_s^2}{4}\right) \\ \frac{1}{k_\sigma} & 0 \\ -(c^c + c^s) & 0 \\ d^s + d^c & \frac{d^c h_c - d^s h_s}{2} \end{pmatrix}$$

式中, $a^c = 1/A^c, a^s = 1/A^s, c^c = 1/C^c, c^s = 1/C^s, d^c = 1/D^c, d^s = 1/D^s$.

对胶层正、切应力表达式进行求导解耦, 即可得到仅含胶层正应力的高阶微分方程

$$A_1 \frac{d^6 \sigma^a}{dx^6} + A_2 \frac{d^4 \sigma^a}{dx^4} + A_3 \frac{d^2 \sigma^a}{dx^2} + A_4 \sigma^a = 0 \quad (7)$$

以及用正应力表示的胶层切应力关系式

$$\frac{d\tau^a}{dx} = \frac{1}{(d^s h_s - d^c h_c)} \left(\eta_1 \frac{d^4 \sigma^a}{dx^4} + \eta_2 \frac{d^2 \sigma^a}{dx^2} + \eta_3 \sigma^a \right) \quad (8)$$

式中

$$\begin{cases} A_1 = -\frac{1}{k_a^\sigma k_a^\tau} \\ A_2 = \frac{1}{k_a^\sigma} \left(a^s + a^c + \frac{d^c h_c^2}{4} + \frac{d^s h_s^2}{4} \right) + \frac{1}{k_a^\tau} (c^c + c^s) \\ A_3 = -(c^c + c^s) \left(a^c + a^s + \frac{d^c h_c^2}{4} + \frac{d^s h_s^2}{4} \right) - \frac{1}{k_a^\tau} (d^c + d^s) \\ A_4 = (d^c + d^s) \left(a^c + a^s + \frac{d^c h_c^2}{4} + \frac{d^s h_s^2}{4} \right) - \frac{(d^s h_s - d^c h_c)^2}{4} \\ \eta_1 = 2(d^c + d^s) \\ \eta_2 = -2(c^c + c^s) \\ \eta_3 = \frac{2}{k_a^\sigma} \end{cases}$$

对于高阶常系数线性微分方程(7), 采用特征根法可求解胶层正应力的解析表达式, 并根据正、切应力关系积分得到胶层切应力表达式, 因此可得胶层应力场解析如下

$$\begin{cases} \sigma^a(x) = \sum_{n=1}^6 \zeta_n e^{\lambda_n x} \\ \tau^a(x) = \frac{1}{d^c h_c - d^s h_s} \sum_{n=1}^6 \sum_{m=1}^3 \zeta_n \eta_m \lambda_n^{2m-3} e^{\lambda_n x} + \zeta_7 \end{cases} \quad (9)$$

式中, $\lambda_1, \lambda_2, \dots, \lambda_6$ 为特征方程的根, $\zeta_1, \zeta_2, \dots, \zeta_7$ 为待定积分常数. 将胶层应力表达式代入弹性方程, 可进一步解析粘接结构各层梁的内力与位移场

$$\begin{cases} N_1^c = -\int \tau^a dx + \zeta_8, & Q_1^c = -\int \sigma^a dx + \zeta_{10}, & M_1^c = \int Q_1^c dx - \frac{h_c}{2} \int \tau^a dx + \zeta_{12} \\ N_1^s = \int \tau^a dx + \zeta_9, & Q_1^s = \int \sigma^a dx + \zeta_{11}, & M_1^s = \int Q_1^s dx - \frac{h_s}{2} \int \tau^a dx + \zeta_{13} \\ u_1^c = a^c \int N_1^c dx + \zeta_{14}, & \phi_1^c = d^c \int M_1^c dx + \zeta_{16}, & w_1^c = \int (c^c Q_1^c - \phi_1^c) dx + \zeta_{18} \\ u_1^s = a^s \int N_1^s dx + \zeta_{15}, & \phi_1^s = d^s \int M_1^s dx + \zeta_{17}, & w_1^s = \int (c^s Q_1^s - \phi_1^s) dx + \zeta_{19} \end{cases} \quad (10)$$

对于外伸单梁区域的两个线弹性梁层, 芯片单梁视为外伸自由梁, 其内力与位移关系存在与连接端部内力与位移相关的简单表达式; 衬底单梁视为外伸固支梁, 其平衡微分关系为

$$\frac{dN_{II}^s}{dx} = 0, \quad \frac{dQ_{II}^s}{dx} - N_{II}^s \frac{d\phi_{II}^s}{dx} = 0, \quad \frac{dM_{II}^s}{dx} - Q_{II}^s = 0 \quad (11)$$

联立弹性方程(3), 通过位移法解析表达衬底单梁位移场

$$\begin{cases} u_{II}^s = \zeta_{20}x + \zeta_{21} \\ \phi_{II}^s = \frac{1}{2} \zeta_{22}x^2 + \zeta_{23}x + \zeta_{24} \\ w_{II}^s = -\frac{1}{6} \zeta_{22}x^3 - \frac{1}{2} \zeta_{23}x^2 + \zeta_{25}x + \zeta_{26} \end{cases} \quad (12)$$

将位移场代回弹性方程式(3)即可得到衬底单梁内力场

$$\begin{cases} N_{II}^s = A^s \zeta_{20} \\ Q_{II}^s = C^s (\zeta_{24} + \zeta_{25}) \\ M_{II}^s = D^s (\zeta_{22}x + \zeta_{23}) \end{cases} \quad (13)$$

式(10)、式(12)和式(13)即构成整个芯片粘接叠层结构各层内力和位移场的解析解. 通过已知荷载结合边界和连续性条件 (见附录A) 求解 26 个待定积分常数. 值得注意的是, 所有边界与连续性方程构成的矩阵不足以唯一确定所有待定积分常数, 需要结合积分解析式恒等条件确定 (见附录B). 此时可等阶构成关于待定积分常数 $\zeta_1, \zeta_2, \dots, \zeta_{26}$ 的矩阵关系式

$$\begin{bmatrix} \mathbf{E}_{BC} \\ \mathbf{F}_{ID} \end{bmatrix} \cdot \{\zeta\} = \mathbf{G} \quad (14)$$

式中, $\mathbf{E}_{BC}, \mathbf{F}_{ID}$ 分别为边界与连续性条件和积分解析式恒等条件构成的 26 阶线性无关系数矩阵, \mathbf{G} 为非零列向量. 通过矩阵算法可得到所有待定积分常数的代数表达式

$$\{\zeta_1 \quad \zeta_2 \quad \dots \quad \zeta_{26}\}^T = \{\zeta\} = \begin{bmatrix} \mathbf{E}_{BC} \\ \mathbf{F}_{LI} \end{bmatrix}^{-1} \mathbf{G} \quad (15)$$

1.2 芯片剥离工艺安全准则

基于上述理论模型, 可通过 MATLAB 实现实际工艺参数的解析计算. 针对芯片剥离过程的实际工程行为分析, 需重点研究双行为判据竞争机制的综合影响. 通过关键参数耦合分析, 可揭示胶层界面断裂与芯片表面损伤的竞争断裂行为^[2] (如图 4(a)). 基于材料强度理论, 若芯片结构最大拉伸应力 $\sigma_{t_{\max}}$ 超过材料极限应力 $[\sigma]$, 则判定为芯片脆性断裂 (如图 4(b)). 通过平面应变梁模型的内力关系推导, 可获得横截面上的正应力极值, 进而确定芯片整体结构的最大拉伸应力. 依据 Griffith 准则, 胶层界面的能量释放率 G_{peel} 与胶层临界断裂能 G_c 的相对关系可作为层间裂纹扩展行为的判据^[15] (如图 4(c)). 平面应变模型的断裂行为表现为张开型断裂和滑移型断裂的复合模式, 对于线弹性模型, 胶层界面端部的能量释放率可视为两种模式断裂能的线性叠加. 因此基于量纲分析定义工艺荷载下的剥离损伤指标

$$\Gamma_{\text{PDI}} = \frac{\sigma_{t_{\max}}^2 h_c}{G_{\text{peel}} E_c} \quad (16)$$

式中

$$G_{\text{peel}} = G_{\text{I}} + G_{\text{II}}, \quad \text{且} \quad \begin{cases} G_{\text{I}} = \begin{cases} \frac{(\sigma_{\text{tip}}^{\text{a}})^2}{2k_{\text{a}}^{\sigma}}, & (\sigma_{\text{tip}}^{\text{a}} \geq 0) \text{ (张开型断裂)} \\ 0, & (\sigma_{\text{tip}}^{\text{a}} < 0) \end{cases} \\ G_{\text{II}} = \frac{(\tau_{\text{tip}}^{\text{a}})^2}{2k_{\text{a}}^{\tau}} \text{ (滑移型断裂)} \end{cases}$$

$$\sigma_{\text{t_max}} = \max\{\sigma^{\text{c}}(x)\}, \quad \text{且} \quad \sigma^{\text{c}}(x) = \begin{cases} \frac{N_1^{\text{c}}(x)}{h_{\text{c}}} - \frac{6M_1^{\text{c}}(x)}{h_{\text{c}}^2} \text{ (上表面)} \\ \frac{N_1^{\text{c}}(x)}{h_{\text{c}}} + \frac{6M_1^{\text{c}}(x)}{h_{\text{c}}^2} \text{ (下表面)} \end{cases}$$

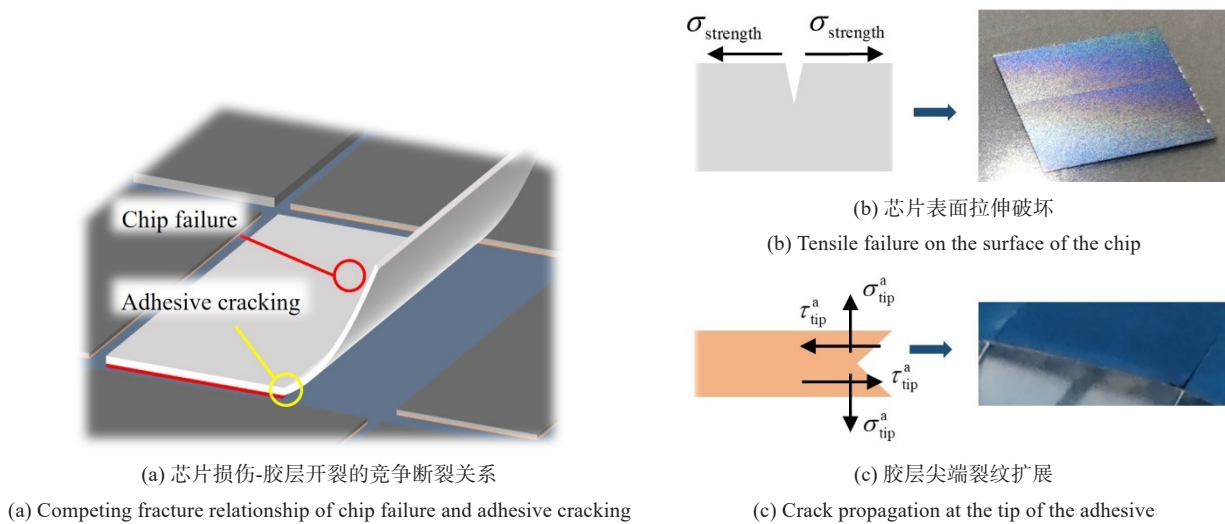


图 4 芯片剥离过程的关键力学行为

Fig.4 Key mechanical behaviors of chip peeling process

在工艺效益的对比分析中, 由于损伤指数 Γ_{PDI} 的无量纲性, 其数值变化与工艺荷载下的幅值无关, 且不受材料断裂阈值影响, 因此可直接作为评估剥离工艺效益的固有属性. Γ_{PDI} 值越低, 表明剥离荷载产生的芯片拉伸应力与胶层开裂能量释放率比值越低, 生产过程中的安全性较高, 当 Γ_{PDI} 趋向 0 时, 荷载作用全部转化为胶层界面能, 此时视为完全无损剥离状态. 结合工程实用的材料拉伸应力极限 $[\sigma^{\text{c}}]$ 和胶层临界断裂能 $(G^{\text{a}})_{\text{c}}$ 这两个对于关键行为的力学判据, 定义临界剥离损伤指标 $[\Gamma]$ 为

$$[\Gamma] = \frac{[\sigma^{\text{c}}]^2 h_{\text{c}}}{(G^{\text{a}})_{\text{c}} E_{\text{c}}} \quad (17)$$

由此确定芯片剥离工艺的双判据安全准则: 当某种剥离技术满足 $\Gamma_{\text{PDI}} \leq [\Gamma]$, 说明当这种工艺加载使得胶层达到临界断裂能 $(G^{\text{a}})_{\text{c}}$ 时, 芯片拉伸强度不致达到应力极限 $[\sigma^{\text{c}}]$, 则认为该工艺可实现准静态下的安全芯片剥离, Γ_{PDI} 值越低的剥离技术安全性越高. 需说明的是, 本安全准则仅适用于静力学剥离工况, 实际生产中为提高生产效率常采用高速加载, 因此在满足静力学安全剥离准则的工艺中, 宜优先选用 Γ_{PDI} 更低的实用技术来确保动态工况下的可靠性.

1.3 准静态有限元仿真设计

为确保理论模型的准确性, 通过 Abaqus 6.14 进行芯片剥离过程的有限元仿真数据验证. 如图 5(a)、

图6(a)所示, 仿真模型为包含芯片-胶层-衬底的三层对称半模型, 具体几何尺寸与材料参数如表1所示. 通过设置10组不同胶层裂纹长度(0~0.9*l_c*)的准静态加载工况, 开展多参数的响应分析. 在界面建模中采用“Tie”约束模拟层间粘合关系; 在网格划分中使用四节点双线性平面应变四边形(CPE4)单元, 并优化各层单元尺寸以确保网格密度满足收敛性. 在边界与荷载关系设定上, 对称界面处设置内力与位移分量的对称约束, 在卷拉工艺中, 对拉伸端部控制横向变形和转动, 并施加轴向均布拉力; 在顶推工艺中, 对端部设置固支条件, 并在排针位置施加集中推力. 控制分析步长以保证准静态加载状态, 提取芯片表面正应力场和胶层尖端应力场数据, 重点通过以下指标验证计算准确性: (1) 特定胶层裂纹长度下芯片表面正应力场分布; (2) 胶层开裂全过程的尖端应力场演化. 图5(b)~(d)、图6(b)~(d)对比结果表明, 理论模型与仿真数据在关键指标上高度吻合, 能够准确预测实际工艺的力学响应, 这为后续工艺参数的优化提供了可靠的理论依据, 同时证实了准静态模型解析持续剥离过程的合理性.

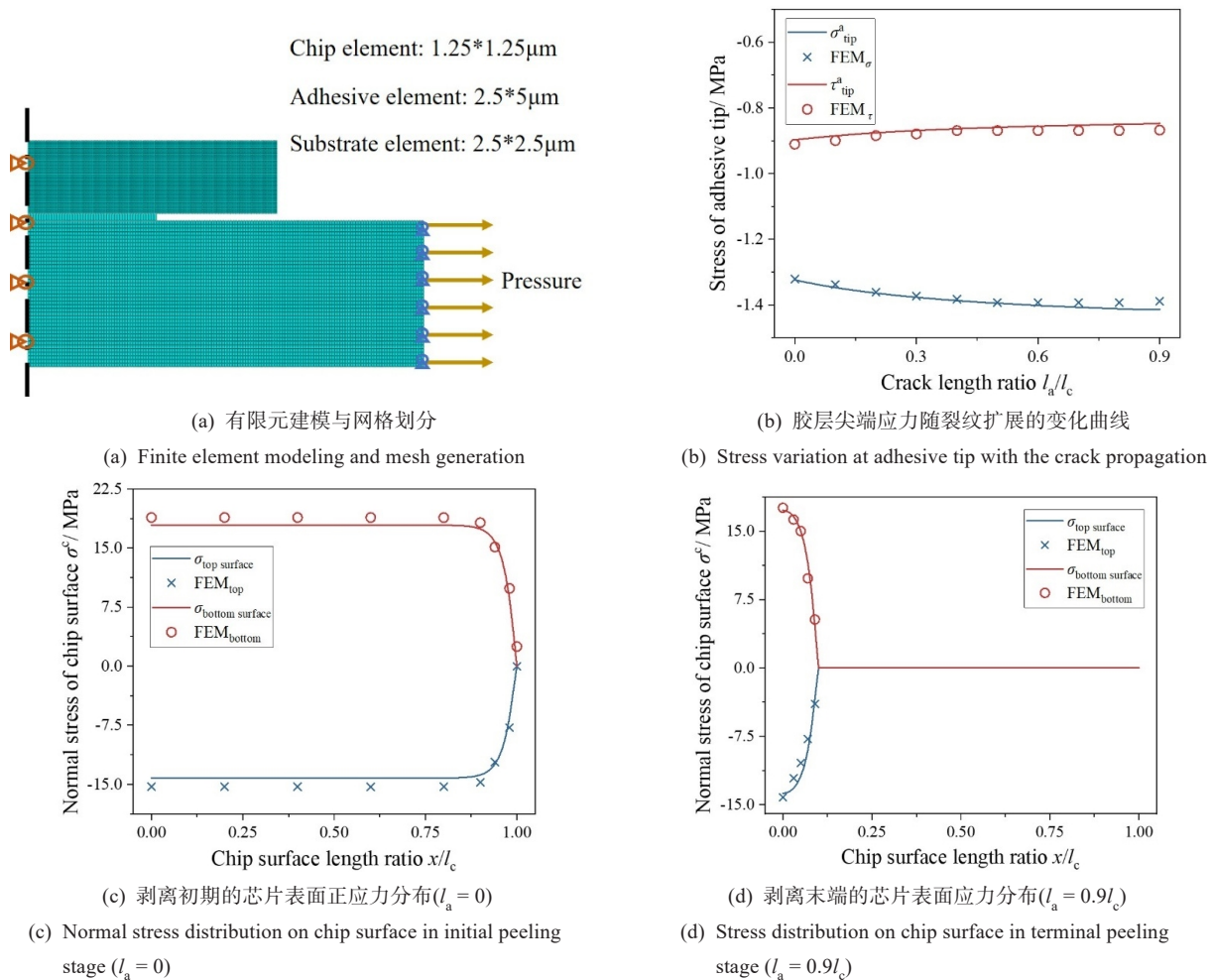


图5 卷拉剥离的仿真验证

Fig.5 Simulation verification of stretching peeling

2 卷拉-顶推效益对比

针对卷拉剥离和顶推剥离两种工艺方式的力学性能对比, 包含映射到实际生产中的工程安全性、效益性问题, 不仅需要针对不同工艺的损伤指标进行数据分析, 还需要重点探究荷载作用下的芯片应力场分布、胶层能量释放模式, 以及基于结构与材料实用参数考虑的工艺方案适应性等方面. 工艺对比所用层合结构的尺寸与材料特性参数与表1一致.

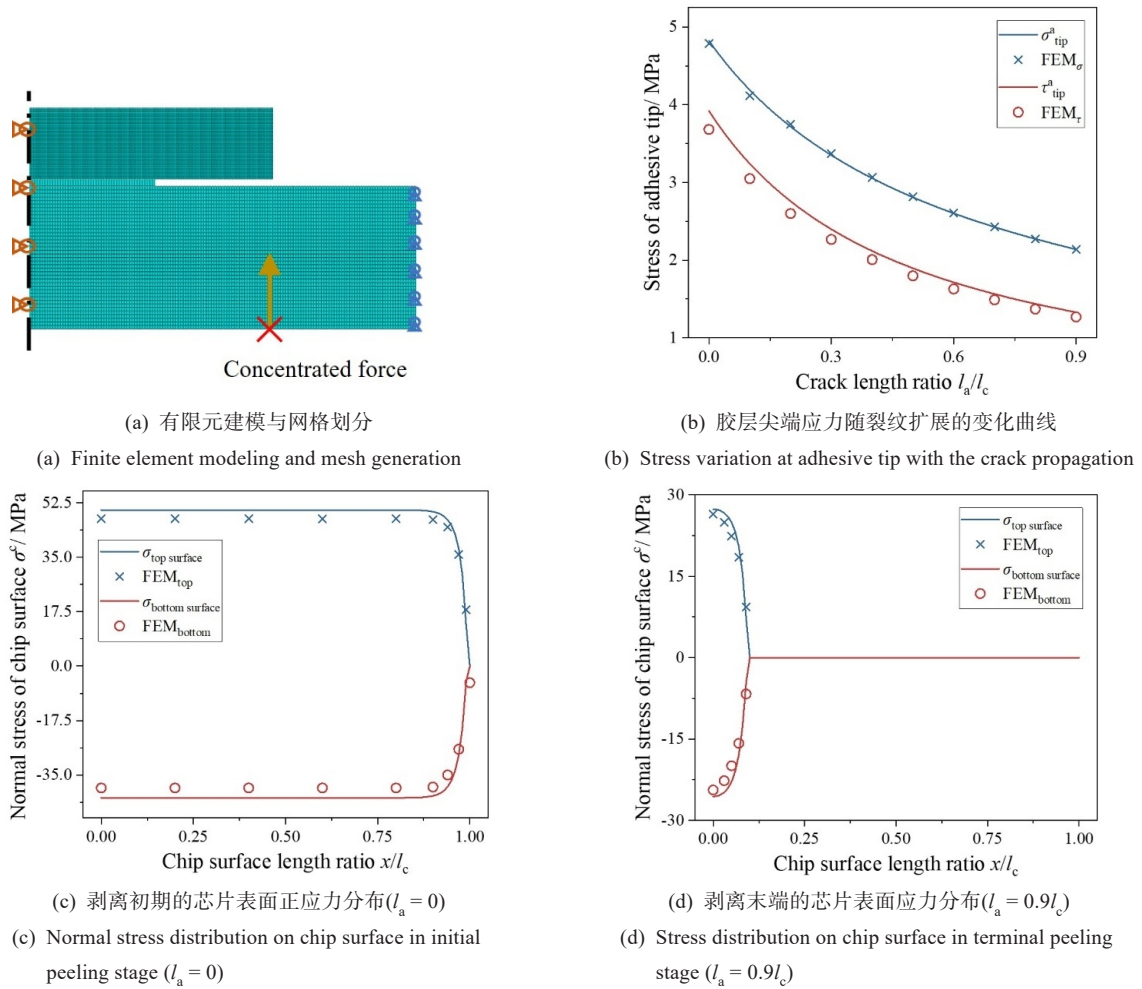


图 6 顶推剥离的仿真验证

Fig.6 Simulation verification of ejecting peeling

表 1 有限元仿真模型几何尺寸与材料参数

Tab.1 Geometric and material parameters of the finite element model

Layer	Elastic modulus/MPa	Poisson's ratio	Length/mm	Thickness/ μm
Chip	129 000	0.28	10	25
Adhesive	40	0.4	1~10	5
Substrate	160	0.45	15	100

2.1 芯片表面应力场分布

根据芯片表面拉伸脆断判据，芯片表面最大拉伸应力 $\sigma_{t_{\max}}$ 是剥离拾取过程中机械损伤行为的主要来源，因此剥离工艺下的芯片上下表面的正应力场分布，尤其是受拉表面的应力状态，是评估芯片安全状态的重要指标。通过量纲分析，定义与荷载强度无关的表征拉伸应力 $\sigma_t^*(T_m) = \sigma^c l_c / T_m$ ，其中 $m = \text{stretch}$ 或 eject 表示剥离荷载，分析了两种工艺下芯片受拉表面应力场在裂纹扩展全过程中的分布特征（如图 7(a)~(b)）。结果表明，两种工艺荷载下的芯片表面应力均呈现平稳分布，且在接近胶层尖端处应力骤降。因此芯片剥离过程的表面最大拉伸应力可近似用受拉表面中心位置的应力值表征。结合图 5、图 6 所示的芯片上下表面应力分布对比，卷拉和顶推荷载作用下的应力场呈现反对称关系：卷拉荷载作用时，芯片上表面受压、下表面受拉；顶推荷载作用时，芯片上表面受拉、下表面受压，这种应力分布差异导致两种工艺的潜在损伤位置不同，从而对芯片的后续生产与应用产生不同影响：(1) 卷拉工艺可能造成的损伤集中在芯片背面的硅晶片基板侧。这种背面损伤在常规电路检测中可能无法及时发现，若

受损芯片被用于柔性电子封装, 可能严重影响产品使用寿命和良品率. (2) 顶推工艺可能造成的损伤位于芯片上表面的集成电路功能区. 虽然表面损伤可能直接导致电路失效, 但在后续检测流程中易于识别, 可及时剔除残次品从而避免进一步制造浪费. 综合来看, 从芯片损伤对后续工艺的影响角度分析, 顶推工艺更有利于保障生产线的技术流畅性和生产良品性, 从而提高整体工程效率.

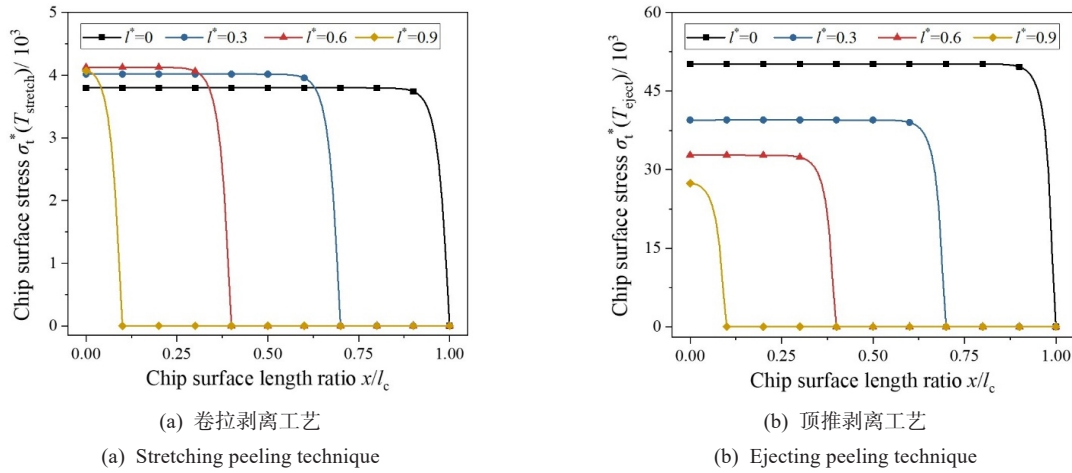


图7 不同裂纹比长度($l^* = l_a/l_c$)下两种剥离工艺的芯片受拉表面正应力分布

Fig.7 Normal stress distribution on the tensile surface of two peeling processes under different crack length ratios ($l^* = l_a/l_c$)

针对芯片表面中心应力危险点, 通过分析两种工艺作用下的表征表面最大拉伸应力 $\sigma_{t,max}^*(T_m)$ 随裂纹扩展的变化趋势 (如图8) 可得, 恒力卷拉作用的芯片表面最大拉伸应力随裂纹扩展呈递增趋势, 并在临近完全分层时达到峰值后略有下降; 恒力顶推作用的芯片表面最大拉伸应力随裂纹扩展持续递减. 这表明在准静态加载剥离过程中, 若恒力工艺加载值可以使得胶层裂纹完全扩展, 则卷拉工艺在胶层裂纹临近完全扩展时达到风险最高阶段, 而顶推工艺的风险最高阶段出现在胶层裂纹初始扩展时期. 这种工艺风险阶段的差异性为技术优化提供了不同的改进路径, 卷拉剥离技术可以相对安全地实现芯片的初步脱粘 (即胶层未完全开裂的不充分分层状态), 并通过精准控制裂纹扩展至风险阶段时中止, 结合真空拾取等辅助工艺完成最终剥离. 而顶推剥离技术在分层初始阶段即面临较大技术风险, 可能直接造成芯片的剥离损伤.

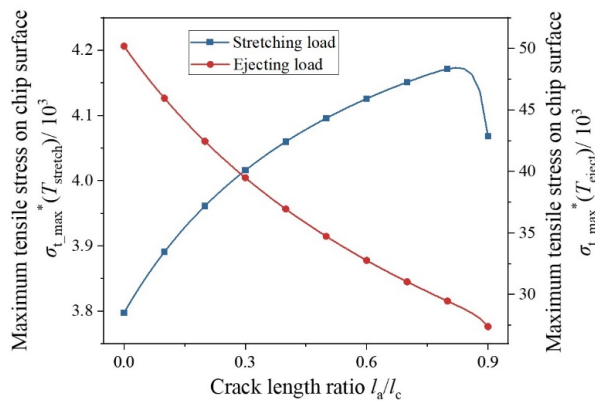


图8 两种工艺下芯片表面最大拉伸应力随裂纹扩展的变化曲线

Fig.8 Tensile stress variation on chip surface under two processes with the crack propagation

2.2 胶层尖端断裂能量模式

基于层间裂纹扩展判据, 芯片-衬底的分层过程可表征为胶层微裂纹尖端应力场引发的内聚力破坏, 其本质是张开型断裂 (正应力主导) 和滑移型断裂 (切应力主导) 的线性叠加. 通过量纲分析定义与荷

载强度无关的表征断裂能 $G^*(T_m) = G_{peel} E_a h_a / T_m^2$, 对比两种工艺下胶层尖端断裂能随裂纹扩展的演化规律 (如图 9(a)~(b)). 结果表明, 两种工艺荷载具有胶层尖端断裂能随着裂纹扩展呈现递减趋势的共性规律, 说明剥离加载可实现裂纹稳定扩展, 且可通过荷载调控实现裂纹长度控制. 两种工艺的断裂能构成模式不同, 卷拉工艺下的断裂能完全由滑移型分量 G_{II} 构成, 表明其分层行为是纯剪切型断裂^[35], 可以实现零角度小挠度的分层行为^[29-30]. 顶推工艺下的断裂能中滑移型分量 G_{II} 占比随裂纹扩展持续降低, 而张开型分量 G_I 占比逐渐升高, 呈现混合型断裂模式. 结合图 5、图 6 可得卷拉荷载下裂纹尖端形成压应力场, 可能诱发胶层硬化效应, 从而阻碍裂纹稳定扩展; 分层界面在剥离过程中存在局部闭合倾向, 易导致二次粘连. 而顶推荷载引起的混合型断裂行为产生裂纹尖端的拉应力场, 使得分层界面呈现张开趋势从而避免二次粘连, 且随裂纹扩展增强的 G_I 分量有利于实现稳定可控的分层. 因此从断裂模式角度分析, 顶推工艺因混合型断裂特性, 即界面张开效应, 展现出更优的剥离可控性与工艺稳定性.

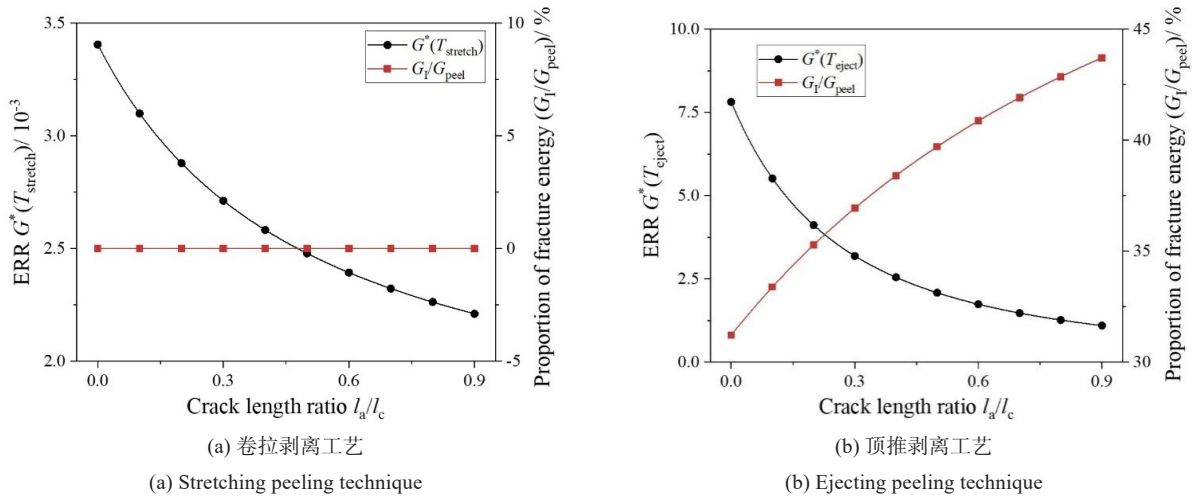


图 9 两种工艺下胶层尖端断裂能及模式占比随裂纹扩展的变化曲线

Fig.9 Fracture energy and proportion of modes variation at adhesive tip with crack propagation under the two processes

2.3 剥离工艺安全性能指标

如 1.2 所述, 芯片表面最大拉伸应力和胶层尖端能量释放率是评估芯片剥离工艺安全性的核心指标, 分别对应材料强度极限和断裂能临界值. 安全无损的芯片剥离过程需满足以下条件: 在胶层裂纹扩展全过程中, 当胶层尖端能量释放率达到临界值时, 芯片表面最大拉伸应力始终低于材料极限应力. 基于剥离安全指标是与荷载强度无关的竞争断裂行为耦合表述, 可以假设荷载使裂纹全过程处于临界扩展状态, 通过剥离损伤指标判定工艺安全性. 如图 10 所示, 卷拉工艺的损伤指标随裂纹扩展递增, 表明在临近完全脱粘阶段存在显著技术风险, 与芯片表面最大拉伸应力曲线变化规律一致. 顶推工艺的损伤指标全程平稳且显著低于卷拉工艺, 验证其更高的工艺安全性. 针对一种工程实例验证, 进行超薄硅基晶片 ($[\sigma^c] = 130 \text{ MPa}$) 与狮立昂 6360-80 型号 UV 膜 ($(G^a)_c = 4 \text{ N/m}$) 的脱粘工况考虑, 卷拉工艺损伤指标超过临界指标 $[I]$, 表明其在此工况下不具备实际应用的可能性.

结合上述讨论, 兼顾卷拉和顶推技术的安全性

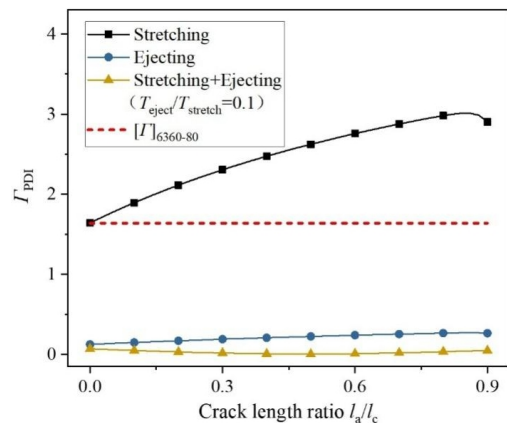


图 10 不同剥离工艺的损伤指标曲线对比

Fig.10 Comparison of PDI curves under different peeling processes

安全性与力学行为优势, 提出如图 11 所示的卷

拉-顶推复合加载策略. 如图10所示, 复合施加 $T_{\text{eject}}/T_{\text{stretch}} = 0.1$ 的卷拉-顶推工艺的损伤指标较单独顶推工艺更低, 说明这种工艺复合可以实现安全性更高的芯片剥离技术. 这种复合工艺的应用优势也可以通过芯片剥离的表面应力场复合和胶层能量模式优化来分析: 复合工艺的响应情况是两种工艺响应的线性叠加, 卷拉与顶推荷载形成的反对称应力场叠加实现表面应力强度中和; 且卷拉与顶推荷载在胶层尖端形成的不同模式的断裂能叠加, 包含I型断裂能的抵消和II型断裂能的叠加, 构成II型断裂主导的低角度小挠度剥离分层行为. 卷拉-顶推复合荷载存在降低芯片应力场和优化断裂模式的显著优势, 在后续研究中通过重点探究最优荷载比, 可以建立高安全性剥离工艺的指导准则.

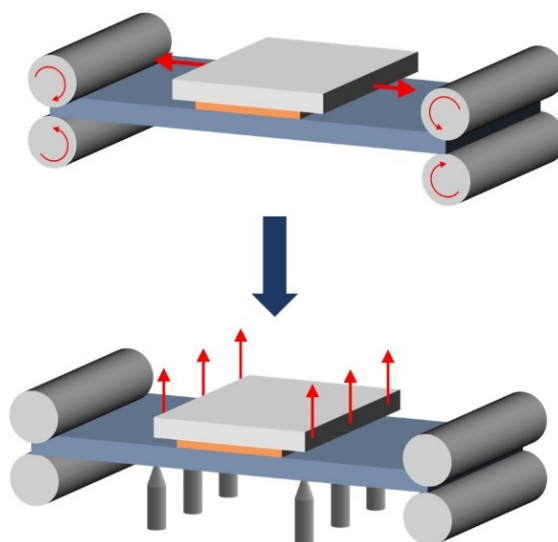


图11 卷拉-顶推复合剥离方案

Fig.11 Stretching-ejecting composite peeling scheme

2.4 材料特性与几何尺寸影响

Chen等^[2]的研究中表明, 应用顶推工艺时选用较薄、较软的衬底材料具有更高的剥离安全性. 针对卷拉工艺的工程适用性, 通过分析不同衬底材料与尺寸的影响机制 (如图12), 发现衬底材料特性对卷拉工艺安全性具有显著调控作用, 弹性模量越低, 卷拉工艺的损伤指标越小, 表明选用低模量软衬底可有效降低卷拉工艺风险. 在衬底厚度参数研究中 (如图13) 发现, 随着衬底厚度增加, 裂纹扩展初期的损伤指标显著降低, 而扩展末期的损伤指标呈现先升高后下降的非单调趋势. 结合卷拉工艺在裂纹临近完全扩展阶段的高风险性, 可通过其他工艺辅助完成剥离, 因此趋向选用较厚的衬底, 从而保障初始裂纹扩展的工艺关键阶段安全性.

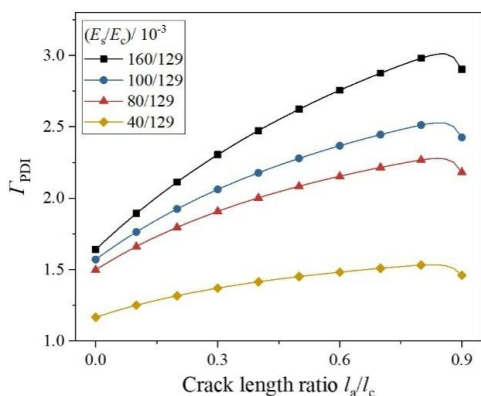


图12 衬底材料对卷拉剥离的损伤指标影响

Fig.12 Effect of substrate material on PDI of stretching

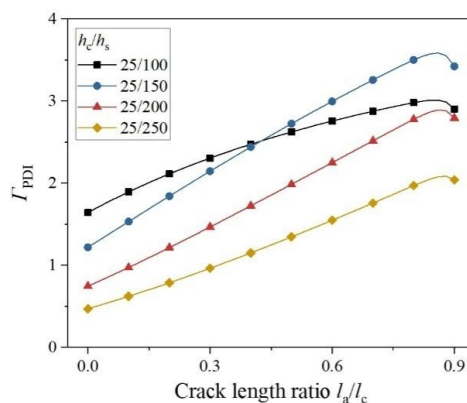


图13 衬底厚度对卷拉剥离的损伤指标影响

Fig.13 Effect of substrate thickness on PDI of stretching

针对芯片面内尺寸的适应性分析 (图14) 表明, 芯片增大时, 裂纹扩展初期的损伤指标越低, 且不同长度芯片在胶层裂纹扩展末期的峰值趋近, 较厚芯片的损伤指标峰值点更接近裂纹末端. 同样根据卷拉工艺的主要应用阶段分析, 较大尺寸的芯片比较适合应用卷拉工艺实现剥离. 结合图15所示规律: 芯片厚度增加可显著降低裂纹扩展全过程的损伤指标, 表明大厚度芯片更适宜采用卷拉工艺. 综合芯片与衬底实用工况测试可知, 对于大尺寸厚芯片的剥离工艺, 使用软厚衬底膜上施加卷拉荷载能够实现较高的工程适用性.

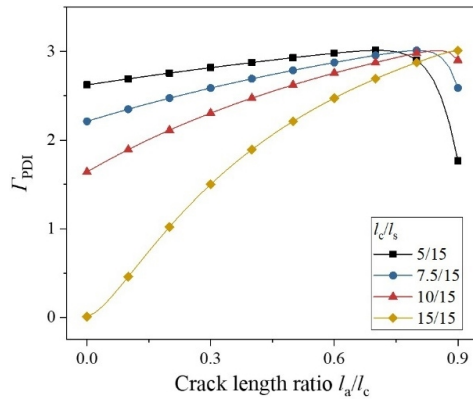


图14 芯片长度对卷拉剥离的损伤指标影响
Fig.14 Effect of chip length on PDI of stretching

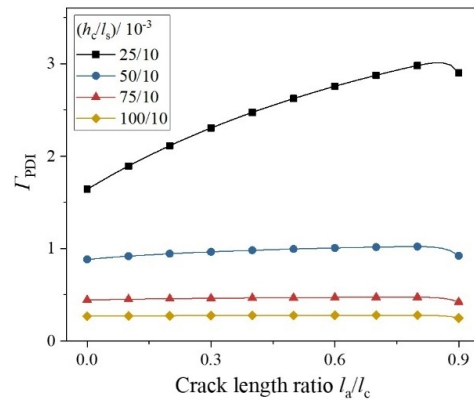


图15 芯片厚度对卷拉剥离的损伤指标影响
Fig.15 Effect of chip thickness on PDI of stretching

3 结论

本研究通过构建“芯片-胶层-衬底”叠层结构的理论模型，结合有限元数值模拟验证方法，系统揭示了卷拉与顶推两种芯片剥离工艺的力学行为差异，并提出了基于竞争断裂行为的双判据安全准则，为超薄芯片的无损剥离技术提供了理论支撑与优化路径。主要结论如下

(1) 力学行为与失效机制上，卷拉与顶推工艺在应力场分布和断裂能量模式上呈现显著差异。卷拉工艺使得芯片下表面受拉，胶层尖端呈现剪切型断裂，裂纹扩展后期易引发芯片损伤；顶推工艺使得芯片上表面受拉，胶层断裂为张开-剪切混合模式，裂纹扩展初期风险较高。顶推工艺的整体损伤易检测性和分层界面张开效应显著优于卷拉工艺，工程应用中的安全性更高。

(2) 复合工艺的创新策略上，提出卷拉-顶推组合工艺方案，通过荷载叠加实现应力场中和与断裂模式优化，抑制芯片损伤风险同时提升分层可控性，为高安全性剥离技术提供了新思路。

(3) 工程适用性规律上，低模量软质厚衬底选择可显著降低卷拉工艺风险；大尺寸厚芯片在工艺适配性上体现了卷拉剥离技术的工程实用价值。

参考文献:

- [1] 冯雪, 陆炳卫, 吴坚, 等. 可延展柔性无机微纳电子器件原理与研究进展[J]. 物理学报, 2014, 63(1):9-26.
Feng X, Lu B W, Wu J, et al. Review on stretchable and flexible inorganic electronics[J]. Acta Physica Sinica, 2014, 63(1):9-26(in Chinese).
- [2] Chen S, Lyu W, Wang G, et al. Mechanics analysis of ultra-thin chip peeling from substrate under multi-needle-ejecting and vacuum-absorbing[J]. International Journal of Solids and Structures, 2021, 224:111009.
- [3] Feil M, Adler C, Hemmetzberger D, et al. The challenge of ultra thin chip assembly[C]// 54th Electronic Components and Technology Conference, Las Vegas, NV: IEEE, 2004:35-40.
- [4] Cai S, Han Z, Wang F, et al. Review on flexible photonics/electronics integrated devices and fabrication strategy[J]. Science China-Information Sciences, 2018, 61(6):060410.
- [5] Lee J Y, Ju J E, Lee C, et al. Novel fabrication techniques for ultra-thin silicon based flexible electronics[J]. International Journal of Extreme Manufacturing, 2024, 6(4):042005.
- [6] Burghartz J N, Appel W, Harendt C, et al. Ultra-thin chip technology and applications, a new paradigm in silicon technology[J]. Solid-State Electronics, 2010, 54(9):818-829.
- [7] Dong Z, Lin Y. Ultra-thin wafer technology and applications: A review[J]. Materials Science in Semiconductor Processing, 2020, 105:104681.

- [8] Gupta S, Navaraj W T, Lorenzelli L, et al. Ultra-thin chips for high-performance flexible electronics[J]. *Npj Flexible Electronics*, 2018, 2(1):8.
- [9] Peng B, Huang Y, Yin Z, et al. Analysis of interfacial peeling in IC chip pick-up process[J]. *Journal of Applied Physics*, 2011, 110(7):073508.
- [10] Shen J, He Z, Chen H, et al. Exploiting interfacial instability during peeling a flexible plate from elastic films[J]. *Journal of the Mechanics and Physics of Solids*, 2024, 192:105821.
- [11] Cheng T H, Tseng C H, Hung C H. Analysis of stresses in adhesive joints applicable to IC chips using symbolic manipulation and the numerical method[J]. *Journal of Adhesion Science and Technology*, 2006, 20(15):1669-1692.
- [12] Park J E, Jasiuk I, Zubelewicz A. Stresses and fracture at the chip/underfill interface in flip-chip assemblies[J]. *Journal of Electronic Packaging*, 2003, 125(1):44-52.
- [13] Edde F, Verreman Y. On the fracture parameters in a clamped cracked lap shear adhesive joint[J]. *International Journal of Adhesion and Adhesives*, 1992, 12(1):43-48.
- [14] Fan X J, Wang H B, Lim T B. Investigation of the underfill delamination and cracking in flip-chip modules under temperature cyclic loading[J]. *IEEE Transactions on Components and Packaging Technologies*, 2001, 24(1):84-91.
- [15] Krenk S. Energy-release rate of symmetrical adhesive joints[J]. *Engineering Fracture Mechanics*, 1992, 43(4):549-559.
- [16] Saiki N, Inaba K, Kishimoto K, et al. Study on peeling behavior in pick-up process of IC chip with adhesive tapes[J]. *Journal of Solid Mechanics and Materials Engineering*, 2010, 4(7):1051-1060.
- [17] Zhang Z, Yoon J, Suo Z. Method to analyze dislocation injection from sharp features in strained silicon structures[J]. *Applied Physics Letters*, 2006, 89(26):261912.
- [18] Feron M, Zhang Z, Suo Z, et al. Split singularities and dislocation injection in strained silicon[J]. *Journal of Applied Physics*, 2007, 102(2):023502.
- [19] Jaddi S, Coulombier M, Raskin J P, et al. Crack on a chip test method for thin freestanding films[J]. *Journal of the Mechanics and Physics of Solids*, 2019, 123:267-291.
- [20] Long H, Liu Y, Yin H, et al. 90-degree peeling of elastic thin films from elastic soft substrates: Theoretical solutions and experimental verification[J]. *Journal of the Mechanics and Physics of Solids*, 2024, 193:105855.
- [21] Rusinowicz M, Parry G, Volpi F, et al. Failure of a brittle layer on a ductile substrate: Nanoindentation experiments and FEM simulations[J]. *Journal of the Mechanics and Physics of Solids*, 2022, 163:104859.
- [22] 刘庆辉, 方敏, 乔丕忠. 基于多层模拟方法的双层梁断裂有限元分析[J]. *力学季刊*, 2023, 44(1):45-55.
Liu Q H, Fang M, Qiao P Z. Fracture analysis of delaminated bilayer beam using fea based on multi-layer modelling method[J]. *Chinese Quarterly of Mechanics*, 2023, 44(1):45-55(in Chinese).
- [23] Peng B, Huang Y, Yin Z, et al. Competing fracture modeling of thin chip pick-up process[J]. *IEEE Transactions on Components Packaging and Manufacturing Technology*, 2012, 2(7):1217-1225.
- [24] Huang Y, Chen J, Yin Z, et al. Roll-to-roll processing of flexible heterogeneous electronics with low interfacial residual stress[J]. *IEEE Transactions on Components Packaging and Manufacturing Technology*, 2011, 1(9):1368-1377.
- [25] Peng Z, Chen S. Effect of pre-tension on the peeling behavior of a bio-inspired nano-film and a hierarchical adhesive structure[J]. *Applied Physics Letters*, 2012, 101(16):163702.
- [26] Lin Y J, Hwang S J. Static analysis of the die picking process[J]. *IEEE Transactions on Electronics Packaging Manufacturing*, 2005, 28(2):142-149.
- [27] Liu Z, Huang Y, Chen J, et al. Tunable peeling technique and mechanism of thin chip from compliant adhesive tapes[J]. *IEEE Transactions on Components Packaging and Manufacturing Technology*, 2014, 4(4):560-568.
- [28] 杨骁, 温鑫, 卫盼朝, 等. 考虑界面滑移效应的组合裂纹梁弯曲解析解[J]. *力学季刊*, 2022,

43(2):382-394.

Yang X, Wen X, Wei P C, et al. Analytical solution of bending of composite cracked beam with effect of interface slip[J]. Chinese Quarterly of Mechanics, 2022, 43(2):382-394(in Chinese).

- [29] Zhu Z, Xia Y, Jiang C, et al. Investigation of zero-degree peeling behavior of visco-hyperelastic highly stretchable adhesive tape on rigid substrate[J]. Engineering Fracture Mechanics, 2021, 241:107368.
- [30] Zhu Z, Xia Y, Li J, et al. Rate dependent shear debonding between a highly stretchable elastomer and a rigid substrate: Delayed debonding and pre-stretch effect[J]. Engineering Fracture Mechanics, 2019, 222:106743.
- [31] Liu H, Liu Z, Xu Z, et al. Competing fracture of thin-chip transferring from/onto prestrained compliant substrate[J]. Journal of Applied Mechanics-Transactions of the ASME, 2015, 82(10):101012.
- [32] Bennati S, Colleluori M, Corigliano D, et al. An enhanced beam-theory model of the asymmetric double cantilever beam (ADCB) test for composite laminates[J]. Composites Science and Technology, 2009, 69(11-12):1735-1745.
- [33] Öchsner A. Classical beam theories of structural mechanics[M]. Cham: Springer, 2021.
- [34] Meirovitch L. Fundamentals of vibrations[M]. Singapore: McGraw-Hill Companies, 2001.
- [35] 多依丽, 谢禹钧, 海军, 等. 基于能量释放率的II型裂纹分叉研究[J]. 力学季刊, 2019, 40(1):167-174.
Duo Y L, Xie Y J, Hai J, et al. Study of crack-branching from mode-II crack tip based on energy release rate[J]. Chinese Quarterly of Mechanics, 2019, 40(1):167-174(in Chinese).

附录 A 边界与连续性条件

芯片叠层结构存在内力与位移的混合边界条件, 同时在分区衔接处存在内力和位移的连续性条件. 在对称面边界处有

$$\begin{aligned} \{u, \phi, Q\}_I^c \Big|_{x_1^c=0} &= 0 \\ \{u, \phi, Q\}_I^s \Big|_{x_1^s=0} &= 0 \end{aligned} \quad (\text{A.1})$$

对于卷拉工艺, 在衬底固支边界上存在轴向力的卷拉荷载, 即有

$$\{N, w, \phi\}_{II}^s \Big|_{x_{II}^s=l_s-l_c} = \{T_{\text{stretch}}, 0, 0\} \quad (\text{A.2})$$

对于顶推工艺, 在衬底固支边界上有

$$\{u, w, \phi\}_{II}^s \Big|_{x_{II}^s=l_s-l_c} = 0 \quad (\text{A.3})$$

在叠层梁和单梁的分区衔接处有

$$\begin{aligned} \{N, Q, M\}_I^c \Big|_{x_1^c=l_c-l_a} &= 0 \\ \{N, Q, M\}_I^s \Big|_{x_1^s=l_a} &= \{N, Q, M\}_{II}^s \Big|_{x_{II}^s=0} \\ \{u, w, \phi\}_I^s \Big|_{x_1^s=l_a} &= \{u, w, \phi\}_{II}^s \Big|_{x_{II}^s=0} \end{aligned} \quad (\text{A.4})$$

对于顶推工艺, 衬底受顶推剪力处存在内力与位移的连续性条件, 即有

$$\begin{aligned} \{N, Q, M\}_{II}^s \Big|_{x_{II}^s=l_a^-} &= \{N, Q - T_{\text{eject}}, M\}_{II}^s \Big|_{x_{II}^s=l_a^+} \\ \{u, w, \phi\}_{II}^s \Big|_{x_{II}^s=l_a^-} &= \{u, w, \phi\}_{II}^s \Big|_{x_{II}^s=l_a^+} \end{aligned} \quad (\text{A.5})$$

此时衬底单梁需要作分段考虑, 而内力与位移的连续性条件个数满足新增段的内力与位移的解析计算要求.

附录B 积分解析式恒等条件

考虑解析表达式各项积分常数的协调性关系, 将粘接结构的内力与位移表达式(10)重新代回层间变形协调关系(4)的胶层正应力式可得

$$\begin{aligned} \frac{1}{k_a^\sigma} \sigma^a = & -(d^c + d^s) \iiint \sigma^a dx^4 + (c^c + c^s) \iiint \sigma^a dx^3 + \frac{d^s h_s - d^c h_c}{2} \iiint (\tau^a - \zeta_7) dx^3 + \\ & \frac{d^c}{6} \left(\zeta_{10} - \frac{h_c}{2} \zeta_7 \right) x^3 - \frac{d^s}{6} \left(\zeta_{11} - \frac{h_s}{2} \zeta_7 \right) x^3 + \frac{d^c \zeta_{12} - d^s \zeta_{13}}{2} x^2 + \\ & (c^c \zeta_{10} - c^s \zeta_{11} + \zeta_{16} - \zeta_{17}) x + \zeta_{19} - \zeta_{18} \end{aligned} \quad (\text{B.1})$$

考虑到解析表达式应对自变量 x 在取值范围内处处有解, 说明关于 x 各阶项的系数为零, 即可得到积分解析式的恒等条件

$$\begin{cases} (d^c h_c - d^s h_s) \zeta_7 - 2d^c \zeta_{10} + 2d^s \zeta_{11} = 0 \\ d^s \zeta_{13} - d^c \zeta_{12} = 0 \\ c^c \zeta_{10} - c^s \zeta_{11} + \zeta_{17} - \zeta_{16} = 0 \\ \zeta_{18} - \zeta_{19} = 0 \end{cases} \quad (\text{B.2})$$

同理代入胶层切应力式, 可得积分解析式的恒等条件

$$\begin{cases} (4a^c + 4a^s + d^c h_c^2 + d^s h_s^2) \zeta_7 - 2d^c h_c \zeta_{10} - 2d^s h_s \zeta_{11} = 0 \\ 2a^s \zeta_9 - 2a^c \zeta_8 - d^c h_c \zeta_{12} - d^s h_s \zeta_{13} = 0 \\ 2\zeta_7 - k_a^\tau (2\zeta_{15} - 2\zeta_{14} - h_c \zeta_{16} - h_s \zeta_{17}) = 0 \end{cases} \quad (\text{B.3})$$

对于单梁部分, 将内力场式(13)代入平衡微分关系(11)中第3式可得

$$d^s (\zeta_{24} + \zeta_{25}) - 2c^s \zeta_{22} = 0 \quad (\text{B.4})$$