

· 卷首语 ·

# 发展异质集成电路,提升射频电子技术

射频电子技术是无线通信、物联网、雷达导航等应用领域的核心技术。以 III-V 族为代表的化合物半导体电路由于优异的材料与器件高频性能,很适合射频应用,但其集成度和复杂功能等性能不足,成本高。硅基工艺电路虽然集成度大、成本低,但噪声、功率、动态范围等性能不足,并且摩尔定律已面临极限。

射频异质集成电路可将 GaAs、InP 等化合物半导体材料的高性能射频元器件、芯片与硅基低成本、高集成度、高复杂度的数字和模拟混合电路模块,通过异质生长或键合等方式集成为一个完整的 2~3 维集成电路,充分发挥了各种材料、器件与结构的优势。

射频异质集成电路是当前射频电子技术的主流发展方向之一,美国、欧洲、日本等都非常重视,近 10 年投入大量物力、人力进行研发,如美国 DARPA 设立了硅基化合物半导体材料(COSMOS)和多样化可用异质集成(DAHI)2 个计划。

## 1 目前主流的异质集成技术

1) 单片异质外延生长技术。包括一个埋入的 III-V 族化合物构成的模板层,在其上外延生长高质量的 III-V 族器件。模板层兼容标准的硅基互补金属氧化物半导体(CMOS)工艺,但后续 III-V 族器件的制备与标准 CMOS 工艺不兼容,需要额外工艺配合。

2) 外延层转移技术。一种典型工艺步骤为,InP 晶圆上先外延生长 InP 双异质结晶体管(DHBT)外延层,随后通过载片将刻蚀掉 InP 衬底的外延层转移键合到带有粘合层的 Si 衬底上,制作出 InP 器件及其与 CMOS 器件之间的金属互连。

3) 小芯片微米级组装技术。先在标准 CMOS 和 CS 等工艺规范下设计实现具有部分结构和功能的电路单元,采用后道工艺在 CMOS 和 CS 衬底表面制作出部分金属互连



毛军发,湖南邵阳人,电子学家,中国科学院院士。现任上海交通大学教授、校党委常委、副校长。主要研究方向为高速电路互连与射频电子封装。

结构;再将减薄且分离的 CS 小芯片固定在一个载片上;最后通过低温热压的方法将小芯片键合到 CMOS 晶圆上。

近年来,中国电子科技集团公司第十三研究所与第五十五研究所、中国科学院电子研究所、上海交通大学、中国科学院上海微系统与信息技术研究所等单位先后开启了异质集成电路技术的研究工作,并取得了初步成果。

## 2 射频异质集成电路存在的关键科技问题

1) 多物理机理与性能耦合分析。射频异质集成电路各种半导体器件应满足 Boltzmann 方程或漂移扩散方程,高频段电路则在 2~3 维的复杂激励和边界条件下求解 Maxwell 方程组,高密度集成的热效应必须求解热扩散方程,不同材料间不均匀的温度分布和热膨胀程度还可能引发热应力失效问题而需要求解热应力方程。上述多种物理效应相互耦合,必须同时分析电-热-应力耦合的多物理特性。

2) 协同与融合设计。若要充分利用 CMOS、III-V 族、微机电系统(MEMS)和集成无源器件(IPD)与电路各自优势,融合设计出传统方式无法实现的高性能或新功能集

成电路,需要打破许多传统设计方法的框架和定式,在异质融合程度与互连性能之间寻找平衡点。互连与衬底高频电磁效应引起的信号完整性问题、由 CMOS 器件电源/地开关噪声引起的电源完整性问题、器件间的电磁兼容和电磁干扰问题非常严重,在设计中必须协同考虑。多功能协同设计已成为当前微波射频电路与系统设计的重要发展方向之一。

3) 工艺实现。以目前最有应用潜力的小芯片组装集成技术为例,各种器件、小芯片、晶圆和金属互连结构所能承受的工艺温度和压力各有差异,在借助于载片实现诸多小芯片一次键合的情况下只能按照最低工艺参数进行,若要充分考虑工艺过程中可能积累的热应力和机械损伤,实现方式会受到很大限制,还存在异质互连的低电阻、低热阻特性和工艺可靠性、器件多样性之间的矛盾。

4) 测试验证。电路设计融合度与可测性之间的矛盾必须解决,目前提出了互连连通性和高频性能测试、小芯片性能重测以及制造加工测试等方案,还要验证是否所有器件都已被正确连接,以及集成到复杂结构中的射频元器件是否正常工作。此外,还需要探索其中的逻辑学和数学物理原理,突破校准和去嵌入、可测性设计以及计算机辅助测试等关键技术。

总之,射频异质集成电路技术可结合化合物半导体和硅集成电路的优势,但一些关键科技问题有待解决。中国应抓住机遇,大力发展异质集成电路,快速提升射频电子技术。

(上海交通大学,上海 200240)