

研究论文

基于电荷俘获的可重构二维晶体管及逻辑电路应用

朱鹏飞, 杨静泊, 刘梦洋*, 李梦姣*

摘要 在后摩尔时代, 二维材料凭借其原子级厚度和优异的电学特性, 被视为克服硅材料物理限制的关键候选材料。此外, 基于二维半导体的可重构晶体管能够在单一器件中实现 P 型/N 型动态调控, 进一步为优化电路设计提供创新思路。目前, 基于静电调控的可重构二维晶体管在实现非易失调控方面仍面临挑战。为此, 提出了一种基于可靠的电荷俘获机制的二维非易失性电荷俘获可重构场效应晶体管结构(CTRFET)。以 WSe_2 作为二维沟道材料, 引入 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ (AHA) 三明治结构作为电荷俘获层, 成功实现了二维晶体管导电性的非易失性调控, 其中 N 型 FET 的开关比高达 10^5 , 编程状态可保持超过 10^4 s, 且在 10^4 次循环后性能仍保持稳定。在此基础上, 利用 2 个 CTRFET 构建可重构逻辑单元, 该单元可通过栅压编程灵活配置为 2 种不同的工作模式。当配置为标准反相器时, 电路具备全输出摆幅, 电压增益可达 19。器件所展现的动态可重构能力为高功能密度自适应器件电路的开发提供了新的设计思路, 在可编程器件、自配置计算体系和智能感知芯片等领域展现出广阔的应用前景。

关键词 二维材料; 可重构晶体管; 非易失性; 可重构电路; 电荷俘获

随着数字经济的蓬勃发展, 全球数据量正呈指数级增长。据国际数据公司(International Data Corporation, IDC)预测, 到 2025 年全球数据总量将达 175 ZB, 这对计算硬件的处理能力提出了前所未有的要求^[1]。然而, 延续半个多世纪的摩尔定律正面临严峻挑战: 晶体管特征尺寸逼近物理极限, 传统硅基互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)技术遭遇了短沟道效应和量子隧穿效应等基础物理现象限制, 而供电电压的持续降低也受到玻尔兹曼极限的约束^[2-5]。

为突破这一困局, 学术界和产业界正在探索 2 条

创新路径: 一方面, 通过隧穿场效应晶体管(tunnelling field-effect transistor, TFET)、可重构场效应晶体管(reconfigurable field-effect transistor, RFET)等新原理器件结构, 实现晶体管器件性能提升及功能配置优化^[6-10]; 另一方面, 引入碳纳米管、二维材料等新型半导体, 利用其独特的电学特性克服传统硅材料的物理限制^[11-14]。RFET 作为一种独特的可编程器件, 其核心创新在于能够在运行过程中动态调控 P 型与 N 型导电性^[15-16]。凭借这一动态极性转换能力, 逻辑电路可通过不同编程条件实现多种功能, 这不仅显著提升了电路的功能灵活性, 也为计算架构的动态资源配置提供了理论支撑^[17]。在可重构器件发展历程中, Lin 等^[18]率先在绝缘层上硅(silicon on insulator, SOI)平台通过

上海大学微电子学院, 上海 201800

收稿日期: 2025-09-30; 修回日期: 2025-12-17

基金项目: 国家重点研发计划项目(2024YFA1211500); 国家自然科学基金项目(62304320, 62574123); 上海市科委启明星项目(24QA2702800)

作者简介: 朱鹏飞, 硕士研究生, 研究方向为集成电路先进节点器件与电路系统, 电子信箱: 13616364490@163.com; 刘梦洋(通信作者), 讲师, 研究方向为柔性半导体器件、可穿戴传感系统, 电子信箱: mengyangliu@shu.edu.cn; 李梦姣(共同通信作者), 教授, 研究方向为集成电路先进节点器件、低维光电器件、高性能存储器、类神经形态感知, 电子信箱: mjli@shu.edu.cn

引用格式: 朱鹏飞, 杨静泊, 刘梦洋, 等. 基于电荷俘获的可重构二维晶体管及逻辑电路应用[J]. 科技导报, 2026, 44(5): 82-89; doi:10.3981/j.issn.1000-7857.2025.09.00126

编程栅(program gate, PG)结构调整肖特基势垒,成功实现了沟道极性的电学调控,标志着 RFET 的首次实验验证。随后, Lin 等^[19]将该设计理念拓展至碳纳米管体系,在二维材料领域实现了首例 RFET。然而,这类基于静电调控的 RFET 器件通常呈现出易失性行为,需持续施加外部偏置电压来维持极性调变,导致器件静态功耗与散热问题显著加剧,严重制约实际应用^[20]。为此,研究焦点转向通过器件结构优化来实现非易失性操作。

鉴于浮栅(floating gate, FG)基结构^[21]为实现高性能非易失性极性调控提供了有效平台,本文基于类浮栅的电荷俘获型闪存结构设计了一种二维非易失性电荷俘获可重构场效应晶体管(charge trapping reconfigurable field effect transistor, CTRFET)器件,利用 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ (AHA) 电荷俘获叠层可控的电荷俘获/释放过程,在器件内部产生稳定的内建电场,从而实现对沟道极性的可靠性非易失调控,单态保持时间达 10000 s。此外,基于该器件构建的逻辑电路可以实现多种逻辑功能切换。这种灵活的器件设计,为构建高密度、低功耗的下一代计算系统奠定了硬件基础,并开辟了新的技术路径。

1 CTRFET 制备

CTRFET 器件制备采用标准 Si 基 CMOS 兼容工艺,具体流程如图 1 所示。在 Si/SiO₂ 衬底上采用电子束光刻(electron beam lithography, EBL)定义底栅区域,通过金属热蒸发沉积 5/30 nm 厚的 Ti/Au 金属电极,经剥离工艺剥离光刻胶及表面金属后完成栅极制备。栅介质层兼电荷俘获层采用原子层沉积(atomic layer deposition, ALD)技术依次生长 Al_2O_3 (20 nm)/ HfO_2 (6 nm)/ Al_2O_3 (8 nm) 叠层结构,沉积温度控制在 200℃ 以下以保证工艺兼容性。有源层 WSe₂ 通过机械剥离法制备,利用聚二甲基硅氧烷(polydimethylsiloxane, PDMS)干法转移技术精确对准转移至介电层表面。最后通过 EBL 定义源漏电极图形,蒸发沉积 30 nm Au 电极后经剥离工艺完成器件制备。整个器件在转移有源层和剥离工艺剥离光刻胶后,统一于 N₂ 环境中进行 200℃、20 min 的退火处理,以去除有机残留、改善金属-半导体接触界面,并消除工艺应

力对沟道材料的影响。

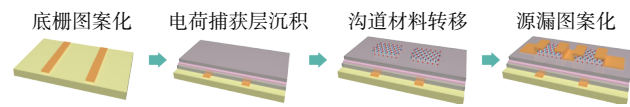


图 1 CTRFET 的制备流程

2 结果与讨论

2.1 CTRFET 的非易失性极性调控的理论分析

所制备的 CTRFET 的结构图与光学显微镜图像分别如图 2(a)和(b)所示,其垂直架构由下至上依次集成栅极、多层介电层、沟道层和源/漏电极。得益于 ALD 技术对薄膜生长的精确控制,截面透射电子显微镜(transmission electron microscope, TEM)图像(图 2(b))证实了各介质层的厚度与设计值一致。底部栅极(bottom gate, BG)作为调控电极,用于调制电荷俘获层的存储行为。其上集成的多层介电堆叠采用三明治结构设计:底部的 20 nm Al_2O_3 作为阻挡层,其优化的厚度实现了与栅极的电学隔离,从而显著提升了电荷保持特性;中间 6 nm HfO_2 作为电荷俘获层,利用其固有氧空位缺陷^[22]存储载流子,其与 Al_2O_3 形成的高隧穿势垒(电子与空穴势垒分别约为 1.5 eV

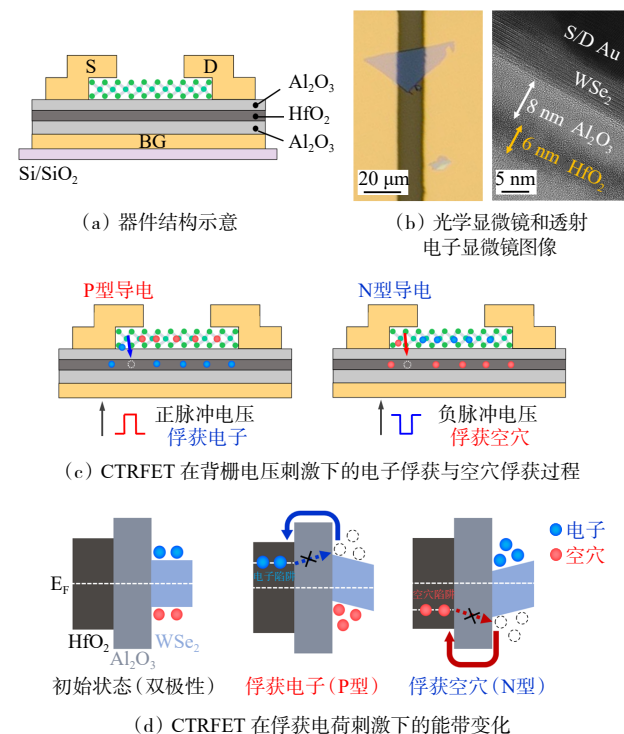


图 2 CTRFET 的结构与原理

和 1.3 eV)有效抑制电荷纵向扩散;顶部的 8 nm Al_2O_3 则作为隧穿层(tunneling layer),在编程/擦除操作时为载流子提供可控的 Fowler–Nordheim 隧穿通道。器件顶部集成了具有双极性传输特性的二维 WSe_2 沟道层,其上制备的源/漏电极(source/drain)构成了载流子定向输运路径,这一整体架构设计实现了电荷存储与晶体管开关功能的协同调控。

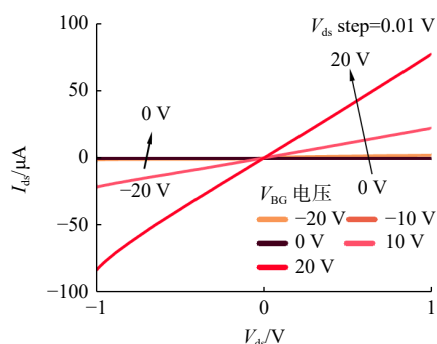
基于该器件结构,CTRFET 可通过 BG 电压脉冲实现 N 型/P 型极性调控。如图 2(c)所示,当 BG 施加正向脉冲电压($V_{\text{BG}} > 0$)时,在电场驱动下,电子从 WSe_2 沟道层隧穿通过 Al_2O_3 隧穿层,被 HfO_2 电荷俘获层中的缺陷态(如氧空位)所捕获^[22]。由于 HfO_2 与 Al_2O_3 界面存在显著的电子势垒(约 1.5 eV),这些被限制的电子在无外场作用下被有效限制在 HfO_2 层内。俘获的电子通过静电感应效应,在垂直方向产生由沟道指向电荷俘获层的电场。该感应电场与电子隧穿过程协同作用,引发 WSe_2 沟道能带偏移,驱使费米能级向导带移动,导致电子浓度降低、空穴成为多数载流子,从而实现了器件从双极性向 P 型特性的可靠转变(图 2(d))。相应地,当施加负向脉冲电压($V_{\text{BG}} < 0$)时,空穴被注入并俘获于 HfO_2 层中。这些被

俘获的空穴同样产生垂直感应电场,使 WSe_2 沟道的费米能级向导带移动,进而将沟道多数载流子转变为电子,实现了器件向 N 型特性的可靠转换。这种基于电荷选择性俘获的调控机制,使得晶体管导电类型的非易失性电学重构得以实现。

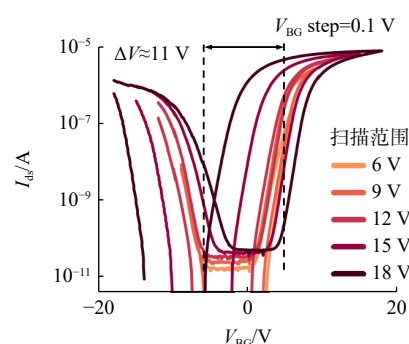
2.2 CTRFET 的非易失性可重构极性调控

CTRFET 的电学性能测试在严格控制的实验条件下完成。器件特性由 Keysight B2912B 精密参数分析仪测量,且所有测试均在充满高纯氮气(N_2)的无光照手套箱内进行,以最大限度地排除环境干扰。图 3(a)表明所有输出曲线在低偏压区均呈现良好的线性关系,这一特征证实了 WSe_2 沟道材料与 Au 电极之间形成了高质量的欧姆接触。在 0.01 V 的扫描步长下,器件的输出特性曲线($I_{\text{ds}}-V_{\text{ds}}$)在背栅电压(V_{BG}) -20 V 至 +20 V 的范围内展现出显著的双极性导电特征。具体而言,当 V_{BG} 从 -20 V 扫描至 0 V 时,漏极电流(I_{ds})随 V_{BG} 绝对值的减小而单调递减,呈现典型的 P 型导电行为;当 V_{BG} 从 0 V 增至 20 V 时, I_{ds} 则随 V_{BG} 增大而增加,表现出明确的 N 型导电特性。

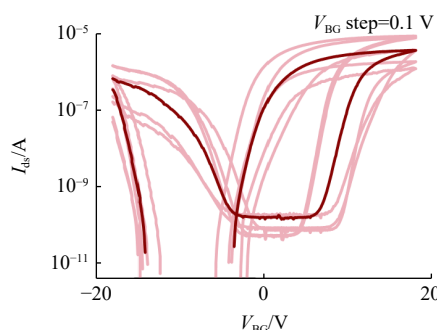
为深入探究器件的电学特性,系统研究了不同 V_{BG} 扫描范围下的转移特性曲线(图 3(b)),测量 V_{ds}



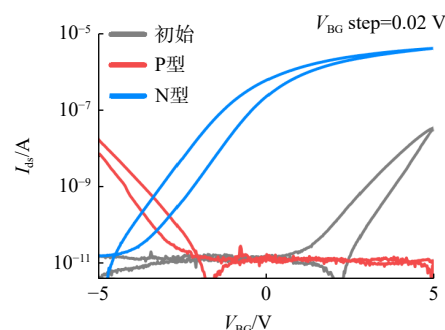
(a) 不同 V_{BG} 条件下的输出特性曲线



(b) $V_{\text{ds}}=0.1$ V 时, 不同 V_{BG} 扫描范围下的转移特性曲线



(c) $V_{\text{ds}}=0.1$ V 时, 7 个不同 CTRFET 的转移特性统计 (器件均通过相同工艺制备)



(d) 初始状态, N 型和 P 型编程状态的 CTRFET 在 5 V 扫描范围下的转移特性曲线

图 3 CTRFET 的电学表征

为 0.1 V。采用双向扫描模式测量时发现,随着 V_{BG} 扫描范围的逐步扩大,转移曲线开始出现明显的阈值电压偏移现象,并形成可调控的回滞窗口。该现象源于栅压扫描过程中载流子在电荷俘获层中的动态存储行为:当施加正向栅压时,电子被注入并俘获在 HfO_2 层中;而施加负向栅压时,空穴则被相应存储。更重要的是,回滞窗口的宽度与 V_{BG} 扫描范围呈正相关关系,这进一步证实了电荷俘获层中的载流子存储密度可通过栅压幅度进行精确调控。该现象具有良好的可重复性,图 3(c)所示为 7 个基于相同工艺制备的 CTRFET 的转移特性。统计表明,所有器件在 ± 18 V 的扫描范围内均表现出可辨识的回滞窗口与明显的双极性导电特性。这种稳定可控的电荷存储机制为器件实现非易失性极性调控提供了物理基础,是 CTRFET 实现可编程功能的核心所在。

载流子俘获后 CTRFET 器件的可编程极性调控特性如图 3(d)所示。为准确表征俘获态下的导电特性,测试采用 5 V 的小范围扫描电压,此电压设置旨在保证测试灵敏度的同时,避免因电场过高而引发非预期的载流子俘获/去俘获。初始态测试显示原始器件呈现弱 N 型导电特性(灰色曲线);当在 BG 施加 +18 V、1 s 的正向脉冲电压后,转变为典型的 P 型特性(红色曲线),证实沟道导电载流子已由双极性转变

为空穴主导;反之,施加 -18 V、100 ms 的负向脉冲电压后,转移曲线则呈现强 N 型特征,表明沟道转变为电子主导导电。这一实验结果清晰地证实了通过调控载流子俘获状态可实现器件导电极性的非易失性切换。

进一步对载流子俘获后的时间保持特性进行了测试。该测试用以评估俘获载流子的长时稳定性,同时反映器件导电极性的非易失保持能力。以下所有测试的读取电压 V_{ds} 均为 0.1 V,激发空穴捕获所施加的电压脉冲为 -18 V/100 ms,激发电子捕获所施加的电压脉冲为 +18 V/1 s。图 4(a)所示为在室温(298 K)、 $V_{ds} = 0.1$ V、 $V_{BG} = 0$ V 的读取条件下,器件编程后 10000 s 内的 I_{ds} - t 特性曲线。实验数据显示,当空穴俘获时,虽然 I_{ds} 在 10000 s 内逐渐出现约 0.4 个数量级的衰减,但仍保持显著的 N 型导电特征;而电子俘获则展现出更优异的稳定特性,其 I_{ds} 在测试时间内几乎无衰减。这些结果充分证明 CTRFET 具有优异的非易失性存储特性,特别是电子俘获状态表现出近乎理想的极性保持能力。此外,这种基于 AHA 的非易失性设计展现出良好的热稳定性, I_{ds} 在室温(RT, 298 K)和 358 K 的温度下持续 2000 s 仍保持稳定行为(图 4(b)),这表明在存储器件实际工作环境的临界温度阈值以下,其电荷捕获动力学表现稳定。

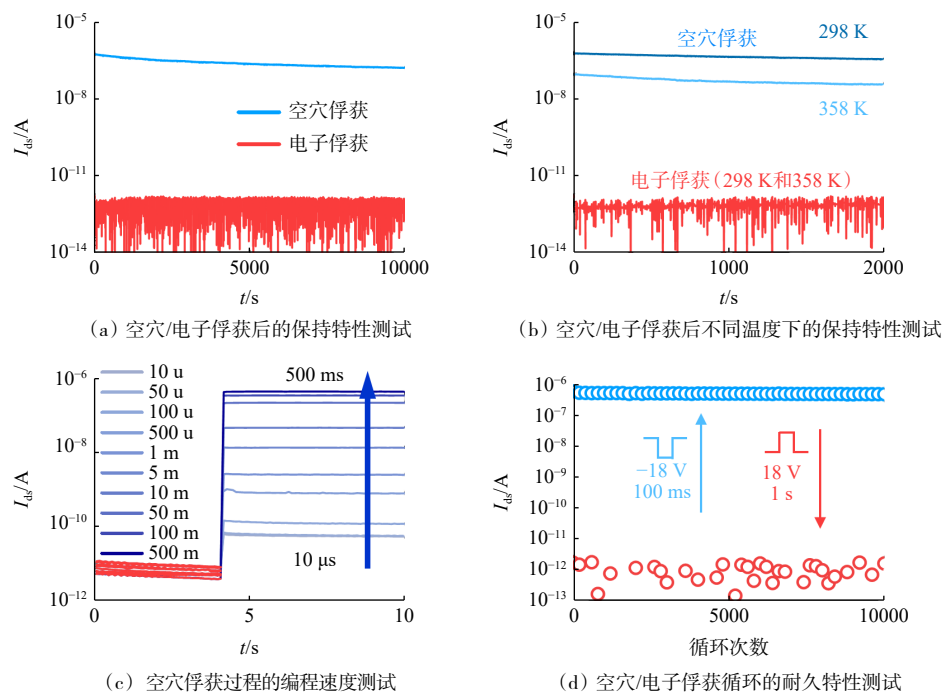


图 4 CTRFET 的非易失特性

最后,系统评估了其动态操作性能,包括编程速度与循环稳定性。图4(c)所示为CTRFET空穴俘获过程的操作速度,首先利用18 V/1 s的编程电压将器件编程至电子俘获状态(红色曲线),随后利用幅值为-18 V的编程电压激活空穴俘获,产生相应的 I_{ds} 改变。随着编程时间的增加,至100 ms时, I_{ds} 变化逐渐趋近饱和。器件的循环耐受性测试结果如图4(d)所示,在 10^4 次的电子/空穴俘获循环测试中,器件始终能够稳定地切换并保持编程状态,且其电流的衰减几乎可以忽略,展现出卓越的循环稳定性。综上所述,CTRFET在时间保持、热稳定性、操作速度及循环耐受性等关键性能上均展现出优异的非易失性存储特性,证明了其在未来低功耗、高可靠性非易失性存储器中的应用潜力。

2.3 基于CTRFET的可重构互补逻辑反相器

基于单CTRFET器件的极性调控特性,本研究进一步构建了由双CTRFET串联组成的可重构逻辑电路,光学图像、电路结构及端口配置如图5(a)所示。电路初始状态下,2个CTRFET均保持双极性特征,因而电路不呈现特定逻辑功能。而重构信号端经 ± 18 V编程电压(上拉管: +18 V编程为P型;下拉管: -18 V编程为N型)后,电路转变为具有标准反相器功能的逻辑单元。值得说明的是,编程完成后,该重构信号端即作为电路的电压输入端(V_{in}),在 ± 3 V输入下便可实现逻辑反相功能(图5(b))。采用小电压(± 3 V)进行读取和电路测试,目的是避免高压干扰已存储的

电荷状态,从而准确评估编程态的稳定性与功能。

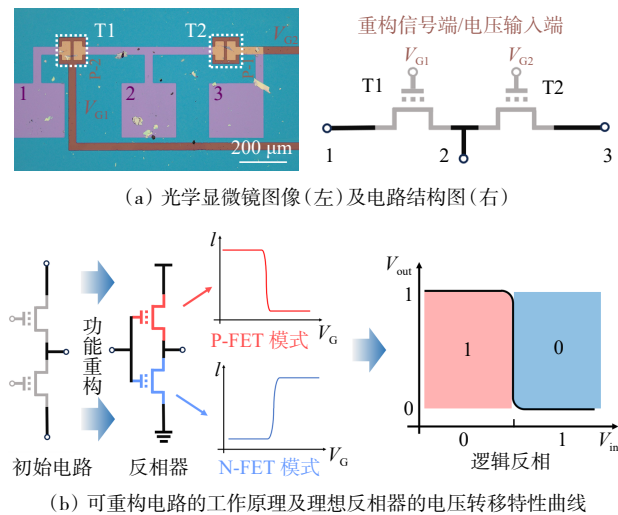


图5 基于CTRFET构建的可重构电路

图6(a)所示为不同电源电压(V_{DD} 为1~4 V)条件下反相器的电压传输特性(VTC)及增益特性。测试结果表明,在所有 V_{DD} 条件下,输出电压均呈现完美的全摆幅特性(V_{out} 的最大差值与 V_{DD} 相等),高、电平噪声裕度(NM_L 和 NM_H)可达 $0.25 V_{DD}$ 和 $0.57 V_{DD}$,表明其具备可靠的逻辑电平识别能力。通过式(1)计算的反相器电压增益表明,随着 V_{DD} 的增加,增益显著提升,在 $V_{DD}=4$ V时峰值增益达到19,充分证明了该可重构电路优异的信号放大能力。

$$Gain = |dV_{out}/dV_{in}| \quad (1)$$

更有意义的是,通过施加反向编程电压(上拉管

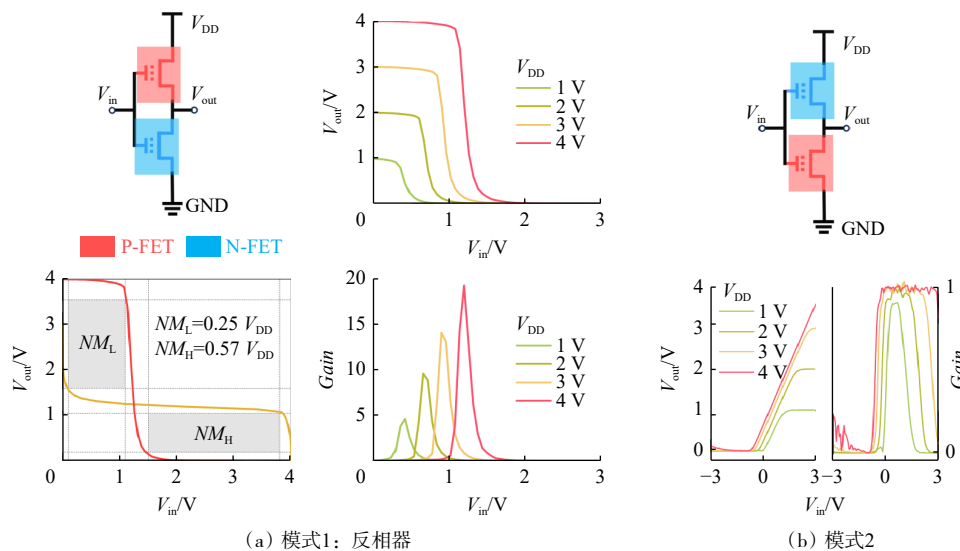


图6 可重构电路在不同工作模式下的电压转移特性曲线、噪声裕度及增益

表 1 已发表可重构器件的性能与可重构逻辑应用统计

类型	功能层	非易失性	可重构逻辑应用	保持时间/s	反相器增益	文献
电压调控	BP/Al ₂ O ₃ /Bias Electron	×	√	—	全摆幅 35	[23]
电压调控	SiNW/hBN/Bias Electro	×	×	—	—	[24]
电压调控	InSe/Multi-Bias Electron	×	√	—	非全摆幅 13	[25]
铁电调控	WSe ₂ /P(VDF-TrEE)	√	×	1000	—	[26]
铁电调控	MoTe ₂ /CIPS	√	×	4500	—	[27]
铁电调控	WSe ₂ /P(VDF-TrEE)	√	×	150	—	[28]
铁电调控	Gr/CIPS	√	×	90	—	[29]
光辅助电荷俘获	WSe ₂ /hBN/SiO ₂	√	√	20000	全摆幅 0.8	[30]
电荷俘获	WSe ₂ /Al ₂ O ₃ /HfO ₂ /Al ₂ O ₃	√	√	10000	全摆幅 19	本工作

采用-18 V 编程为 N 型,下拉管采用+18 V 编程为 P 型),电路可重构为另一种工作模式(图 6(b)),其电压传输特性与标准反相器完全相反:在低输入电压时输出低电平,高输入电压时输出高电平。这种双模式可重构特性为自适应逻辑电路设计提供了新的可能性,展现了 CTRFET 在可编程硬件领域的独特优势。

2.4 CTRFET 的性能优势

通过表 1 与已报道 RFET 的系统对比,本工作开发的 CTRFET 展现出以下优势:首先,其非易失性存储性能较传统静电调控型 RFET 有明显突破,且极性保持特性优于多数非易失性可重构器件,这归因于 AHA 叠层结构独特的载流子保持机制;其次,重构后的器件表现出优异的开关特性,在电路层面进一步体现为构建的反相器实现了较高的电压增益。这些结果证实了该器件在可重构电子领域的应用潜力。

3 结语

1) CTRFET 在±18 V 编程电压下可实现稳定的极性切换,其中 N 型 FET 的开关比达到 10⁵,编程状态保持时间超过 10⁴ s,且在 10⁴ 次编程/擦除循环后仍保持稳定,展现了优异的非易失特性与耐久性。

2) 基于双 CTRFET 构建的可重构逻辑单元能够通过编程灵活配置工作模式,在反相器模式下实现了 19 的电压增益与全摆幅输出,证明了其在动态重构逻辑中的可行性与功能完整性。

3) 当前基于底栅结构的 CTRFET 电路,其编程端口与逻辑端口在空间上重叠,这导致电路在向更高

规模集成时面临端口复用困难和信号串扰的显著挑战。因此,探索面向高密度集成的器件结构与互联方案,以推动其在实际可重构计算系统中的应用至关重要。

参考文献(References)

[1] Wright A. Worldwide IDC global datasphere forecast, 2024–2028: AI everywhere, but upsurge in data will take time[R]. Needham, MA: International Data Corporation, 2024.

[2] Ratnesh R K, Goel A, Kaushik G, et al. Advancement and challenges in MOSFET scaling[J]. Materials Science in Semiconductor Processing, 2021, 134: 106002.

[3] Ferain I, Colinge C A, Colinge J P. Multigate transistors as the future of classical metal–oxide–semiconductor field–effect transistors[J]. Nature, 2011, 479(7373): 310–316.

[4] Beckers A, Jazaeri F, Enz C. Theoretical limit of low temperature subthreshold swing in field–effect transistors[J]. IEEE Electron Device Letters, 2020, 41(2): 276–279.

[5] 马佳玉, 孙仲恒, 赵禹涵, 等. 二维材料引领后摩尔时代[J]. 科技导报, 2025, 43(17): 16–21.

[6] Shukla N, Thathachary A V, Agrawal A, et al. A steep–slope transistor based on abrupt electronic phase transition[J]. Nature Communications, 2015, 6: 7812.

[7] Mikolajick T, Galderisi G, Simon M, et al. 20 Years of reconfigurable field–effect transistors: From concepts to future applications[J]. Solid–State Electronics, 2021, 186: 108036.

[8] Liu Z R, Gao C F, Yang J B, et al. Memristor devices for next–generation computing: From performance optimization to application–specific co–design[J]. International Journal of Extreme Manufacturing, 2026, 8(1): 012004.

[9] Li M J, Chu H L, Gao C F, et al. Bioinspired high–order

- in-sensor spatiotemporal enhancement in van der Waals optoelectronic neuromorphic electronics[J]. *Nature Communications*, 2025, 16: 8801.
- [10] 江之行, 席悦, 唐建石, 等. 忆阻器及其存算一体应用研究进展[J]. *科技导报*, 2024, 42(2): 31–49.
- [11] Chen P, Atallah T L, Lin Z Y, et al. Approaching the intrinsic exciton physics limit in two-dimensional semiconductor diodes[J]. *Nature*, 2021, 599(7885): 404–410.
- [12] Ke S, Zhu Y X, Fu C Y, et al. Flexible neuromorphic transistors for neuromorphic computing and perception application [J]. *Moore and More*, 2024, 1(1): 9.
- [13] Anwar N, Jiang G Y, Wen Y, et al. Evaluating the potential of two-dimensional materials for innovations in multifunctional electrochromic biochemical sensors: A review[J]. *Moore and More*, 2024, 1(1): 12.
- [14] Nie Q, Wang F, Yang F S, et al. Intelligent tactile perception revolution: Innovations in flexible FET-based tactile sensors for next-gen human-machine interfaces[J]. *Advanced Materials*, 2026: e10646.
- [15] De Marchi M, Sacchetto D, Frache S, et al. Polarity control in double-gate, gate-all-around vertically stacked silicon nanowire FETs[C]//*Proceedings of International Electron Devices Meeting*. Piscataway, NJ: IEEE, 2013: 8.4. 1–8.4. 4.
- [16] Qian W T, Wang J Z, Xu J, et al. Channel-bias-controlled reconfigurable silicon nanowire transistors *via* an asymmetric electrode contact strategy[J]. *Chip*, 2024, 3(3): 100098.
- [17] Lee M P, Gao C F, Tsai M Y, et al. Silicon-van der Waals heterointegration for CMOS-compatible logic-in-memory design[J]. *Science Advances*, 2023, 9(49): eadk1597.
- [18] Lin H C, Yeh K L, Huang T Y, et al. Ambipolar Schottky-barrier TFTs[J]. *IEEE Transactions on Electron Devices*, 2002, 49(2): 264–270.
- [19] Lin Y M, Appenzeller J, Knoch J, et al. High-performance carbon nanotube field-effect transistor with tunable polarities[J]. *IEEE Transactions on Nanotechnology*, 2005, 4(5): 481–489.
- [20] Tsai M Y, Huang C T, Lin C Y, et al. A reconfigurable transistor and memory based on a two-dimensional heterostructure and photoinduced trapping[J]. *Nature Electronics*, 2023, 6(10): 755–764.
- [21] Sun X X, Zhu C G, Yi J L, et al. Reconfigurable logic-in-memory architectures based on a two-dimensional van der Waals heterostructure device[J]. *Nature Electronics*, 2022, 5(11): 752–760.
- [22] Gritsenko V A, Perevalov T V, Islamov D R. Electronic properties of hafnium oxide: A contribution from defects and traps[J]. *Physics Reports*, 2016, 613: 1–20.
- [23] Wu P, Reis D, Hu X S, et al. Two-dimensional transistors with reconfigurable polarities for secure circuits[J]. *Nature Electronics*, 2021, 4(1): 45–53.
- [24] Ghosh S, Khan M B, Prucnal S, et al. High-performance silicon nanowire reconfigurable field effect transistors using flash lamp annealing[J]. *ACS Applied Electronic Materials*, 2025, 7(6): 2284–2297.
- [25] Kim M, Yeom D, Seok Y, et al. Superior P-type switching in InSe nanosheets for complementary multifunctional systems[J]. *Nano Letters*, 2024, 24(50): 16090–16098.
- [26] Zhou Y, Wang Y S, Zhuge F W, et al. A reconfigurable two-WSe₂-transistor synaptic cell for reinforcement learning[J]. *Advanced Materials*, 2022, 34(48): 2107754.
- [27] Zhao Z J, Rakheja S, Zhu W J. Nonvolatile reconfigurable 2D Schottky barrier transistors[J]. *Nano Letters*, 2021, 21(21): 9318–9324.
- [28] Dang Z Y, Guo F, Wang Z Q, et al. Object motion detection enabled by reconfigurable neuromorphic vision sensor under ferroelectric modulation[J]. *ACS Nano*, 2024, 18(40): 27727–27737.
- [29] Liao C Z, Zhang M Y, Jiang Y R, et al. A reconfigurable memristor diode based on a CuInP(2)S(6)/graphene lateral heterojunction[J]. *Nanoscale*, 2025, 17(4): 2011–2019.
- [30] Kim S W, Seo J, Lee S, et al. Nonvolatile reconfigurable logic device based on photoinduced interfacial charge trapping in van der Waals gap[J]. *ACS Applied Materials & Interfaces*, 2024, 16(17): 22131–22138.

Charge trapping-based reconfigurable two-dimensional transistors and their logic circuit applications

ZHU Pengfei, YANG Jingbo, LIU Mengyang*, LI Mengjiao*

School of Microelectronics, Shanghai University, Shanghai 201800, China

Abstract In the post-Moore era, two-dimensional (2D) materials have emerged as pivotal candidates to transcend silicon's physical limits, leveraging their atomic-scale thickness and exceptional electronic properties. Reconfigurable transistors capable of dynamic P-/N-type polarity switching in a single device architecture further present transformative opportunities for circuit design innovation. Nevertheless, achieving nonvolatile operation in electrostatically gated reconfigurable transistors remains a critical challenge. To address this, this work demonstrates a charge-trapping-mediated nonvolatile reconfigurable field-effect transistor (CTRFET) featuring a WSe₂ channel and an engineered Al₂O₃/HfO₂/Al₂O₃ (AHA) charge-trapping heterostructure, which enables robust and nonvolatile polarity control. A reconfigurable logic gate constructed with two CTRFETs exhibits programmable multifunctional operation through electrical modulation. This dynamic reconfigurability establishes a new design framework for high-density, energy-efficient adaptive hardware, with promising applications spanning programmable electronics, self-adaptive computing systems, and intelligent sensing integrated circuits.

Keywords two-dimensional materials; reconfigurable transistor; nonvolatility; reconfigurable circuit; charge trapping ●



(责任编辑 魏来)