

特色专题

2024年数值仿真计算与多物理场协同研究热点回眸

蒲菠¹, 陈文超², 张召富³, 陈增辉⁴, 赵毅⁵, 郝沁汾^{6,7*}, 孙凝晖⁷

摘要 随着硬件结构的高集成化、复杂化和3维化,多物理场耦合仿真已成为工程应用中具有挑战性的环节之一,同时也成为跨学科领域研究的主流方向之一,正成为促进电子科学与技术、图论和网格技术、热力学和动力学等进步的重要手段。然而,目前存在多物理场耦合机理研究不清晰,仿真手段和工具缺乏等问题,严重制约了多物理场耦合仿真技术的应用和推广。从多物理场建模仿真技术和多物理场效应与仿真分析2个方面,回顾了2024年数值仿真计算与多物理场协同相关的研究进展。建模仿真技术,从器件到芯片、芯粒到封装、电路板到系统,覆盖范围持续扩大;效应研究和仿真技术,从机理分析和工程应用,进展显著。可以预测,未来几年内,随着2.5维和3维芯片集成的需求爆发,多物理场耦合仿真技术将围绕新的应用场景,在解决实际问题和行业挑战上发挥更大的价值。

关键词 多物理场耦合;仿真和数值分析技术;可靠性;半导体器件;集成芯片和芯粒;电子设计自动化

多物理场耦合仿真技术是现代科学技术和工程应用发展的一个重要趋势,是一种综合多个不同物理场之间相互作用进行模拟分析的方法。通常,单个求解器侧重于特定的物理领域,如电磁学、热学、结构力学或流体力学。随着技术发展,产品应用复杂程度和场景的增加,单一物理场仿真可能不再满足需求,需要从多个物理场需求耦合考虑,通过链接

不同物理场求解器之间的相互作用,更精确地模拟现实场景多个物理要素耦合的过程,从而提供协同分析的解决方案。例如,在半导体行业,多物理场耦合仿真技术往往用来研究芯片、封装和电路板中因电流产生的热效应,温度产生的热应力作用,对系统性能的影响;在集成芯片与芯粒技术白皮书和相关文献中^[1-3],如图1所示,耦合分析涉及建立和求解耦合方程,这些方程描述了不同物理场之间的相互作用。例如,电磁场-热场耦合分析芯片和封装电流流通情况下,热量的产生和热场对电导率的作用,热-力学耦合解析温度如何影响集成芯片结构的变形,以及形变对热阻的反作用,力学-电磁学耦合阐述位移和形变对电场分量的影响。在现代电子设计和工业应用中,需要综合考虑电磁场、热传递、机械应力等多物理现象。

1. 宁波德图科技有限公司, 宁波 315800
2. 浙江大学信息与电子工程学院, 杭州 310027
3. 武汉大学工业科学研究院, 武汉 430072
4. 芯瑞微(上海)电子科技有限公司, 上海 201306
5. 珠海硅芯科技有限公司, 珠海 519060
6. 无锡芯光互连技术研究院, 无锡 214104
7. 中国科学院计算技术研究所, 北京 100086

收稿日期:2024-12-16;修回日期:2025-01-04

作者简介:蒲菠,正高级工程师,研究方向为集成芯片与先进封装领域电子设计自动化(EDA),电子信箱:pubo@detooltech.com;郝沁汾(通信作者),研究员,研究方向为计算机系统结构,电子信箱:haoqin-fen@ict.ac.cn

引用格式:蒲菠,陈文超,张召富,等.2024年数值仿真计算与多物理场协同研究热点回眸[J].科技导报,2025,43(1):118-131;

doi:10.3981/j.issn.1000-7857.2024.12.01753

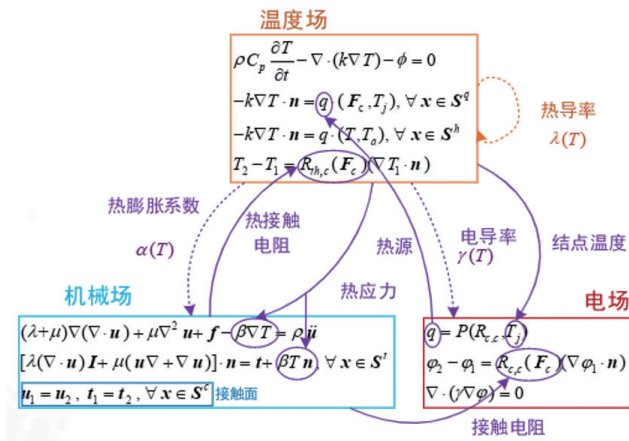


图1 多物理场耦合机理示例

同时,从应用层面,随着仿真技术的发展,多物理场耦合计算已成为工程研发的重要趋势。跨学科的融合也成为多物理场耦合仿真技术研究的一大特点,传统领域的一些方法在该领域得到了充分融合和再利用,如场-路协同耦合分析方法、宏观尺度的有限元方法、微观尺度的分子动力学和密度泛函理论,非结构网格变形方法、多学科设计优化、不确定性优化方法和机器学习对多尺度问题的优化求解等。

1 多物理场耦合仿真技术的研究现状

1.1 多物理场耦合仿真的挑战和难点

随着先进集成电路的集成密度与功耗密度的持续提升,芯片内部的热量累积愈发严重,导致芯片工作温度显著升高,从而严重影响器件性能^[4]、可靠性^[5]及信号完整性^[6]。与此同时,由制造工艺、封装过程,以及异质材料热失配所引入的复杂应力场将导致结构变形^[7],这不仅会对器件性能和信号传输产生复杂的影响^[8],还可能引发异质材料界面分层或剥离^[9],最终严重影响集成电路的整体性能和使用寿命。为了准确评估温度与应力对器件性能和信号完整性的影响,多物理场建模仿真面临诸多挑战与难点。

集成芯片工艺过程建模仿真存在挑战:集成芯片的制造涉及多个物理过程的耦合,包括热力学、流体力学、电磁学、化学反应动力学等过程的相互作用,由此形成了复杂的多物理场问题^[10-11]。除此之外,集成芯片的制造过程复杂,实验条件难以完全复现,且实验成本高昂,导致难以获取高质量数据用于

模型验证。因此,如何准确模拟这些过程之间的相互作用是仿真的一大挑战。精确提取材料本构参数存在挑战:集成芯片中使用的材料种类繁多,且每种材料的热、电、力本构参数通常受到力、电场、温度、湿度、辐射等多种环境因素的影响^[12]。如何精确模拟材料本构参数随环境变化的特性是仿真的一大挑战。

集成芯片中多种微观、宏观多物理效应并存,宏观-微观一体化仿真分析存在挑战:多物理场耦合挑战体现在微观尺度的量子运输过程与宏观尺度的热力学、力学行为的非线性相互作用,跨尺度建模与分析存在挑战;另外,不同芯粒单元间、器件与芯粒间的界面载流子输运、热输运和应力传递机制极其复杂。传统的建模方法难以准确捕捉这些跨尺度、跨物理场的协同效应,尤其是在先进工艺节点下,界面效应和量子尺寸效应变得愈发显著,如何构建能够精确反映微观物理本质的宏观微观一体化高效仿真模型是集成芯片设计的关键科学与技术难题。

在集成芯片的设计与优化中,实现高效、高置信度的多物理场仿真存在挑战。(1) 精度与效率的协同优化:在现代计算平台上,仿真的精度通常依赖于物理模型的完善性和数值方法的精确性。有限差分、有限元及有限体积法是多物理场仿真中常用的数值技术。提升精度往往需要更高分辨率的网格或更高阶的插值函数。然而,这通常伴随着计算复杂度和资源需求的急剧增加。因此,需要权衡计算效率与精度,重点识别主导物理过程,优化网格划分并发展高效的数值算法,最大限度地保证仿真精度的同时降低计算成本。此外,现代数值技术的发展,包括自适应网格^[13]、并行计算、改进数值算法^[14]、优化求解器,可以显著提高仿真的稳定性与可靠性。(2) 多物理场验证与校准:多物理场仿真的结果需要经过严格的验证与校准,以确保其与实验结果的一致性^[15]。首先,材料参数、结构几何与边界条件需要尽可能接近实验环境。由于实验条件通常难以完全控制,准确提取材料参数成为关键环节。其次,实验中多物理场往往同时作用,如何分离并量化不同物理场的误差来源,优化每个物理场的模型精度,是一个复杂的技术问题。此外,仿真模型在不同操作条件下的适用性也需通过敏感性分析进行评估,以提高模型

的鲁棒性和适用范围。

1.2 多物理场耦合仿真的学术界和工业界研究进展

多物理场耦合仿真技术中的挑战在学术界和工业界引起了广泛关注。为了应对这些挑战,学术界和工业界分别开展了大量工作,致力于构建多物理场耦合下器件和系统的仿真模型及优化设计方案。

学术界在多物理场耦合理论模型的构建与仿真方法的创新,尤其是在先进工艺节点晶体管、高功率器件及3维集成芯片等方向做出了贡献。针对尺寸不断缩小的先进节点晶体管,Duan等^[16]和Liu等^[17]针对先进节点晶体管,开发了量子输运-热-应力耦合仿真算法,Min等^[18]研究了电-热-热应力耦合效应及热载流子注入效应;Xu等^[19]利用第一性原理与非平衡格林函数方法,深入分析了量子输运特性。针对高功率器件,Kristensen等^[20]和Li等^[21]分别提出了不同的仿真算法研究高功率电子器件中瞬态自热效应。Luo等^[22]提出双向电热耦合方法优化设计太赫兹电子器件。

在3维集成芯片的研究中,电热和应力的耦合作用被认为是优化芯片设计的关键。Ma等^[23]、Wang等^[24-25]、Li等^[26-27]、Sun等^[28]和He等^[29]分别提出了多种数值仿真和优化算法,以辅助复杂结构芯片的电热设计优化。Tian等^[30]研究了先进芯粒键合工艺过程中的残余应力及其对器件性能的影响。Li等^[31]聚焦于芯片封装过程中应力-应变行为的演变。Zhang等^[32]和Niu等^[33]结合电磁场对芯片电路的耦合效应,研究了电磁干扰对系统性能的影响。针对互连电迁移等可靠性问题,Kwon等^[34]、Guo等^[34]、Wu等^[35]通过动力学蒙特卡洛法、多相场模型和电热耦合相场模型,研究了电迁移对芯片互连线可靠性的影响机制。

在工业界,多物理场耦合仿真的研究主要集中在提高器件和芯片的可靠性和性能。Ceric等^[36]开发了电迁移仿真工具,用于分析铜互连的迁移问题,增强高密度3维集成的可靠性,Kim等^[37]则通过Sentaurus仿真对PMRG NAND和TCAT器件进行应力分布和电气性能的优化。

宏观上看,学术界和工业界在多物理场耦合仿真技术和应用方面的研究,呈现以下8个特点。

1) 复杂的数学模型。多物理场耦合仿真通常涉及非线性偏微分方程,这些方程难以求解。不同物

理场可能在时间和空间尺度上有很大差异,需要同时处理微观和宏观现象。例如,在集成电路的先进封装设计中,需要考虑电磁场、热场和力学场的相互作用,这些场在不同的尺度上有不同的表现,导致建模和求解变得复杂。

2) 耦合效应的复杂性。物理实体的全生命周期中会受到多种物理场的综合作用,不同物理场间的相互作用涉及不同的物理性质和耦合作用,导致各物理场之间的耦合效应难以准确描述。一个物理场的变化会引起其他物理场的变化,形成复杂的反馈回路。这种交叉影响使得耦合效应的预测和控制变得困难。例如,热应力会影响结构力学,电磁场会影响热场等。

3) 数值计算挑战。数值方法在处理耦合方程时可能会遇到收敛和稳定性问题,最终求解需要处理大量的数据和复杂的计算过程,这导致计算规模庞大,对计算机硬件的计算能力要求极高。多物理场耦合中经常出现非线性效应,如材料非线性、几何非线性等,这使得数学模型变得复杂,需要采用更高级的数值方法和计算技术进行求解。

4) 边界条件和初始条件复杂。不同物理场的边界条件可能相互影响,确定合理的边界条件并不容易。不同物理场的初始条件需要准确设定,否则会严重影响仿真结果的准确性。在实际应用中,这些条件的确定往往依赖于实验数据和经验,增加了仿真的不确定性。例如,在热固耦合中,热边界条件可能随着时间变化,而初始条件可能存在温度分布不均等现象。

5) 验证。多物理场仿真结果需要与实验数据进行验证,而获取多物理场的实验数据通常比较困难。验证多物理场仿真结果需要综合考虑各个物理场的准确性和相互作用。例如,在航空航天领域,验证飞机结冰数值模拟中的多物理场耦合效应需要非常精确的实验设备和条件。

6) 跨学科问题。进行多物理场耦合仿真需要掌握多种物理学科的知识,如力学、热学、电磁学等,这对技术人员知识结构要求较高。跨学科领域的专家之间进行沟通和协作时也存在交流上的障碍。

7) 跨尺度问题。多物理场耦合现象往往涉及如微观、宏观和介观等不同尺度。不同尺度的物理现

象可能具有不同的特征和规律,这给跨尺度研究带来了困难。例如,在纳米材料中,电子和声子的传输可能具有特殊的性质,而在宏观尺度上这些效应可能被忽略或简化。

8) 商业软件的开发。商业化仿真软件需要考虑用户操作友好性、计算效率和数据准确性,软件开发者需要在定制和通用问题上做取舍,开发能够满足特定行业需求的仿真软件是一个挑战。

2 多物理场耦合仿真技术研究热点回顾

2.1 器件多物理场耦合

Cai 等^[5]采用动力学蒙特卡洛(kinetic monte carlo, KMC)法,综合考虑电场、温度以及应力梯度的影响,模拟了不同金属原子(钨、钨、钨和钨)在电迁移作用下的微观迁移路径及空洞形态的变化,以探讨新型金属材料在背部供电系统中的电迁移可靠性。Guo 等^[34]基于固体材料微观结构演化的基础理论框架,针对由电迁移引起的各向异性表面扩散现象,建立了一个新的多相场模型,以模拟在外部电场作用下,多晶互连线中空洞穿越晶界的形态演变过程。Wu 等^[35]将焦耳热效应纳入到相场模型中,基于半隐式谱方法求解相场控制方程,同时使用有限体积法解决伴随的物理场控制方程,从而开发了电热力耦合的相场模型,以探究电场方向倾角对空洞形貌演化和裂纹扩展的影响,揭示了互连线中不同模式的缺陷演化特点。Xu 等^[19]开发了耦合第一性原理与非平衡格林函数模拟工具,研究了先进节点晶体管器件的量子输运特性。Duan 等^[16]和 Liu 等^[17]探索了 FinFET 和 NSFET 器件中的多物理场耦合效应,开展了量子输运-热-应力耦合建模与数值仿真,系统性地揭示了热应力对不同晶向和沟道长度对先进晶体管器件的影响及其物理机理。此外,如图 2 所示,还研究了电路模块中时变电热效应对于晶体管器件的热载流子注入可靠性的影响。通过 Cadence 电路仿真得到热源分布,电路 3 维结构基于 FreePDK15 设计和验证,利用有限元方法获得集成结构中瞬态温度分布,预测了电热效应下的 FinFET 热载流子注入导致的阈值电压偏移。

Li 等^[21]提出了一种高精度瞬态电热耦合仿真方

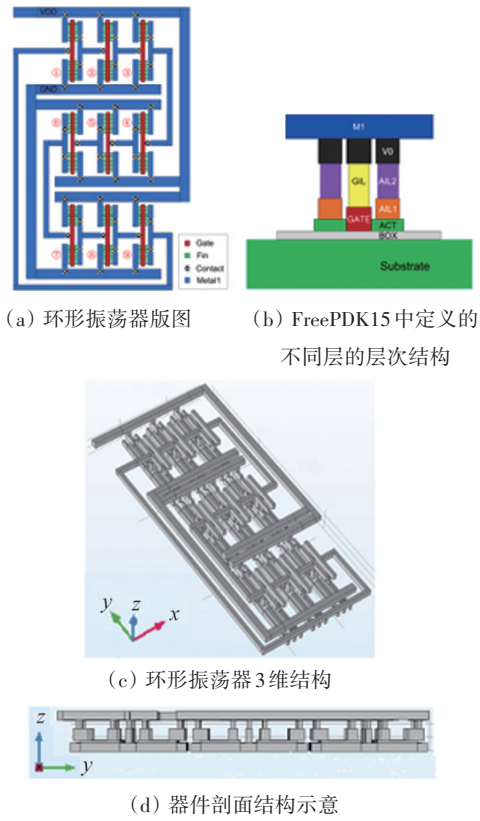


图 2 电路 3 维结构

法,如图 3 所示,用于表征氮化镓高电子迁移率晶体管(GaN HEMT)的自热效应,引入时间缩放因子以加速仿真过程,并通过时域谱元方法(SETD)实现高效准确的数值计算。Ren 等^[38]构建了绝缘栅双极型晶体管(IGBT)模块封装的电热应力多物理耦合模型并通过稳态导通实验进行了验证,仿真了键合线根部开裂失效和剥离失效对模块应力和温度的影响。

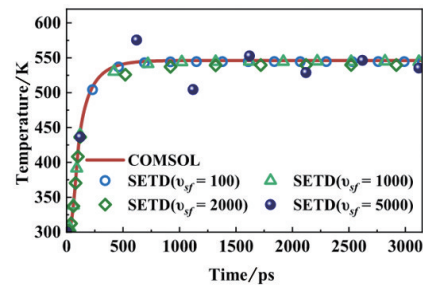


图 3 GaN HEMT 随时间变化的最大温度曲线

Luo 等^[22]提出了一种双向电热耦合(BETC)方法来设计太赫兹电子器件,如图 4 所示。电路设计中考虑了温度对二极管特性和金属导电性的影响。通过多次双向耦合迭代优化,降低了倍频器的电磁损耗,提高了转换效率。

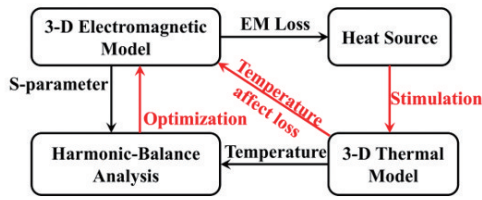


图4 BETC方法设计流程

Ma 等^[23]基于反向传播神经网络(BPNN)模型和线性减小惯性权的粒子群优化(PSO-LDIW)算法,根据 COMSOL 和 HFSS 的仿真数据,利用 BPNN 模型来表达 CTSV 参数与指标之间的对应关系,实现了一种同轴硅孔(CTSV)阵列的电热-应力多物理场耦合优化设计方法。Ceric 等^[36]将应力演化、孔隙成核和孔隙动力学 3 个阶段耦合,从而开发了基于物理过程的电迁移(EM)模拟程序,以研究铜-铜晶圆间混合键合中由电迁移引起的空洞迁移和生长的复杂动态过程,旨在克服高密度 3 维集成中铜基互连线结构易发生电迁移的问题,从而提高铜-铜混合键合的可靠性。Kwon 等^[4]针对多纳米片场效应晶体管的自热效应提出了一种准确且快速电热分析模型,如图 5 所示。使用该热阻网络构建的电热模型可准确捕获由于自热效应引起的器件内部晶格温度分布,从而可以在电路仿真器上进行精确描述,可以提高电路运行期间 mNS-FET 器件可靠性分析的准确性,在评估

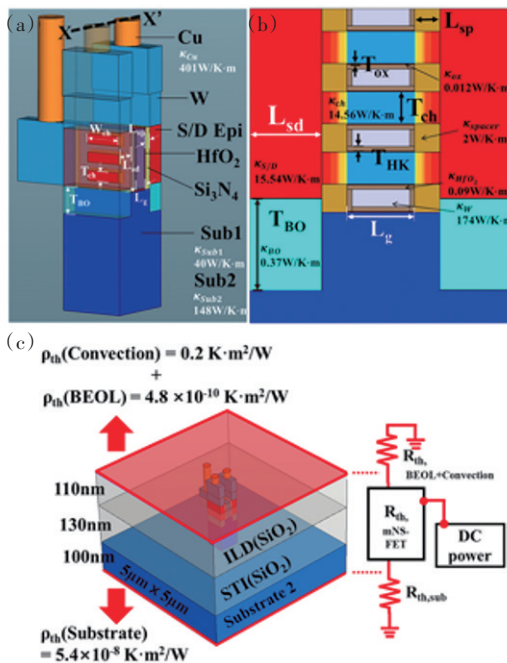
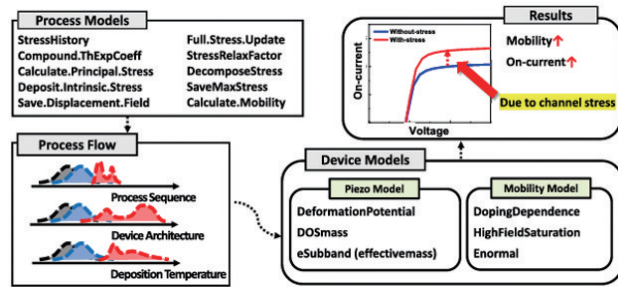


图5 mNS-FET 3维结构(a)、x方向截面(b)及边界条件和热网络(c)

元件可靠性方面的具有重要价值。

Mounce 等^[39]研究了后端设计对 SiGe 异质结双极晶体管电气可靠性的影响。使用校准技术计算机辅助设计(TCAD)仿真研究了由额外的虚拟金属层引起的机械应力和温差,进一步评估其对射频性能的影响,发现小信号转换频率提高了约 21%,大信号功率附加效率提高了约 4%,而 RF 击穿保持不变。

Kim 等^[37]使用商业 TCAD 软件 Sentaurus 仿真分析了器件的工艺顺序和器件结构对器件机械应力和电气性能的影响(图 6)。其中考虑了不同材料和器件结构的工艺条件对器件应力分布的影响,进一步分析了沟道应力对器件导通电流的影响。



测试了工艺建模、器件建模和应力对电气性能的影响之间的关系

图6 TCAD仿真流程

2.2 芯粒尺度热-力多物理场耦合

Chiplet 技术通过集成多个芯粒、复杂互连结构及异构材料显著提升系统的性能^[39]。然而,在 Chiplet 产品的制造与服役过程中,封装模块会受到多种热荷载的作用,包括环境温度波动和功率器件的自热效应。由于异构材料之间热膨胀系数的差异,这些热荷载会在异构界面区域引发应力集中,容易导致芯片翘曲、界面分层及开裂等可靠性问题^[40]。这些缺陷可能引发芯片系统的整体失效,显著影响产品的生产良率和长期服役可靠性。因此,在 Chiplet 产品投产前,必须对封装结构进行热-力耦合效应分析,以识别潜在的失效风险,确保其在制造和可靠性测试中的稳定性。

热-力耦合作用通常是一个双向耦合过程,且表现出显著的非线性特征。首先,热荷载引起的温度变化会导致具有不同热膨胀系数的材料发生不协调的变形,从而在异构材料的界面处产生应力集中^[2]。当应力水平过高时,可能导致材料发生塑性变形或裂纹形成,进而改变接触热阻^[41],导致局部温度升高,

进一步影响力场的分布。此外,温度变化还可能对材料的微观结构产生影响,进而改变其弹性和塑性性能^[41-42],从而加剧热-力耦合过程中的非线性特征。目前,针对 Chiplet 封装结构的热-力耦合效应,多采用有限元方法进行仿真和分析^[43]。其中,ANSYS 通过模块化集成(如 Mechanical 和 Icepak 的荷载传递)实现热-力耦合,适合复杂封装结构的系统级分析^[44]。Abaqus 依托先进的有限元求解器,尤为擅长复杂接触条件和非线性热-力学问题(如大变形、塑性变形以及蠕变分析)^[45]。COMSOL Multiphysics 具备灵活的多物理场框架和用户自定义方程功能,能够同时实现热、力等多个物理场的耦合分析^[46]。同时,包括铜的晶体塑性本构模型^[47-48]、封装焊料黏塑性和损伤本构关系“钱-刘”模型^[49]等一系列先进的本构模型也不断涌现,使得热-力耦合有限元仿真具备更准确描述材料特定力学性质的能力。

Chiplet 技术依赖于硅通孔(TSV)、微凸点和重布线层(RDL)等先进封装技术,通过高密度互连实现多个模块的高效集成^[50]。这些微互连结构的引入显著改变了整个封装产品的热力学特性,并在热-力耦合过程中展现出显著的各向异性行为^[51-52]。此外,这些结构的尺寸范围跨越 5 个数量级(从亚微米到厘米),为有限元仿真的网格划分带来了巨大的挑战,显著提高了仿真所需的计算资源和成本^[53]。因此,合理的模型等效和简化以及降阶方法对于实现计算成本和准确性的平衡尤为重要。其中,基于表征元(RVE)的材料等效方法^[54-57],以及子模型技术^[58-59]是最常用的 2 种跨尺度手段。基于 RVE 的材料等效法是对多次重复、具有典型特征的微观互连结构进行细网格建模,并在周期性边界条件下计算等效材料的热-力学特性,包括热导率、刚度矩阵以及热膨胀系数。等效计算后,该 RVE 模型被视为一个“黑箱”,微结构特征将不再被考虑。在对封装体进行热-力耦合分析时,将其看作均一材料进行模拟。这种方法可以避免因微互连结构导致的网格数量过多造成的仿真效率低下,也可以避免因尺度跨度过大导致畸形网格而引起的仿真精度下降。而子模型技术先将整体结构进行粗建模来降低计算成本,捕捉宏观的力学行为,然后从整体模型中获得的边界条件应用于子模型的边界上,从而得到更高精度的局部力

学响应。这种方法的准确性对粗建模方法的准确性具有一定的依赖性,因此,对粗建模方法的合理性有一定的要求。由于现有测试技术难以全面获取微结构的应力-应变张量信息,精确的热-力耦合跨尺度仿真技术成为弥补这一局限的重要手段^[60-61]。Liu 等^[62]构建了一个基于 2.5 维集成的 Chiplet 模型。利用 ANSYS 有限元分析,在温度循环载荷下研究 Chiplet 的热循环可靠性,分析了 2.5 维 Chiplet 的总变形和等效应力,评估了不同厚度的硅转接板对热循环可靠性的影响。Kim 等^[63]构建了一个带有 TSV 的 interposer 封装有限元模型。在热循环条件下基于数字图像相关技术建立有限单元法模型,进行了参数化研究以最小化翘曲和热应力。Hao 等^[64]提出了一个多步骤、多尺度的有限元模型,使用生死单元和热力耦合的方法,提出了一个能够逐步捕捉组装历史的有限元仿真方法。Jiang 等^[59]基于实际器件结构建立了 1:1 的 Chiplet 有限元全局模型,针对 TSV、C4 焊球、C2 bump 等微互连区域采用块替代等粗化处理,提高计算效率和收敛性。针对 C2 bump 阵列和 C4 焊点构建子模型,在全局模型的基础上对关键互连区域进行精细化建模,实现跨尺度有限元计算。Wang 等^[65]根据 RVE 理论,有效解决尺度不匹配及网格划分设计的困难,分析了玻璃中介层中芯片排列及封装环氧塑料在固化过程中的热机械效应。

Wang 等^[24]建立了带有 4×4 同轴硅通孔阵列的芯片化系统的有限元模型。在线性递减惯性权重粒子群优化(PSO-LDIW)算法框架下,开发了高效的热-应力耦合设计方法,以控制同轴硅通孔阵列的关键指标。

2.3 芯片芯粒电-热-力多物理场耦合及效应分析

随着芯片设计向 Chiplet 方向发展,热效应在高功率密度、高集成度的封装中变得愈发重要。温度的显著升高,特别是热点处的温度集中,不仅会降低芯片性能和寿命,还会通过电迁移导致金属互连失效。此外,大的温度梯度和不匹配的热膨胀系数引起的热应力可能导致机械失效。高温还会导致材料的电磁特性变化,引起信号和电源完整性问题。

传统的热-力耦合主要关注温度场与应力场之间的相互作用,包括温度引起的热应力和变形对导热的影响。然而,在高功率密度、高集成度的 Chiplet

设计中,电场的影响不容忽视,需要引入电-热-力耦合分析。与热-力耦合相比,电-热-力耦合不仅考虑了温度和应力的相互作用,还引入了电场的影响:电流通过焦耳热效应产生热量,温度变化又会影响材料的电学特性,同时机械应力也可能改变材料的电导率,形成了一个更加复杂的耦合系统。

电-热-力耦合在3维堆叠芯片TSV设计中发挥了重要作用^[66-69]。通过考虑焦耳热、热应力,以及材料特性随温度的变化,可以更准确地预测TSV的可靠性和性能^[30]。值得注意的是,在针对4层堆叠高带宽存储器(HBM)结构模型的研究中,电-力耦合下的最大电流密度大于电-热-力耦合下的最大电流密度,一定程度上说明了电-热-力耦合分析在Chiplet技术中的必要性^[31]。虽然理论上是双向耦合,但由于电磁场和热场在时间变化上的显著差异,实际应用中常采用序贯耦合方式,即先求解电磁场,以其耗散功率作为热源再求解温度场,通过迭代实现各场之间的平衡。只有当2种物理现象的时间变化具有相同的量级时,才需要考虑双向同时耦合^[32]。为提高计算效率和稳定性,可以使用前几个时间步的收敛解预测下一个时间步的初始值,通常采用二次曲线外推的方法。此外,自适应松弛因子的引入也可以有效提高求解的收敛性^[33]。通过这些数值技术的优化,电-热-力耦合分析可以更好地服务于Chiplet的设计与验证。

Tian等^[70]开发了先进芯粒键合工艺过程应力演化分析工具(图7),建立了芯粒集成键合工艺残余应力模型,分析了先进芯粒键合工艺残余应力对器件DC(直流电源)与AC(交流电源)性能的影响。该团队还针对芯粒中高功率器件-先进逻辑晶体管器件异质集成热应力多物理场效应开展了数值仿真研究,分析了芯粒中器件异质集成可靠性^[71]。蒲波等^[72]公开了一种时域热传导仿真方法,利用Delaunay等网格方法进行几何建模和网格剖分,通过热学时域有限元的基本方程对每一个时间步进行迭代运算,从而获得准确的时域热传导仿真结果。Wang等^[72]和Li等^[26]开发了基于正交分解的高效Laguerre有限元分析方法,实现了对芯粒瞬态热传导的高效仿真。

Wu等^[73]提出了一种区域分解方法(domain decomposition method, DDM)用于3维集成电路封装结

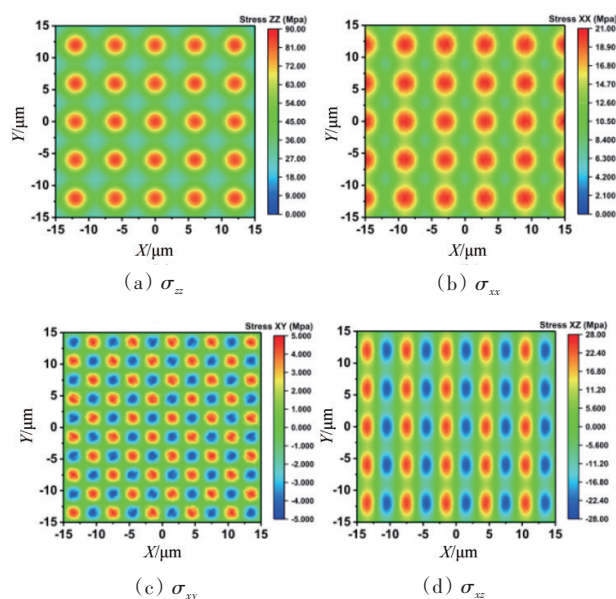


图7 集成芯片键合铜柱中的应力分布

构中的瞬态电热耦合分析,如图8所示,该方法能够在不同子域上使用不同密度的网格,从而优化计算资源的使用,并在不同子域界面处使用非保形网格,增加了网格划分的灵活性。

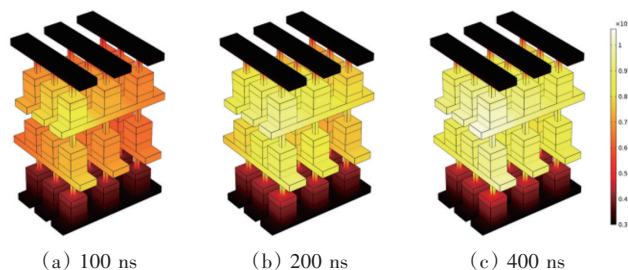


图8 RRAM阵列在不同时刻的3维温度分布

Zhi等^[74]对2.5维集成电路中的电-热特性进行了综合分析,应用集成等效热阻法,实现了一种多热源的快速热分析方法,显著提高了计算效率。Luo等^[22]提出了一种有效的电热耦合模型,在考虑焦耳热效应和温度对IR压降的影响的情况下,预测了2.5维CHI(coherent hub interface)系统的稳态温度分布。

Li等^[31]采用多物理场耦合有限元分析方法研究了2.5维封装在固化和回流焊接过程中的应力-应变和翘曲变形演变机制,揭示了封装制造过程中温度变化、应力分布与翘曲行为的影响规律。如图9所示,Sun等^[28]针对3维集成电路(3维-IC)高集成和多

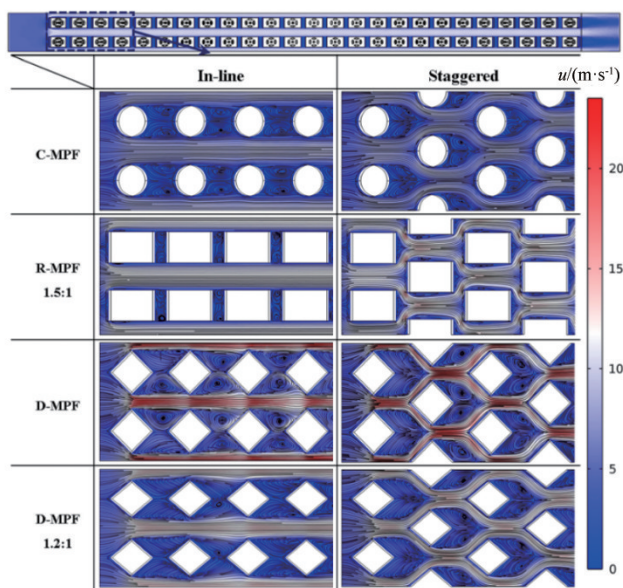


图9 微针翅形状和排列对流场分布的影响

针翅片的3维-IC层间微通道的电-热-流体的多物理模型,研究了芯片温度分布及微通道内的流速分布。

Zhang等^[32]提出了一种基于隐式-显式时域有限差分(hybrid implicit-explicit finite-difference time-domain, HIE-FDTD)混合方法的高效瞬态电磁-热联合仿真求解器。通过TSV模型和3维集成Chiplet封装结构验证了算法的功能。Li等^[31]采用不连续伽辽金时域(discontinuous galerkin time-domain, DGTD)方法进行电磁仿真,实现了一种用于微波电路仿真的电磁-电路-热-应力多物理场数值方法。

Rheem等^[75]通过直接晶圆键合实现了InGaAs HEMT和InP/InGaAs DHBTs在Si CMOS上的异质单片3维(Heterogeneous and monolithic 3维, HM3D)集成射频系统,如图10所示,使用仿真工具研究了在相同直流功率密度条件下不同集成方法HM3D集成结

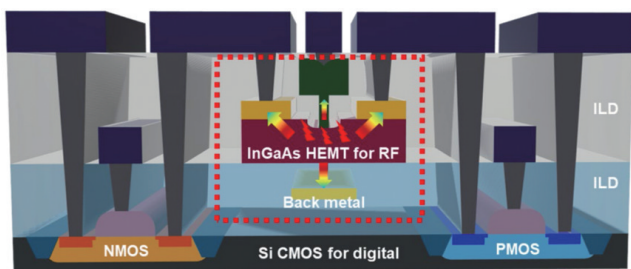


图10 InGaAs HEMT在Si CMOS上的异质单片3维集成结构示意图

构的截面热分布,发现低热阻金属键合方法能够有效解决3维集成电路中的自热问题,增强模块的射频性能,还采用热反射显微技术分析了3维堆叠In-GaAs HEMT和传统2维平面InGaAs HEMT的自热效应,发现前者热阻增加了40.2%。其还通过实验证明背部金属插入策略能有效降低自热效应,同时也通过小信号等效电路仿真和实验结合的方式研究了背部金属寄生电容对射频性能的影响^[76]。

Do等^[77]通过动态秩揭示优化方法和图像生成机器学习模型,实现在系统级封装(system in package, SiP)中针对异构芯片的多物理约束优化布图设计,如图11所示,并通过基于热传导仿真的机器学习模型,解决了传统方法中多物理仿真高计算成本的问题,显著缩短了布图设计的优化时间,同时满足了3维集成系统的热约束,提升了系统性能。

Naeim等^[78]通过Cadence工具链(Voltus和Celsius Thermal Solver)对多核RISC-V SoC的3维堆叠集成进行深入热仿真分析,系统研究了嵌入式微凸点(E- μ Bumps)和晶圆对晶圆混合键合(wafer-to-wafer hybrid bonding, W2W-HB)在不同金属密度和功能分区方案下的热阻和温度分布。研究表明,通过优化3维界面金属密度至20%以上和采用存储-逻辑分区(logic-on-memory, LoM)策略,可显著降低温升(图12)。

Choy等^[79]提出了一种基于物理的多尺度模拟方法,用于研究芯片封装交互(CPI)对芯片性能的影响。团队通过研究模拟温度变化对芯片和封装结构的影响,并分析由于材料热膨胀系数不匹配产生的机械应力,以及这些应力对电气性能的影响。Muslu等^[80]提出了一种多物理场建模方法,用于研究集成冷却的SiC功率电子封装的热力学、力学和电学性能。

2.4 多物理场耦合仿真的其他工程应用

在学术界,多物理场耦合仿真领域的研究已取得了显著性的成果。在工程应用上,研发人员运用理论分析与数值模拟的方式,基于学术界对多物理场耦合现象的内在机理及基本规律的探讨与研究,积极推动多物理场耦合仿真软件的开发与应用。全球范围内,多物理场分析仿真工具在科研和工程领域发挥着举足轻重的作用,Synopsys、Cadence、ANSYS和COMSOL等工具作为技术领导者,引领着

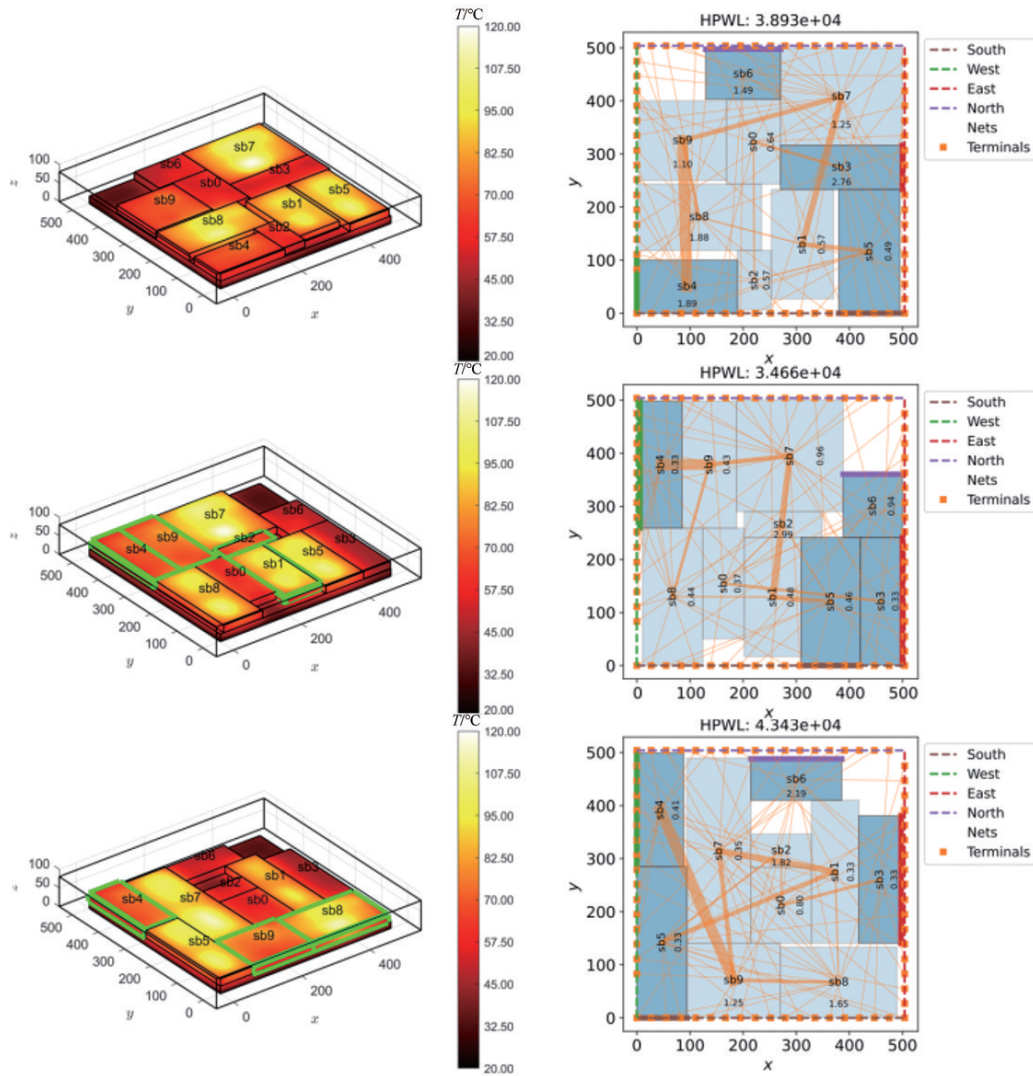


图 11 芯粒布局设计结果

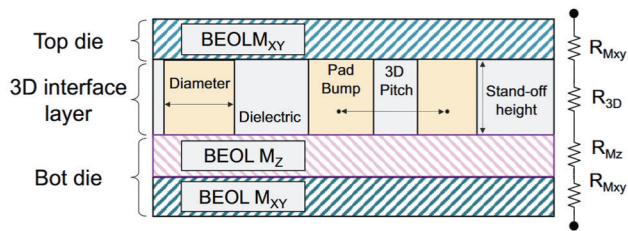


图 12 由后端工艺(back-end-of-line, BEOL)堆叠和 3 维界面层构成的芯片间层的截面和热阻示意

行业发展。Synopsys 与 ANSYS 等合作伙伴,整合了电源、时序、可靠性和热仿真等多物理场分析功能,为用户提供一站式综合解决方案。这些方案旨在优化先进多裸片系统的性能,提升速度和密度,同时确保高可靠性。其仿真工具支持完整的流程,从模型建立到后处理,用户可根据需求选择电磁场、热场、

结构力学等物理场模块进行仿真。Cadence 在多物理场分析仿真领域同样表现出色,其 Cadence Sigrity Power DC 等工具专为高速数字设计的电源完整性分析而设计,具备全面的电源网络分析功能,包括静态电源分布、动态电源分配、瞬态电源分析和热分析等。COMSOL Multiphysics 是一款多物理场仿真软件,能够解决复杂物理问题,它提供丰富的物理场模块,并支持用户自定义设置,满足科研和工程领域的广泛应用需求。

2024 年,多物理场耦合仿真技术的国产化取得了显著进展,主要集中体现在以下方面:国产自主仿真软件体系的建立、跨平台易扩展软件的开发、多物理场耦合仿真技术在微电子技术中的应用、多物理场耦合仿真技术在机械工程中的应用,以及多物理

场耦合仿真技术与人工智能的结合。这些研究热点不仅推动了多物理场耦合仿真技术的发展,也为相关工程领域提供了强有力的技术支持。在电子封装和半导体领域,国内自主研发多物理场耦合软件代表性的有宁波德图科技有限公司的 SonicChiplet、SonicPKG 和 SonicMP,芯瑞微(上海)电子科技有限公司的 PhySim MuLan,珠海硅芯科技有限公司的先进封装设计解决方案,芯和半导体科技(上海)股份有限公司的 Notus 等系列仿真软件,均具备丰富的物理场模块及强大的求解器功能,为多物理场耦合仿真的研究与实践提供了坚实的技术支持。

3 结论

随着系统集成度和复杂度的提升,多物理耦合技术受到了学术界和工业界的广泛重视。但由于应用场景的滞后,导致了多物理耦合仿真技术求解性能还存在一定的不足。近年来,由于集成芯片和芯粒技术对多物理场耦合仿真的需求出现指数级增长,业界围绕多物理场耦合机理,跨尺度多物理场耦合求解等领域的研究开始加速,这种趋势在 2024 年出现了爆发式发展,达到了高峰。本文聚焦 2024 年学术界和工业界在器件和芯粒等电子信息 and 半导体领域的电-热耦合、热-力耦合、电-磁-热-力耦合方向,进行了综合剖析和阐述。可以预测,在未来的几年内,由于半导体制程的摩尔定律在现有材料和架构下将逐步放缓,以集成芯片和芯粒为代表的应用场景的推广,多物理耦合仿真技术将得到更加广泛的应用。

参考文献(References)

- [1] 集成电路前沿技术科学基础专家组,中国计算机学会集成电路/容错计算专业委员会. 集成芯片与芯粒技术白皮书[M]. 北京:中国计算机学会,2023.
- [2] Yu W, Cheng S C, Li Z Y, et al. The application of multi-scale simulation in advanced electronic packaging[J]. *Fundamental Research*, 2024, 4(6): 1442-1454.
- [3] 项少林,郭茂,蒲菠,等. Chiplet 技术发展现状[J]. *科技导报*, 2023, 41(19): 113-131.
- [4] Kwon W, Yoo C, Jeon J. Electrothermal modeling of multi-nanosheet FETs with various layouts[J]. *IEEE Transactions on Electron Devices*, 2024, 71(4): 2592-2597.
- [5] Cai L L, Chen Y T, Zhang H Y, et al. Insight into electromigration reliability of buried power rail with alternative metal material[J]. *IEEE Transactions on Electron Devices*, 2024, 71(1): 418-424.
- [6] Pu B, Pak J S, Jo C, et al. Design of 2.5 D interposer in high bandwidth memory and through silicon via for high speed signal[EB/OL]. [2024-12-10]. <https://doi.org/10.3622-7/techriv.12950261.v1>.
- [7] Julien B, Fabrice F C D, Tadashi K, et al. Development of compression molding process for Fan-Out wafer level packaging[C]//Proceedings of IEEE 70th Electronic Components and Technology Conference (ECTC). Piscataway, NJ: IEEE, 2020: 1965-1972.
- [8] Pande N, Zhou C, Lin M H, et al. A 16 nm all-digital hardware monitor for evaluating electromigration effects in signal interconnects through bit-error-rate tracking[J]. *IEEE Transactions on Device and Materials Reliability*, 2022, 22(2): 194-204.
- [9] Bourjot E, Bond A, Nadi N, et al. Integration and process challenges of self assembly applied to die-to-wafer hybrid bonding[C]//Proceedings of IEEE 73rd Electronic Components and Technology Conference (ECTC). Piscataway, NJ: IEEE, 2023: 1397-1402.
- [10] Hao S G, Li H L. Effect of twin grain boundary on the diffusion of Cu in bulk β -Sn[J]. *Computational Materials Science*, 2023, 226: 112200.
- [11] Lee C C, Hsieh C P, Huang P C, et al. Performance characteristics of strained Ge p-FinFETs under the integration of lattice and self-heating stress enabled by process-oriented finite element simulation[J]. *Applied Physics Express*, 2021, 14(3): 035504.
- [12] Liu R H, Li X J, Sun Y B, et al. Thermal coupling among channels and its DC modeling in sub-7-nm vertically stacked nanosheet gate-all-around transistor[J]. *IEEE Transactions on Electron Devices*, 2021, 68(12): 6563-6570.
- [13] Jia Y, Naceur H, Saadlaoui Y, et al. A comprehensive comparison of modeling strategies and simulation techniques applied in powder-based metallic additive manufacturing processes[J]. *Journal of Manufacturing Processes*, 2024, 110: 1-29.
- [14] Lv Y, Ekaterinaris J. Recent progress on high-order dis-

- continuous schemes for simulations of multiphase and multicomponent flows[J]. *Progress in Aerospace Sciences*, 2023, 140: 100929.
- [15] Sargent R G. Verification and validation of simulation models: An advanced tutorial[C]//*Proceedings of Winter Simulation Conference (WSC)*. Piscataway, NJ: IEEE, 2020: 16–29.
- [16] Duan H L, Li E P, Huang Q Y, et al. Investigation of thermal stress effects on subthreshold conduction in nanoscale p-FinFET from Multiphysics perspective[J]. *Journal of Applied Physics*, 2024, 135(10): 104502.
- [17] Liu Y Z, Li E P, Duan H L, et al. Multiphysics simulation of self-heating-induced thermal stress effects on quantum transport in gate-all-around nanosheet field effect transistors[J]. *IEEE Transactions on Electron Devices*, 2024, 71(10): 5807–5814.
- [18] Min Q, Li E P, Wang Y M, et al. Electrothermal effects on hot carrier injection reliability of n-type FinFETs in ring oscillators[J]. *IEEE Transactions on Electron Devices*, 2024, 71(2): 1191–1198.
- [19] Xu L Y, Liu J C, Shao C, et al. Performance limits exploration of sub-5 nm monolayer germanane transistors: A first-principle quantum transport simulation[J]. *Journal of Applied Physics*, 2024, 135(13): 134303.
- [20] Kristensen T, Nilsson T M J, Divinyi A, et al. Dynamic thermal coupling in GaN MMIC power amplifiers[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2025, 73(1): 38–44.
- [21] Li C Y, Zhang T C, Bao H G, et al. Electro-thermal simulation of GaN HEMT based on a scaling-factor-enhanced time-domain spectral element solver[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2024(99): 1–9.
- [22] Luo X, Zhu H L, Zhang T D, et al. A 200-GHz GaN-based frequency doubler with bidirectional electro-thermal coupling method[J]. *IEEE Microwave and Wireless Technology Letters*, 2024, 34(7): 931–934.
- [23] Ma X N, Xu Q Z, Wang C H, et al. An electrical-thermal co-simulation model of chiplet heterogeneous integration systems[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2024, 32(10): 1769–1781.
- [24] Wang X L, Su J M, Chen D D, et al. Efficient thermal-stress coupling design of chiplet-based system with coaxial TSV array[J]. *Micromachines*, 2023, 14(8): 149.
- [25] Wang X L, Huang J, Chen D D, et al. Electro-thermal-stress multiphysical field coupling optimization design for coaxial through silicon via array[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2024, 14(11): 1978–1986.
- [26] Li B, Tang M, Mao J F. An efficient LBFEM-POD scheme for transient thermomechanical simulation of electronic packages[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2024, 14(8): 1403–1412.
- [27] Li J, Tang M, Wu L S, et al. LB-ADI: An efficient method for transient thermal simulation of integrated chiplets and packages[J]. *IEEE Journal on Multiscale and Multiphysics Computational Techniques*, 2024, 9: 149–156.
- [28] Sun P, Huang B H, Li K, et al. Coupled electrical-thermal-fluidic multi-physics analysis of through silicon via pin fin microchannel in the three-dimensional integrated circuit[J]. *Journal of Electronic Packaging*, 2024, 146(1): 011005.
- [29] He W, Zhou J H, Chen X M, et al. Multi-field coupling in designing embedded microchannels for three-dimensional integrated chip: A topology optimization approach[J]. *Applied Thermal Engineering*, 2024, 248: 123218.
- [30] Tian L, Sha W, Xie H, et al. Carrier transport simulation methods for electronic devices with coexistence of quantum transport and diffusive transport[J]. *Journal of Applied Physics*, 2024, 135(22): 225703.
- [31] Li W Q, Wang X D, Zheng R Q, et al. Finite element analysis of 2.5D packaging processes based on multi-physics field coupling for predicting the reliability of IC components[J]. *Microelectronics Reliability*, 2024, 163: 115530.
- [32] Zhang H H, Jia Z L, Zhang P F, et al. Electromagnetic-circuitual-thermal-mechanical multiphysics numerical simulation method for microwave circuits[J]. *IEEE Journal on Multiscale and Multiphysics Computational Techniques*, 2024, 9: 129–141.
- [33] Niu K K, Zhang W K, Li M Q, et al. Transient electromagnetic-thermal co-simulation of microwave/RF integrated circuits by the HIE-FDTD method[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2024, 72(9): 5228–5244.
- [34] Guo Y Z, Huang P Z. A multi-phase-field model of void crossing grain boundary under electromigration-induced anisotropic surface diffusion in interconnects[J]. *European Journal of Mechanics-A/Solids*, 2024, 106: 105305.
- [35] Wu X W, Chen M Y, Ke L L. An electro-thermo-mechani-

- cal coupling phase-field model of defect evolution induced by electromigration in interconnects[J]. *International Journal of Mechanical Sciences*, 2025, 285: 109792.
- [36] Ceric H, Zahedmanesh H, Croes K, et al. Electromigration-induced void evolution and failure of Cu/SiCN hybrid bonds[J]. *Journal of Applied Physics*, 2023, 133(10): 105101.
- [37] Kim D, Nam K, Park C, et al. Impact of process sequence and device architecture on mechanical stress and electrical properties of 3-D nand flash[J]. *IEEE Transactions on Electron Devices*, 2024, 71(9): 5354–5360.
- [38] Ren H W, Zhao S Y, Mu J, et al. Research on the electro-thermal-mechanical properties of IGBT modules under different bond wire failure modes[J]. *IEEE Transactions on Electron Devices*, 2024, 71(7): 4259–4266.
- [39] Mounce G, Lyke J, Horan S, et al. Chiplet based approach for heterogeneous processing and packaging architectures [C]//*Proceedings of IEEE Aerospace Conference*. Piscataway, NJ: IEEE, 2016: 1–12.
- [40] Tang S Q, Chen J S, Hu Y B, et al. Brief overview of the impact of thermal stress on the reliability of through silicon via: Analysis, characterization, and enhancement[J]. *Materials Science in Semiconductor Processing*, 2024, 183: 108745.
- [41] Harper J M E, Cabral C, Andricacos P C, et al. Mechanisms for microstructure evolution in electroplated copper thin films[J]. *MRS Online Proceedings Library*, 1999, 564(1): 387–392.
- [42] Kong L W, Lloyd J R, Yeap K B, et al. Applying X-ray microscopy and finite element modeling to identify the mechanism of stress-assisted void growth in through-silicon vias[J]. *Journal of Applied Physics*, 2011, 110(5): 053502.
- [43] Chen S X, Zhang H Y, Ling Z C, et al. The survey of chiplet-based integrated architecture: An EDA perspective[EB/OL]. [2024–12–10]. <https://arxiv.org/abs/2411.04410v1>.
- [44] Lawrence K. Ansys tutorial release 2023: Structural & thermal analysis using the ANSYS mechanical APDL release 2023 environment[M]. Kansas City: SDC Publications, 2023.
- [45] Nolan D R, Lally C, McGarry J P. Understanding the deformation gradient in Abaqus and key guidelines for anisotropic hyperelastic user material subroutines (UMATs)[J]. *Journal of the Mechanical Behavior of Biomedical Materials*, 2022, 126: 104940.
- [46] COMSOL Multiphysics® v. 6.3[EB/OL]. [2024–12–13]. <http://www.comsol.com>.
- [47] Ma X H, Wang Y, Wang Y J, et al. Survey on chiplets: Interface, interconnect and integration methodology[J]. *CCF Transactions on High Performance Computing*, 2022, 4(1): 43–52.
- [48] Wang Z F, Zhang J J, Xu Z W, et al. Crystal plasticity finite element modeling and simulation of diamond cutting of polycrystalline copper[J]. *Journal of Manufacturing Processes*, 2019, 38: 187–195.
- [49] Liu S, Liu Y. Modeling and simulation for microelectronic packaging assembly: Manufacture, reliability, and testing [M]. Hoboken, NJ: Wiley, 2011.
- [50] Nie C J, Xu Q Z, Chen L. Equivalent thermal model of through silicon via and bump for advanced packaging of integrated circuits[J]. *Microelectronics Reliability*, 2022, 137: 114790.
- [51] Zhou M H, Li L, Hou F Z, et al. Thermal modeling of a chiplet-based packaging with a 2.5-D through-silicon via interposer[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2022, 12(6): 956–960.
- [52] John H Lau. Thermal stress and strain in microelectronics packaging[M]. Berlin: Springer Science & Business Media, 2012.
- [53] Rao X X, Song J H, Tian Q, et al. A universal and efficient equivalent modeling method for thermal analysis of 3D ICs containing tapered TSVs[J]. *International Communications in Heat and Mass Transfer*, 2022, 136: 106161.
- [54] Tang L, Kuang N L, Zhou X S. Determination of equivalent material properties of microsystem structure for structural simulation analysis[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2023, 13(8): 1218–1233.
- [55] Sun G L, Dai Y W, Qin F, et al. Warpage prediction of wafer-level interposer packaging using equivalent model[C]//*Proceedings of 23rd International Conference on Electronic Packaging Technology (ICEPT)*. Piscataway, NJ: IEEE, 2022: 1–5.
- [56] Baek J W, Yang W S, Hur M J, et al. Representative volume element analysis for wafer-level warpage using Finite Element methods[J]. *Materials Science in Semiconductor Processing*, 2019, 91: 392–398.
- [57] Tian W C, Dang H J, Li D X, et al. Reliability simulation

- analysis of TSV structure in silicon interposer under temperature cycling[J]. *Micromachines*, 2024, 15(8): 986.
- [58] Wang T H, Feng H W, Li J Q, et al. Cross-scale reliability simulation of chiplet devices based on sub-modeling approach[C]//*Proceedings of 25th International Conference on Electronic Packaging Technology (ICEPT)*. Piscataway, NJ: IEEE, 2024: 1-5.
- [59] Jiang T F, Ryu S K, Zhao Q, et al. Measurement and analysis of thermal stresses in 3-D integrated structures containing through-silicon-vias[C]//*Proceedings of IEEE International Interconnect Technology Conference*. Piscataway, NJ: IEEE, 2012: 1-3.
- [60] Ryu S K, Jiang T F, Lu K H, et al. Characterization of thermal stresses in through-silicon vias for three-dimensional interconnects by bending beam technique[J]. *Applied Physics Letters*, 2012, 100(4): 041901.
- [61] Li X, Yin X K, Ma X Y, et al. Thermal cycling reliability analysis of 2.5D chiplet based on silicon interposer[C]//*Proceedings of International Applied Computational Electromagnetics Society Symposium (ACES-China)*. Piscataway, NJ: IEEE, 2024: 1-3.
- [62] Liu K Y, Qin H Y, Guo J R, et al. Stress and fatigue life studies of solder joints in an advanced packaging with chiplet[C]//*Proceedings of International Conference on Mechatronics, IoT and Industrial Informatics (ICMIII)*. Piscataway, NJ: IEEE, 2023: 187-191.
- [63] Kim Y, Park A Y, Kao C L, et al. Prediction of deformation during manufacturing processes of silicon interposer package with TSVs[J]. *Microelectronics Reliability*, 2016, 65: 234-242.
- [64] Hao S D, Chu W S, Ho P S, et al. Analytical and finite element study on warpage and stress of 2.5D chip-package structures[C]//*Proceedings of IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*. Piscataway, NJ: IEEE, 2021: 1-8.
- [65] Wang S H, Hsu W, Liou Y Y, et al. Layout dependence stress investigation in through glass via interposer architecture using a submodeling simulation technique and a factorial design approach[J]. *Micromachines*, 2023, 14(8): 1506.
- [66] 关潇男, 谢志辉, 南刚, 等. 3D堆叠芯片硅通孔的电-热-力耦合构形设计[J]. *半导体技术*, 2021, 46(8): 650-657.
- [67] Zhou J Y, Wang Z, Wei C, et al. Three-dimensional simulation of effects of electro-thermo-mechanical multi-physical fields on Cu protrusion and performance of micro-bump joints in TSVs based high bandwidth memory (HBM) structures[C]//*Proceedings of IEEE 70th Electronic Components and Technology Conference (ECTC)*. Piscataway, NJ: IEEE, 2020: 1659-1664.
- [68] Erbts P, Hartmann S, Düster A. A partitioned solution approach for electro-thermo-mechanical problems[J]. *Archive of Applied Mechanics*, 2015, 85(8): 1075-1101.
- [69] Sepúlveda-Ramos N E, Lee H P, Teng J W, et al. Assessing DC and RF reliability of SiGe HBTs stress-engineered using dummy BEOL layers[J]. *IEEE Transactions on Electron Devices*, 2024, 71(10): 5919-5924.
- [70] Tian L, Liu Y Z, Chen W C. Multiphysics simulation of chiplet integration process-induced stress effects on AC and DC quantum transport of FinFET from system technology co-optimization perspective[J]. *IEEE Transactions on Electron Devices*, 2024, 71(12): 7294-7301.
- [71] Duan H L, Li E P, Huang Q Y, et al. Multiphysics simulation study of thermal stress effects in nanoscale FinFETs heterogeneously integrated with GaN high-power device on silicon substrate[J]. *Microelectronics Journal*, 2024, 150: 106286.
- [72] 蒲波, 何秋森, 范峻. 时域热传导仿真方法及存储介质: CN202211032489.1[S]. 北京: 中国标准出版社, 2022.
- [73] Wu Q Y, Xu Y, Liu N, et al. Electrothermal transient co-simulation with domain decomposition method for 3-D complex integrated systems[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2024, 14(8): 1374-1383.
- [74] Zhi C L, Dong G, Yang D G, et al. Electrical and thermal characteristics optimization in interposer-based 2.5-D integrated circuits[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2024(99): 1-11.
- [75] Rheem N, Jeong J, Suh Y J, et al. First heterogeneous and monolithic 3D (HM3D) integration of InGaAs HEMTs and InP/InGaAs DHBTs on Si CMOS for next-generation wireless communication[C]//*Proceedings of IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*. Piscataway, NJ: IEEE, 2024: 1-2.
- [76] Jeong J, Kim S K, Suh Y J, et al. Thermal studies of 3-D stacked InGaAs HEMTs and mitigation strategy of self-heating effect using buried metal insertion[J]. *IEEE Transactions on Electron Devices*, 2024, 71(8): 4517-4523.
- [77] Do Nascimento V C, Hwang S, Smith M J, et al. Multiphysics-informed ML-assisted chiplet floorplanning for hetero-

- geneous integration[C]//Proceedings of IEEE 33rd Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS). Piscataway, NJ: IEEE, 2024: 1–3.
- [78] Naeim M, Oprins H, Das S, et al. Thermal analysis of 3D stacking and BEOL technologies with functional partitioning of many-core RISC-V SoC[C]//Proceedings of IEEE Computer Society Annual Symposium on VLSI (ISVLSI). Piscataway, NJ: IEEE, 2024: 33–38.
- [79] Choy J H, Moreau S, Brunet-Manquat C, et al. Warpage study by employing an advanced simulation methodology for assessing chip package interaction effects[C]//Proceedings of the 2024 International Symposium on Physical Design. New York: ACM, 2024: 85–90.
- [80] Muslu A M, Smet V, Joshi Y. Multi-physics modeling of a power electronics package with integrated cooling[C]//Proceedings of 27th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC). Piscataway, NJ: IEEE, 2021: 1–6.

Hotspots and trends in collaborative research of numerical simulation and multiphysics in 2024: A review

PU Bo¹, CHEN Wenchao², ZHANG Zhaofu³, CHEN Zenghui⁴, ZHAO Yi⁵, HAO Qinfen^{6,7*}, SUN Ninghui⁷

1. Ningbo DeToolIC Technology, Co., Ltd., Ningbo 315800, China
2. College of Information Science and Electronic Engineering, Zhejiang University, Hangzhou 310027, China
3. The Institute of Technological Sciences, Wuhan University, Wuhan 430072, China
4. PhySim Electronic Technology Co., Ltd., Shanghai 201306, China
5. Zhuhai Silicon Chip Technology Ltd., Zhuhai 519060, China
6. Wuxi Institute of Interconnect Technology, Wuxi 214104, China
7. Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100086, China

Abstract With hardware structures being highly integrated, more complex, and further three-dimensionalized, multiphysics coupling simulation has become one of the challenging aspects in engineering applications and one of the mainstream research directions in interdisciplinary fields. It is becoming an important means to promote the progress of electronic science and technology, graph theory and mesh technology, thermodynamics and dynamics, etc. However, currently issues, such as unclear research on the mechanism of multiphysics coupling and lack of simulation methods and tools, seriously restrict the application and promotion of multiphysics coupling simulation technology. This paper reviews the research progress related to numerical simulation and multiphysics collaboration in 2024 from the two following aspects: multiphysics modeling and simulation technology, and multiphysics effects and simulation analysis. The modeling and simulation technology covered the range expanding from devices to chips, from chiplets to packaging, and from circuit boards to systems; the research and simulation technology on effects made significant progress from mechanism analysis to engineering applications. It is predicted that in the next few years, with the increasing demand for 2.5D and 3D chip integration, multiphysics coupling simulation technology will revolve around new application scenarios and play a greater role in solving practical problems and meeting industry challenges.

Keywords multiphysics coupling; simulation and numerical analysis techniques; reliability; semiconductor devices; integrated chips and chiplets; electronic design automation ●



(责任编辑 王微)