

超导量子芯片硅穿孔填充技术

郑伟文¹, 栾添^{1,2}, 张祥¹

1. 量子科技长三角产业创新中心, 苏州 215123

2. 中国电子科学研究院, 北京 100041

摘要 超导量子计算是目前最有可能实现实际应用的量子计算方案之一, 多层堆叠是实现超导量子比特大规模扩展的最佳方案。介绍了超导量子芯片中硅穿孔(TSV)填充工艺的特点并汇总概括了当前超导 TSV 填充技术。以电镀和金属熔融填充为代表的完全填充工艺具有器件可靠性高、工艺复杂度低等优点, 但与半导体技术兼容性较差; 以物理气相沉积、化学气相沉积、原子层沉积和快速原子连续沉积技术为代表的部分填充工艺, 具有与半导体技术兼容性好的优点, 但器件可靠性低、工艺复杂度高。开发新材料的电镀工艺或许是未来较为可靠的方案。

关键词 超导量子; 多层堆叠; 硅穿孔; 薄膜沉积

随着人工智能的快速发展, 人们对于算力的需求愈加迫切。传统半导体芯片目前已经进入 3 nm 阶段, 受到量子效应和热量耗散的限制, 芯片性能提升空间受到了严重的制约。量子科技被誉为第 4 次科技革命, 将会对传统科技产业产生极大地颠覆和提升。尤其是量子计算在理论上所展现的超强算力, 将彻底改变人类在信息数字时代的生活。

目前, 超导量子计算^[1-4]是最有可能实现实用化量子计算的方案之一, 也是发展最前沿的技术方案之一。经过近 20 年的发展, 超导量子比特的数量和质量都有了极大的提升: 相干时间由最初的 ns 级提升到 ms 级^[5-6], 可实现 $10^4 \sim 10^5$ 的门操作; 单双门保真度也分别达到了 99.9% 和 99% 的最低阈

值^[7-8]; 比特数量达到 100 量级, 进入了含噪声中等规模量子时代 (noisy intermediate-scale quantum, NISQ)。近些年, 谷歌、IBM、中国科学技术大学团队先后公布了其最先进的量子计算机, 在特定问题求解上宣布了“量子优越性”^[9]。尤其是 IBM 团队, 其公布的超导量子路线图显示, 计划在 2023 年量子比特数量突破 1000 位, 到 2026 年达到 $10^4 \sim 10^5$ 位。

根据目前的理论设计和工艺能力, 超导量子比特只能在平面进行扩展, 无法借鉴传统半导体芯片在有限的芯片面积内通过缩小晶体管尺寸以及多层排布等方式增加晶体管数量。而受到稀释制冷机内部空间的限制, 量子芯片的面积受到极大制约。当前国内外也有很多科研团队进行了光电转

收稿日期: 2023-09-22; 修回日期: 2023-11-16

基金项目: 苏州市科技计划项目 (ZXL2022424)

作者简介: 郑伟文, 工程师, 研究方向为超导量子芯片工艺, 电子信箱: zhengweiwen45@126.com

引用格式: 郑伟文, 栾添, 张祥. 超导量子芯片硅穿孔填充技术[J]. 科技导报, 2024, 42(2): 50-57; doi: 10.3981/j.issn.1000-7857.2024.02.005

换技术的研究,用光缆替代传统低温同轴线电缆进而减少占用低温制冷机内部空间;有团队研制超大型低温制冷机,以扩大其内部冷却空间;还有团队进行低温制冷机的互联试验,以实现多芯片之间的分离耦合连接。但现阶段,只能以多层堆叠的形式,对芯片进行叠加,进而缩小单芯片尺寸。在多层堆叠工艺中,硅穿孔^[10-12](through silicon via, TSV)是最核心的工艺技术,而在关键的填充工艺方面,超导量子芯片和传统半导体技术存在很大的区别。

1 超导量子芯片多层堆叠

目前,主流的超导量子比特设计采用的是,Transmon形式,广义单个完整比特包括读取、控制、谐振腔、十字电容、约瑟夫森结这五大基本结构^[13]。谐振腔和十字电容的面积一般在 mm^2 量级,因此对于比特数量超过100的超导量子芯片,无法在 cm^2

尺寸的单平面芯片上完成制备。而超导量子芯片要求在极低温 mK 级条件下运行,只有稀释制冷机能满足需求,但其内部空间极为有限。

由于量子芯片对二能级缺陷(two-level system, TLS)、串扰十分敏感,介质材料的引入会极大地降低芯片性能,因此无法使用介质材料进行多层布线实现比特的大规模集成。目前最通用的手段是将约瑟夫森结和测控结构拆分成多个平面,利用空间耦合手段进行多层堆叠^[14-18],例如IBM的Eagle和Osprey量子芯片^[14]。在IBM公布的芯片模型、相关性能参数和技术迭代图中,采用了将比特、读取和布线层分成3个平面的设计,利用TSV和倒装焊工艺实现3层键合,如图1^[14]所示。同时IBM也在技术分析中明确提到,多层堆叠工艺可以有效降低比特相互间的串扰^[14]。在多层堆叠中,TSV是最核心的技术之一,是实现上下不同层芯片连接的关键,而填充则是实现TSV导通的关键工艺之一。

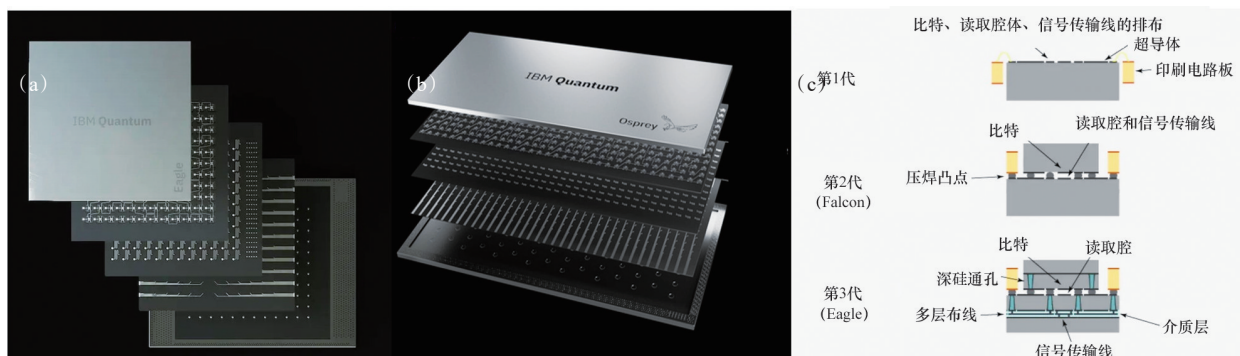


图1 IBM超导量子芯片Eagle模型(a)、Osprey模型(b)和超导量子计算机技术迭代图(c)

2 超导量子芯片 TSV 填充

目前传统半导体的三维封装中,TSV的填充主要以铜为主,采用“自底到顶”的完全填充电镀工艺^[19-20],可以良好的实现完全填充。但是在超导量子芯片中,TSV的填充要求与传统半导体存在较大差别。首先,在超导量子芯片中,所有连接线路必须为超导材料,而超导材料的电镀工艺研究现阶段十分有限。其次,由于量子比特受线路的串扰影响

较大,量子比特层和布线层隔离较远(一般 $> 200 \mu\text{m}$),同时考虑到集成密度,TSV的占地面积较小(一般直径 $< 20 \mu\text{m}$),导致TSV的开口深宽比(aspect ratio, AR)一般超过10。最后,超导量子信息的读取,需要外界的微波信号从布线层进入,通过TSV进入读取层进行操控,一般需要TSV的超导临界电流 $> 10 \text{ mA}$,对TSV内的超导薄膜质量要求较高。这些条件对TSV的填充工艺都提出了很大的挑战。根据现有的技术手段,超导量子芯片的TSV

填充手段可以分为完全填充和部分填充。

2.1 完全填充工艺

完全填充工艺,是指将 TSV 内部完全填充超导金属的一种填充方式。目前主要有电镀和金属热熔融合填充 2 种方式。

在现有已开发的金属电镀工艺中,超导金属主要有锡^[21-23]和锌^[24],超导转变温度分别为 3.7 K 和 0.75 K。锡和锌在传统电子器件的焊接和表面涂层电镀中已经广泛使用,相应的工艺也十分成熟,但在超导 TSV 填充中还存在 3 个难点。(1) 金属锡在 13.2℃ 存在相变点,会由白锡转变为粉末状的灰锡,低于 -50℃ 时完全转变为粉末状灰锡,无法在电子器件和线路中使用;(2) 锡中添加适量的金属铋,可以有效改善低温相变问题,但其低温超导性以及极低温下是否会出现相变还有待研究;(3) 锡和锌的电镀主要以表面涂层为主,对于高深宽比的 TSV 填充还缺乏完善的工艺优化。

金属热熔融合填充工艺,填充材料以铜^[25]、锡^[26-28]等低熔点超导金属为主。以填锡为例,具体工艺如图 2^[27]所示,利用毛细效应和真空压差,在真空腔体内将熔融的金属吸入 TSV 孔内,待其冷却后进行化学机械抛光(chemical mechanical polishing, CMP)去除样品表面残留的金属,得到完全填充的 TSV。填充后的样品正反面及 TSV 填充效果如图 3^[27]所示。通过调整真空腔体内的真空度,可以实现不同 AR 的 TSV 的完全填充(一般在几秒内),不仅极大地提升了制备效率,同时还提高孔内电流传输性能及可靠性。此外,由于是完全填充,对 TSV 的内壁粗糙度要求不高,可以有效降低深硅刻蚀工艺的难度。但其存在的问题是,与半导体制备工艺的兼容性差,在洁净间环境很难接受存在高温金属熔融以及所带来的环境污染。此外,金属铜质地柔软,目前还没有很好地去掉表面多余残留的 CMP 或者刻蚀工艺。而金属锡及锡合金的应用同样面临相变转化以及超低温下的超导性问题。

完全填充工艺的优势在于 TSV 内部充满超导金属,可以有效提升电流传输性能和器件可靠性,同时有利于后续样品表面的线路加工,降低工艺复杂度和难度,但目前并没有十分成熟且兼容成熟半

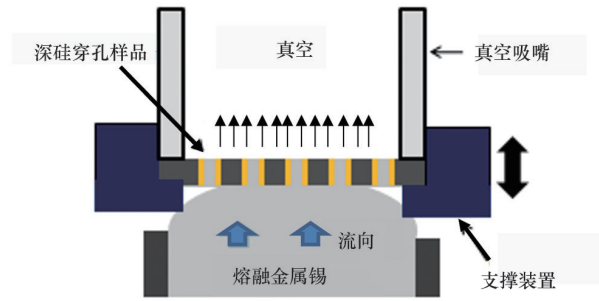


图2 采用真空系统填充 TSV

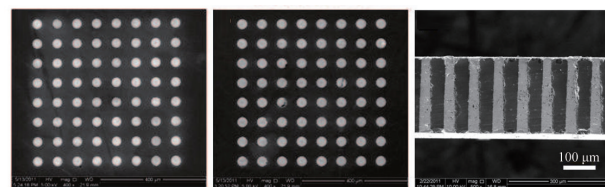


图3 TSV 填充后的正反面以及截面图

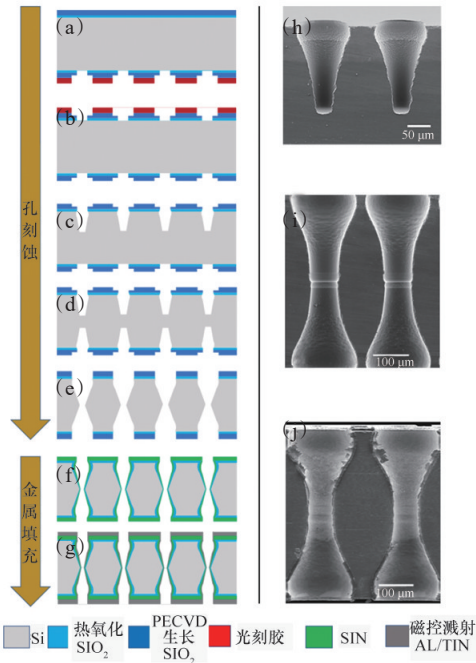
导体工艺的方案。

2.2 部分填充工艺

部分填充是指 TSV 内部并非完全填充,只在其孔内壁生长 1 层或多层的超导薄膜材料,以满足连通性的要求。目前常用的有物理气相沉积(physical vapor deposition, PVD)、化学气相沉积(chemical vapor deposition, CVD)、原子层沉积(atomic layer deposition, ALD)等工艺手段,根据 TSV 不同的 AR 可以选择不同方案。一般 $AR \leq 5$ 时, PVD 因具有较好的薄膜质量以及较高的填充速率,是较合适的方案;当 $5 < AR < 10$ 时, CVD 因具有较好的速率和台阶覆盖性,是较合适的方案;当 $AR \geq 10$ 时, ALD 因具有极高的台阶覆盖均匀性,是较合适的方案。

PVD 工艺主要分为溅射和蒸发 2 种方式。由于金属粒子具有较高的能量,拥有较好的准直性,因此薄膜致密性高,但台阶覆盖能力较差。以磁控溅射沉积铝^[29-30]为例,为更好提升 TSV 孔内侧壁铝膜的质量,将 TSV 设计成漏斗形。由于磁控溅射对深孔的薄膜覆盖均匀性较差,因此采用双向刻蚀填充的工艺,以提升孔内薄膜均匀性,具体工艺方案如图 4^[30]所示。由于 PVD 的填充速率快,可达 nm/s 级,因此其填充的薄膜厚度可以在 μm 级别,能有

效提升 TSV 的连通可靠性和电流传输能力。但由于 PVD 工艺的台阶覆盖性较差,因此只适合 AR 较小的 TSV,同时漏斗形的设计占用芯片面积较大,不适合高密度集成。另外,双向镀膜过程中,为保证孔内金属不被氧化,样品需要在高真空环境内进行翻转,需要设备具有独立设计的特殊机械结构。



(a) 底面刻蚀硬掩膜;(b) 正面刻蚀硬掩膜;(c) 正面深硅刻蚀;
(d) 背面深硅刻蚀;(e) KOH 正反面刻穿硅孔;(f) 热氧生长氧化硅;
(g) 双面生长 Al/TiN 层;(h) 步骤;(c)之后的截面图;(i) 步骤;
(e)之后的截面图;(j) 步骤;(g)之后的截面图

图4 漏斗形 TSV 的制备工艺

CVD 生长 TiN 薄膜具有较高的生长速率和覆盖均匀性,其生长速率可达 nm/s 级,可以快速实现台阶覆盖的目标,在半导体器件加工制备中应用十分广泛^[31-33]。由于 CVD 生长采用将前驱气体和反应气体持续地通入腔体,在等离子体的作用下进行化学反应在衬底表面形核并生长,一般需要对衬底进行高温加热以提供形核的激活能。同时由于气体的连续反应,腔体内部会形成很多悬浮的颗粒,导致生长的薄膜致密性较差,对于高 AR 的 TSV 结构,其覆盖均匀性会随着 AR 的增大而显著降低。

ALD 生长 TiN 填充 TSV 是目前超量子芯片

中最通用的手段^[34-39],如图 5^[40]和图 6^[40]所示。ALD 属于自限性生长技术,薄膜生长以循环为基本单位,每个循环只生长 1 个原子层的厚度,其生长模式为:通入前驱气体——吹扫——通入反应气体反应——吹扫,以此为 1 个循环。通过通入前驱气体吸附在高温样品表面,再通入惰性气体吹扫去除样品表面多余的前驱气体分子,只保留 1 个原子层气体分子,再通入反应气体在等离子体的作用下和前驱气体进行反应,最后再通入惰性气体吹扫去除多余气体和反应副产物,保留样品表面生成的 1 个原子层厚度的薄膜。因此 ALD 生长的覆盖均匀性很高,理论上可以达到 100%,同时薄膜厚度与循环数呈线性关系。但 ALD 生长速率很慢,以 TiN 为例,只有 nm/min 级,因此一般只生长几十或者百 nm 的薄膜。由于 ALD 属于气相沉积,薄膜的致密性与 PVD 相比工艺较差,同时由于生长薄膜厚度很薄,所以要求 TSV 内壁的粗糙度很小,以提高薄膜的整体质量。这就需要特别优化深硅刻蚀工艺,减小内壁起伏尺寸,同时需要搭配后续的侧壁粗糙度优化工艺^[38,41-42]。

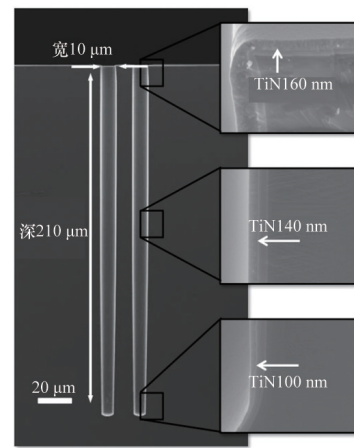


图5 TSV 内 ALD 生长 TiN 截面

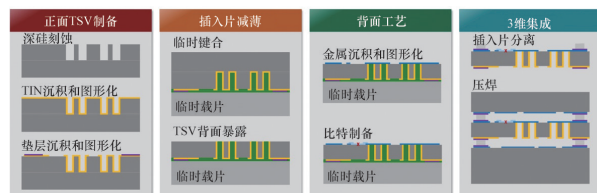


图6 3D 堆叠制备流程

为提高实际的生产效率、获得比CVD更好的深孔覆盖均匀性及比ALD更高的生长速率,研究人员开发了一种新的化学气相沉积方式——快速原子连续沉积技术(fast atomic sequential technique, FAST),其生长模式、生长速率和深孔覆盖均匀性分别如图7^[43]和图8^[43]所示。从图7中可知,该生长模式在传统CVD的模式上对前驱气体和反应气体增加了脉冲设置,但没有吹扫步骤,使其生长

方式介于CVD和ALD之间。通过调节前驱气体和反应气体的脉冲时间和间隔,可以优化调整薄膜的生长速率、覆盖性以及薄膜质量。以AR=35的TSV内生长TiN为例,FAST的生长速度是ALD的3~4倍,孔内薄膜覆盖均匀性可以达到60%以上,在膜厚>40 nm时薄膜电阻率接近ALD水平,较CVD模式降低了1个数量级。

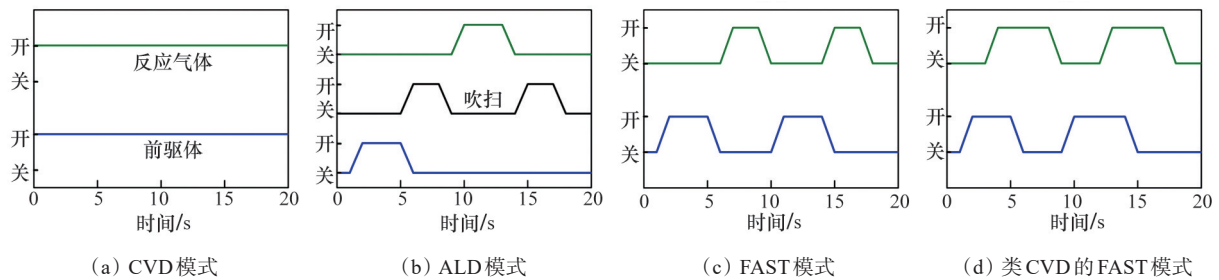


图7 不同生长模式的前驱体和反应气体曲线

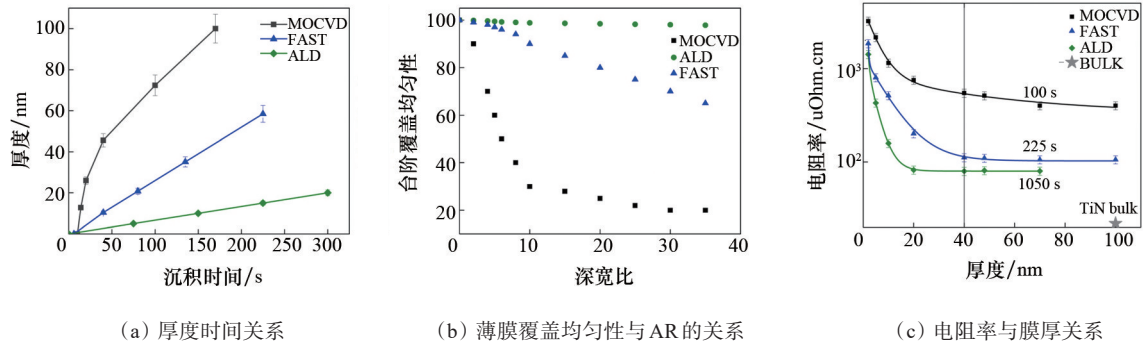


图8 不同模式生长TiN的对比

相较于完全填充工艺,部分填充工艺的优势在于设备材料与目前主流的半导体工艺技术完全兼容。但由于TSV孔内的薄膜质量较平面工艺要差,且TSV是部分填充,薄膜厚度有限,对电流的传输能力和器件的可靠性都存在较大制约。而在后续样品表面线路制备过程中,需要在孔内填满有机物以利于后续的光刻工艺的实施,以及在刻蚀清洗等工艺中保护孔内的薄膜。待所有工艺结束后,再需要清洗孔内填充的有机物,最后进行压焊连接不同层的芯片。因此部分填充工艺增加了芯片的整体制造工艺复杂度和难度,降低了芯片的可靠性。4

种部分填充工艺的优缺点,如表1所示。

表1 4种部分填充工艺的优缺点

| 工艺 | 优点 | 缺点 |
|------|---------------------------|-------------------|
| PVD | 速率很快,薄膜质量好,成本低 | TSV适用AR小,填充覆盖均匀性差 |
| CVD | 速率较快,填充覆盖均匀性较好,成本低 | TSV适用AR较小,薄膜质量较差 |
| ALD | TSV适用AR大,薄膜质量较好,填充覆盖均匀性很好 | 速率很慢,成本高 |
| FAST | TSV适用AR较大,填充覆盖均匀性较好 | 速率较慢,薄膜质量较差,成本高 |

3 结论

超导量子计算已进入 NISQ 时代,且会长期处于该阶段。为了早日实现量子计算的实际应用,除了进一步优化提升相干时间、门保真度以及量子纠错技术外,量子比特的大规模集成是一个重要方向。受限于目前的超低温制冷机的内部空间和现有的工艺水平,超导量子芯片无法进行高密度的集成以缩小芯片尺寸。由于芯片面积的限制,目前主流采用高 AR 的 TSV 设计,利用 ALD 等部分填充工艺生长超导金属薄膜,以提高芯片面积使用效率。但从长期看,超导 TSV 的完全填充是最合适的方案,开发新材料的电镀工艺或许是未来较为可靠的方案。

随着数字经济和人工智能的快速发展,利用量子计算解决实际问题的需求愈加迫切,更多的科研和工程团队进行了超导量子的研究,量子计算的发展也进入快速通道。国内外研究人员普遍认为,量子计算机的发展将经历 3 个阶段:量子计算机和经典计算机的混合计算—解决特殊问题的专用量子计算机—通用量子计算机。而要实现最终的通用量子计算,或许还需要几代人的共同努力。但随着世界各国政府、学术界和市场的共同推动,相信量子计算终将得以实现。

参考文献(References)

- [1] Ezratty O. Perspective on superconducting qubit quantum computing[J]. *The European Physical Journal A*, 2023, 59(5): 1-18.
- [2] Ladd T D, Jelezko F, Laflamme R, et al. Quantum computers[J]. *Nature*, 2010, 464(7285): 45-53.
- [3] 郑伟文, 李晓伟, 熊康林, 等. 超导量子芯片集成技术概述[J]. *电子元件与材料*, 2022, 41(11): 1143-1148.
- [4] 郭光灿, 陈以彭, 王琴. 量子计算机研究进展[J]. *南京邮电大学学报*, 2020, 40(5): 3-10.
- [5] Wang C L, Li X G, Xu H K, et al. Towards practical quantum computers: Transmon qubit with a lifetime approaching 0.5 milliseconds[J]. *Quantum Information*, 2022, 8(1): 1-8.
- [6] Alexander P M P, Lila V H R, Pranav M, et al. New material platform for superconducting transmon qubits with coherence times exceeding 0.3 milliseconds[J]. *Nature Communication*, 2021, 12(1): 1-6.
- [7] Barends R, Kelly J, Megrant A, et al. Superconducting quantum circuits at the surface code threshold for fault tolerance[J]. *Nature*, 2014, 508(7497): 500-503.
- [8] Hong S S, Papageorge A T, Sivarajah P, et al. Demonstration of a parametrically activated entangling gate protected from flux noise[J]. *Physical Review A*, 2020, 101(1): 1-8.
- [9] Kjaergaard M, Schwartz M E, Jochen B, et al. Superconducting qubits: Current state of play[J]. *Annual Review of Condensed Matter Physics*, 2020, 11(1): 369-395.
- [10] Dunsworth A, Barends R, Chen Y, et al. A method for building low loss multi-layer wiring for superconducting microwave devices[J]. *Applied Physics Letters*, 2018, 112(6): 502-505.
- [11] Rosenberg D, Kim D, Das R, et al. 3D integrated superconducting qubits[J]. *Nature Partner Journals Quantum Information*, 2017, 3(1): 42-46.
- [12] Bethany M N, David K K, Mollie E S, et al. Silicon hard-stop spacers for 3d integration of superconducting qubits[C]//2019 IEEE International Electron Devices Meeting. San Francisco, CA, USA: Institute of Electrical and Electronics Engineers Inc, 2019: 729-732.
- [13] 郭秋江. 基于超导多比特电路的量子操控和量子多体物理研究[D]. 杭州: 浙江大学, 2021.
- [14] Dial O. Eagle's quantum performance progress[EB/OL]. (2022-03-24) [2023-09-14]. <https://research.ibm.com/blog/eagle-quantum-processor-performance>.
- [15] Kosen S, Li H X, Rommel M, et al. Building blocks of a flip-chip integrated superconducting quantum processor [J]. *Quantum Science and Technology*, 2022, 7(3): 1-9.
- [16] Das R N, Yoder J L, Rosenberg D, et al. Cryogenic qubit integration for quantum computing[C]//2018 IEEE 68th Electronic Components and Technology Conference. San Diego, CA, USA: IEEE, 2018: 504-514.
- [17] Jochen B, Wayne W, Danna R, et al. Microwave packaging for superconducting qubits[C]//2019 IEEE MTT-S International Microwave Symposium (IMS). Boston, CA, USA: IEEE, 2019: 275-278.
- [18] Huang S H, Lienhard B, Calusine G, et al. Microwave package design for superconducting quantum processors [J]. *PRX Quantum*, 2021, 2(2): 6-21.
- [19] Brecht T, Pfaff W, Wang C, et al. Multilayer microwave integrated quantum circuits for scalable quantum com-

- puting[J]. *NPJ Quantum Information*, 2016, 2(1): 2–5.
- [20] Ma L, Ling H Q, Li M. Pure bottom-up filling process for efficient tsv metallization[C]//2013 14th International Conference on Electronic Packaging Technology. Dalian, China: IEEE, 2013: 356–359.
- [21] Josell D, Moffat T P. Bottom-up electrodeposition of zinc in through silicon vias[J]. *Journal of The Electrochemical Society*, 2015, 162(3): 129–135.
- [22] 黄鑫, 贺子凯, 王敏, 等. 锡铋合金电镀工艺条件的研究[J]. *电镀与涂饰*, 2004, 23(4): 25–27.
- [23] Wang J J, Ma L M, Wang Y S. Investigation on filling method and thermal reliability of sn58bi-TSV[J]. *Materials Letters*, 2021, 288: 10–13.
- [24] 蔡积庆. Sn-Bi 合金电镀[J]. *表面技术*, 2000, 29(3): 30–32.
- [25] Josell D Z, Moffat T P. Bottom-up electrodeposition of zinc in through silicon vias[J]. *Journal of the Electrochemical Society*, 2015, 162(3): 129–135.
- [26] Alfaro J A, Sberna P M, Silvestri C, et al. Vacuum assisted liquified metal (valm) TSV filling method with superconductive material[C]//2018 31st IEEE International Conference on Micro Electro Mechanical Systems. Belfast, Northern Ireland, UK: IEEE, 2018: 547–550.
- [27] Young K K, Hiromichi T F, Yutaka S S, et al. High-speed TSV filling with molten solder[J]. *Microelectronic Engineering* 2012, 89(1): 62–64.
- [28] Young K K, Myong S K, Hiroyuki K, et al. Advanced TSV filling method with sn alloy and its reliability[C]//2011 IEEE International 3D Systems Integration Conference. Osaka, Japan: IEEE, 2011: 1–4.
- [29] Alfaro B J A, Mastrangeli M, Thoen D J, et al. Highly-conformal sputtered through-silicon vias with sharp superconducting transition[J]. *Journal of Latex Class Files*, 2015, 14(8): 1–9.
- [30] Alfaro B J A, Mastrangeli M, Thoen D J, et al. Superconducting high-aspect ratio through-silicon vias with de-sputtered al for quantum 3d integration[J]. *IEEE Electron Device Letters*, 2020, 41(7): 1114–1117.
- [31] Yadav S, Wani V, Singh S, et al. CVD growth of tin selenide thin films for optoelectronic applications[C]//2022 IEEE Region 10 Symposium (TENSymp). Mumbai, India: IEEE, 2022: 1–6.
- [32] Gao L, Zhang Y Y, Bao Y, et al. Tungsten voids improvement by optimizing mocvd-tin barrier layer plasma treatment at 28 nm technology node[C]//2017 China Semiconductor Technology International Conference (CSTIC). Shanghai, China: IEEE, 2017: 1–7.
- [33] Geringswald D, Hintze B, Erns M. Optimization of a tin pe-mocvd process using doe methodology[J]. *Journal of Solid State Science and Technology*, 2017, 6(7): 76–82.
- [34] Zhu Y F, Li F S, Huang R, et al. Remote plasma-enhanced atomic layer deposition of metallic tin films with low work function and high uniformity[J]. *Journal of Vacuum Science & Technology A*, 2018, 36(4): 501–507.
- [35] Musschoot J, Xie Q, Deduytsche D, et al. Atomic layer deposition of titanium nitride from tdmata precursor[J]. *Microelectronic Engineering*, 2009, 86(1): 72–77.
- [36] Caubet P, Blomberg T, Benaboud R, et al. Low-temperature low-resistivity peald tin using tdmata under hydrogen reducing ambient[J]. *Journal of The Electrochemical Society*, 2008, 155(8): 625–632.
- [37] Grigoras K, Simbierowicz S, Grönberg L, et al. Superconducting tin through-silicon-vias for quantum technology [C]//2019 IEEE 21st Electronics Packaging Technology Conference. Singapore: IEEE, 2019: 81–82.
- [38] Yost D R W, Schwartz M E, Mallek J, et al. Solid-state qubits integrated with superconducting through silicon vias[J]. *NPJ Quantum Information*, 2020, 6(1): 59–65.
- [39] Mallek J L, Yost D R W, Rosenberg D, et al. Fabrication of superconducting through-silicon vias[J]. *arXiv preprint*, 2021, doi: arXiv:2103.08536v1.
- [40] Oliver W D. *Fabricating quantum systems of superconducting qubits*[R]. Boston, Massachusetts, USA: ASP, 2019.
- [41] Sparacin D K, Spector S J, Kimerling L C, et al. Silicon waveguide sidewall smoothing by wet chemical oxidation [J]. *Journal of Lightwave Technology*, 2005, 23(8): 2455–2461.
- [42] Yaakub T N T, Yunus J, Latif R, et al. Surface modification of electroosmotic silicon microchannel using thermal dry oxidation[J]. *Micromachines*, 2018, 9(5): 222–230.
- [43] Pierrat F, Vitiello J. At the edge between metal organic chemical vapor deposition and atomic layer deposition: Fast atomic sequential technique, for high throughput conformal deposition[J]. *Journal of Vacuum Science & Technology B*, 2016, 34(2): 1–5.

Through silicon via filling technologies in superconducting quantum

ZHENG Weiwen¹, LUAN Tian^{1,2}, ZHANG Xiang¹

1. Yangtze River Delta Industrial Innovation Center for Quantum Technology, Suzhou 215123, China

2. China Academic of Electronics and Information Technology, Beijing 100041, China

Abstract Superconducting quantum is one of the leading candidates in the race to build a quantum computer and multi-layer stacking may be the best solution for the superconducting qubits extending. This paper briefly introduces the characteristics of through silicon via (TSV) filling technology in superconducting quantum chips, and expounds and analyzes various filling technology schemes. The full-filling technologies, represented by electroplating and metal melt filling, have the advantages of high reliability and low overall process complexity but poor compatibility with semiconductor technology. The partial-filling technologies, represented by physical vapor deposition, chemical vapor deposition, atomic layer deposition and fast atomic sequential technique, have the advantages of good compatibility with semiconductor technology, but low reliability and high process complexity. And the new materials electroplating processes may be one promising solution in the future.

Keywords superconducting quantum; multi-layer stacking; through silicon via; thin film deposition ●



(责任编辑 傅雪)