

# Chiplet 技术发展现状

项少林<sup>1</sup>, 郭茂<sup>2</sup>, 蒲菠<sup>3</sup>, 方刘禄<sup>4</sup>, 刘淑娟<sup>5</sup>, 王少勇<sup>6</sup>, 孔宪伟<sup>7</sup>, 郑拓<sup>8</sup>, 刘军<sup>9</sup>, 赵明<sup>9</sup>, 郝沁汾<sup>9,10\*</sup>, 孙凝晖<sup>10</sup>

1. 合肥复睿微电子有限公司, 合肥 230041
2. 上海市微电子材料与元器件微分析专业技术服务平台, 上海 201210
3. 宁波德图科技有限公司, 宁波 315800
4. 芯耀辉科技有限公司, 珠海 519031
5. 湖北江城实验室, 武汉 430205
6. 超聚变数字技术有限公司, 东莞 523106
7. 中国电子技术标准化研究院, 北京 100007
8. 芯和半导体科技(上海)股份有限公司, 上海 201210
9. 无锡芯光互连技术研究院, 无锡 214104
10. 中国科学院计算技术研究所, 北京 100086

**摘要** Chiplet(芯粒)技术是近年来兴起的新一代集成电路技术,因其具有提升良率、突破光罩极限、芯片架构灵活、芯片组件技术供应货架化等特点,受到产业界的广泛重视。为进一步推动 chiplet 技术在中国的发展,梳理了 chiplet 技术的应用场景,分析了 chiplet 中的各种核心组件技术,阐述了在 chiplet 技术开发中可能出现的各种技术挑战,回顾了中国 chiplet 标准的发展情况,最后针对中国发展 chiplet 技术提出了建议。

**关键词** chiplet 技术;芯粒互连接口;先进封装;多物理场电子辅助设计;信号与电源完整性

收稿日期:2023-05-22;修回日期:2023-07-22

基金项目:国家重点研发计划项目(2022YFB4401501)

作者简介:项少林,架构师,研究方向为多核处理器,电子信箱:erick.xiang@e-genesys.com;郭茂,正高级工程师,研究方向为微电子先进封装,电子信箱:gthriving@hotmail.com;蒲菠,正高级工程师,研究方向为电子设计自动化(EDA),电子信箱:pubo@detooltech.com;方刘禄,高级工程师,研究方向为高速接口电路设计,电子信箱:jacky.fang@akrostar-tech.com;刘淑娟,工程师,研究方向为三维集成工艺,电子信箱:joy\_liu@yangtzelabs.ac.cn;王少勇,高级工程师,研究方向为计算机系统结构,电子信箱:wangshaoyong@xfusion.com;孔宪伟,高级工程师,研究方向为集成电路测试,电子信箱:kongxw@cesi.cn;郑拓,工程师,研究方向为微电子先进封装设计,电子信箱:tuo.zheng@xpeedic.com;刘军,工程师,研究方向为半导体先进封装,电子信箱:liujun@iicit.net;赵明,工程师,研究方向为芯粒标准技术,电子信箱:zhaoming@iicit.net;郝沁汾(通信作者),研究员,研究方向为计算机系统结构,电子信箱:haoqin-fen@ict.ac.cn;孙凝晖,研究员,研究方向为计算机系统结构、高性能计算机,电子信箱:snh@ict.ac.cn

引用格式:项少林,郭茂,蒲菠,等. Chiplet 技术发展现状[J]. 科技导报, 2023, 41(19): 113-131; doi: 10.3981/j.issn.1000-7857.2023.19.013

集成电路工艺制程发展进入摩尔定律后期,芯片资源密度和数字逻辑时钟频率的提升幅度逐代次衰减,导致芯片设计厂商只能通过增加芯片面积以提升集成度,不断挑战光罩极限(reticle size)。Chiplet(芯粒)技术因其具有提升良率、突破光罩极限、芯片架构灵活、芯片组件技术供应货架化等优异特点,受到产业界和学术界的广泛重视。

从国家集成电路产业整体发展的角度考虑,中国的集成电路设计和晶圆制造企业正在面临全方位的竞争压力。Chiplet技术使中国可以在芯片设计与制造方面有可能规避先进工艺风险,并支持灵活定义芯片架构,通过复用成熟IP等诸多方面提升中国芯片设计的竞争力。Chiplet技术的发展和普及,是中国集成电路产业发展的重大机遇。

## 1 Chiplet技术简介

Chiplet是一种把传统的单芯片设计方案改为基于多个芯粒进行设计,并利用先进封装工艺进行集成的芯片设计方法。Chiplet一词既指一种特定技术,芯片设计方法、芯片设计架构,也可以指组成最终芯片的“芯粒”组件(亦称小芯片),有时还被用来指代整个与chiplet技术相关的产业群体。

由于在传统的芯片设计中,本来就存在多个不同的功能单元,以及某些功能单元采用模块化的设计以方便多次复用、降低设计成本的特点,因此在基于chiplet架构设计的芯片中,主要是把多个功能单元或者模块化多次复制的单元用多个单独的芯粒进行设计,并最终通过先进封装工艺实现集成。

图1是一款基于chiplet架构的芯片,芯片中包括3种不同功能的芯粒,芯粒间通过芯粒接口电路(即图1(a)中的D2D互连接口)实现电气互连,并通过硅转接板和基板实现物理连接,芯粒和硅转接板之间通过micro bump互连,以支持芯粒间高速信号的高密度互连,硅转接板和最下面的基板通过C4 bump实现互连,用于电源、对外的I/O等。

## 2 Chiplet应用场景

按照使用场景划分,当前chiplet架构主要应用

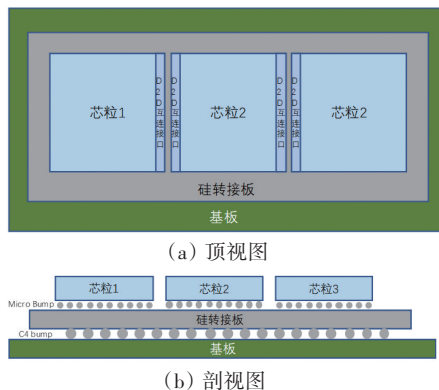


图1 基于chiplet架构的芯片结构图

于服务器处理器芯片、人工智能加速芯片、通信芯片、移动与桌面处理器芯片、晶圆级处理器芯片,目前尚未看到除了这些领域之外的芯片在大量使用chiplet架构设计。

### 2.1 服务器处理器芯片

目前,由于先进制程演进放缓,为追求性能和良率,在服务器处理器芯片中,主要的X86阵营和ARM阵营都在积极拥抱chiplet架构。Intel第4代至强处理器Sapphire Rapids采用了EMIB(embedded multi-interconnection bridge,嵌入式多芯片互连硅桥)封装,集成了4个完全相同的芯粒,获得4倍的处理性能和互连带宽,如图2(a)<sup>[1]</sup>所示。

AMD处理器则从Zen架构就开始引入chiplet设计。从Zen2开始,将功能模块化划分到计算芯粒和I/O芯粒,并通过组合方式满足从desktop(桌面)到server(服务器)的不同规格的需求。图2(b)为基于最新一代Zen4架构的EPYC9004系列,采用基于5 nm的CCD(计算芯粒)和6 nm的CIOD(I/O芯粒)实现芯片产品组合<sup>[2]</sup>。

在服务器处理器方面,中国采用chiplet架构设计芯片的企业代表主要是华为技术有限公司(以下简称“华为”)和平头哥半导体有限公司(以下简称“平头哥”)等,如图3所示,这2家企业均采用了ARM架构。华为海思鲲鹏920处理器采用2个计算芯粒和1个I/O芯粒组合<sup>[3]</sup>,平头哥发布的倚天710处理器,通过2个相同功能的芯粒合封的方式,实现单CPU芯片128核<sup>[4]</sup>;龙芯中科技术股份有限公司(以下简称“龙芯”)的龙芯3D5000处理器,通过合封2个相同功能的3C5000芯粒,实现处理器芯片支持32个LA464处理器核<sup>[5]</sup>。

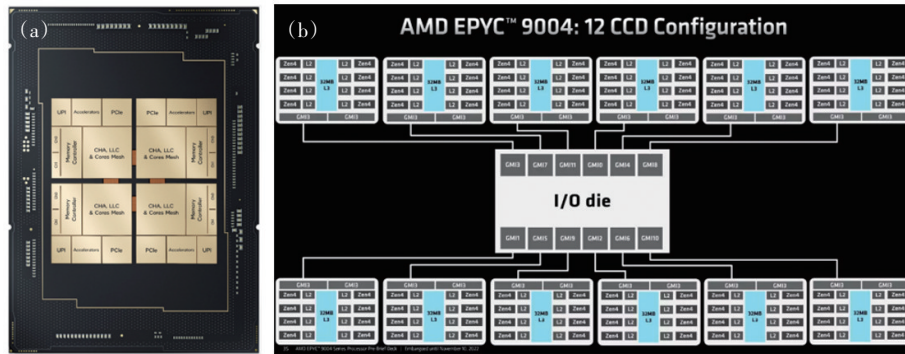


图2 Intel Sapphire Rapids处理器(a)和AMD EPYC9004处理器结构图(b)

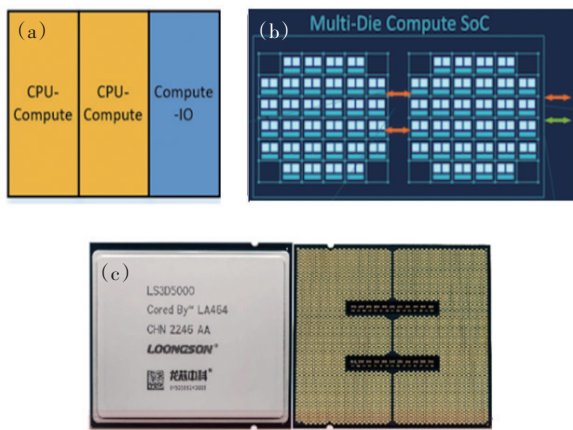


图3 华为海思鲲鹏920处理器(a)、平头哥倚天710处理器(b)和龙芯3D5000处理器(c)结构图

艺的计算芯粒和基于 16 nm 的 I/O 芯粒的组合集成,同时集成了 4 片 HBM2 内存芯粒。寒武纪思元 370 采用 2 片相同的基于 7 nm 工艺的神经网络加速器芯片组合集成,实现性能翻倍。

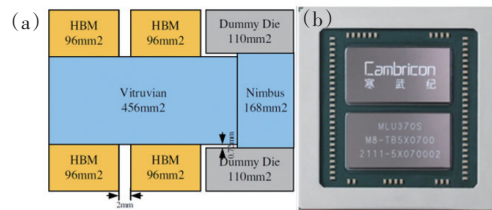


图4 华为昇腾910神经网络专用加速芯片(a)和寒武纪MLU370神经网络专用加速芯片(b)

### 2.2 人工智能加速芯片

随着人工智能技术的发展,大模型的训练和推理对人工智能加速芯片提出了更高的峰值算力和能耗要求:一方面领域特定算力要求很高;另一方面在计算过程中,对内存带宽的要求也非常高。因此,采用 chiplet 架构设计芯片并集成 HBM (high bandwidth memory, 高带宽存储) 芯粒是一种非常流行的做法。

目前典型用于神经网络的训练和推理的芯片可以分为 3 类:神经网络专用的加速器芯片、GPGPU (general-purpose computing on graphics processing units, 通用图形处理器) 芯片和 FPGA (field programmable gate array, 现场可编程门阵列) 芯片。

在神经网络专用加速芯片中,国内采用 chiplet 架构设计的典型芯片有华为昇腾 910 等<sup>[6]</sup>和中科寒武纪科技股份有限公司(以下简称“寒武纪”)的思元 370<sup>[7]</sup>等,如图 4 所示。其中昇腾 910 基于 7 nm 工

在 GPGPU 芯片中,国外企业采用 chiplet 设计的典型代表是 Intel Ponte Vecchio 芯片<sup>[1]</sup>、AMD MI 系列芯片<sup>[8]</sup>、NVIDIA Corporation (以下简称 NVIDIA) 的 H100<sup>[9]</sup>等,如图 5 所示。国内企业的代表主要是壁仞<sup>[10]</sup>、燧原<sup>[11]</sup>等。其中壁仞 BR100 采用 2 片基于 7 nm 工艺的完整功能芯粒组合使用,再封装 4

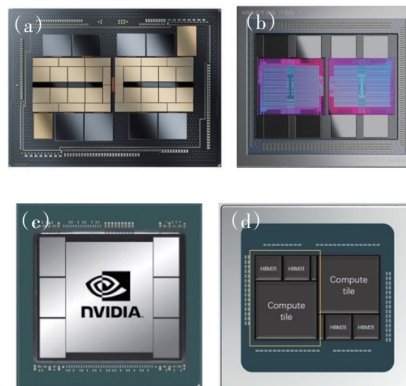


图5 Intel Ponte Vecchio(a)、AMD MI200(b)、NVIDIA H100(c)及壁仞BR100(d)GPGPU芯片

片 HBM2E, 从而使单芯片有效硅面积达  $1074 \text{ mm}^2$ ; 据测算, BR100 采用基于 chiplet 的设计, 相比于单片设计的芯片实现方式, 可以获得 30% 性能提升和 20% 良率提升<sup>[10]</sup>。燧原 DTU1.0 则主要是在其 GPGPU 芯片封装里集成了 HBM 内存芯粒。

此外, 由于逻辑单元密度和工艺相关度极高, FPGA 一直是各种先进工艺的率先使用者, 因此基于 chiplet 的设计在 FPGA 上也有着重要的应用。基于 chiplet 架构设计的 FPGA, 国外典型代表是 Intel Agilex M 系列 FPGA 计算芯片, 基于 7 nm 工艺, 通过 EMIB 的方式集成 HBM2E、400GbE 以太网接口、CXI (Computer Express Link, 计算互连标准) 接口、PCIe (Peripheral Component Interconnect express, 周边设备高速互连标准) Gen5 接口和 116G XCV R 接口, 支持从数据中心到边缘计算的带宽和吞吐量要求<sup>[12]</sup>。中国在 FPGA 芯片方面的代表主要是上海复旦微电子集团股份有限公司、无锡中微亿芯有限公司、紫光国芯微电子股份有限公司等, 预计这些企业将在下一代产品上采用 chiplet 架构设计。

### 2.3 通信芯片

无线通信和以太网交换机、路由器芯片是数据中心中除了服务器处理器芯片之外的重要芯片, 由于接口电路在先进工艺下的收益相对不显著, 基于 chiplet 的设计可以有效降低成本。如图 6 所示, 目前基于 chiplet 的数据通信芯片设计, 国外有 Intel Barefoot Tofino2 以太网交换机芯片, 采用基于 7 nm 工艺的 switch 核心芯粒和 4 个基于 12 nm 工艺的 I/O 芯粒组合集成的方式实现整个芯片设计<sup>[13]</sup>。国内的代表是华为的无线处理器和智能网卡处理器, 华为无线处理器采用计算芯粒和加速器芯粒组合集成的方式, 智能网卡处理器则是计算芯粒和网络 I/O 芯粒的组合集成<sup>[3]</sup>。

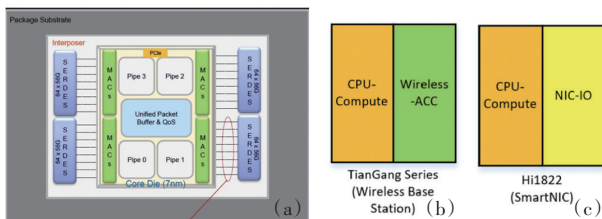


图 6 Intel Barefoot Tofino2(a)、华为无线处理器(b)和智能网卡处理器(c)封装示意

### 2.4 移动与桌面处理器芯片

相比云端高性能处理器, 移动与桌面端由于封装面积限制和功耗限制, 采用 chiplet 的设计所获得的收益相对较小, 但在移动和桌面端采用 chiplet 方式在先进工艺还没有就绪的情况下可以获得算力暂时的扩展, 也是一种有效的市场策略。典型代表如 Apple M1 Ultra<sup>[14]</sup>、AMD Ryzen 系列桌面级处理器<sup>[15]</sup>等。如图 7 所示, Apple M1 Ultra 采用 ultra fusion 封装技术集成 2 颗 M1 Max 芯片, 使 2 颗芯片之间互连带宽超过 2.5 TB/s, 且延时较低, M1 Ultra 的算力达到 M1 Max 的 2 倍, 同时 M1 Ultra 在软件层面依然是一个完整芯片。

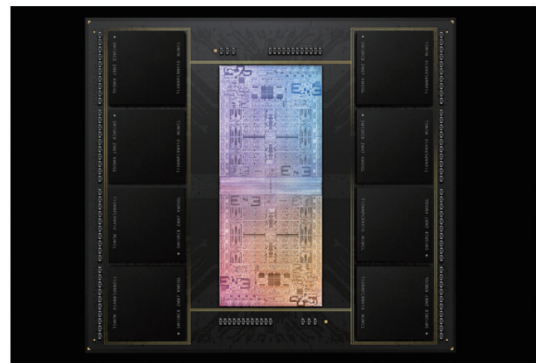


图 7 Apple M1 Ultra 芯片结构图

### 2.5 晶圆级处理器芯片

晶圆级处理器, 又称晶上系统, 是近年来在国内外兴起的计算系统, 其概念主要是针对某些行业特定领域的算力应用需求, 结合芯片设计技术芯粒化的技术趋势, 将大量事先设计好、具备各种功能的芯粒借助特定的先进封装技术进行互连, 并在相关的软件系统协助下, 构成一个晶圆级的计算系统。目前国外已经出现了一些产品以及相关的关键技术, 如图 8 所示的美国 Cerebras 公司于 2019 年推出的 CS-1 晶圆级计算系统<sup>[16]</sup>, 用于高性能计算和人工智能应用。组成 CS-1/2 系统的 WSE 系列芯片在一个 12 inch 的晶圆上完成制造, 晶圆被分为了 84 个大小为  $525 \text{ mm}^2$  的计算芯粒, 芯粒和芯粒之间通过 cross-die-wire 技术进行互连, 以实现通信。在晶圆级处理器方面, 国内尚处于起步阶段, 主要工作集中于晶上系统架构和晶上网络开发、晶圆级封装工艺研发。

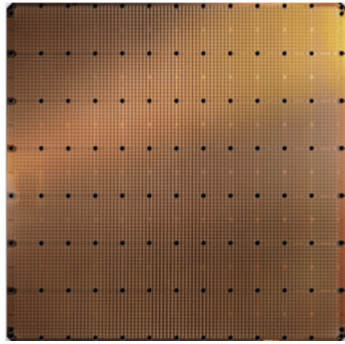


图8 Cerebras公司的CS-1/2晶圆级计算系统

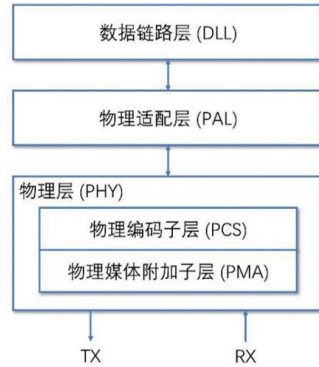


图9 典型 chiplet 标准协议层次图

### 3 组成 chiplet 设计方法的核心技术组件

作为一种芯片的设计方法, chiplet 技术涉及到了 chiplet 接口电路、chiplet EDA (electronic design automation, 电子设计自动化) 设计工具, 以及 chiplet 先进封装技术等技术组件。

#### 3.1 Chiplet 接口电路

Chiplet 接口电路是基于 chiplet 架构的芯片所特有的一种技术, 其主要功能是传递不同芯粒之间的数据。值得注意的是, 需要避免将 chiplet 接口电路与 DDR (double data rate, 双倍数据速率) 协议、PCIe 等用于芯片 I/O 的协议混淆, 虽然 DDR 和 PCIe 可能采用了和 chiplet 接口一样的底层物理接口, 但主要区别在于 chiplet 接口电路一般被用在连接位于一个封装内的多个芯粒实体, 其通信协议中一般只包括物理层和链路层等层次, 且在 2 个互连的芯粒上都有对等的 PHY (物理层) 部分。典型的 chiplet 标准协议层次如图 9 所示。

在多种 chiplet 场景中, 用于多个芯粒之间互连的物理层只有 2 种方式: 一种基于并行单端信号; 另外一种基于串行差分信号。在 chiplet 接口电路中的层次通常只有物理层 (含物理适配层) 和链路层, 这是因为 chiplet 芯片中多个芯粒之间距离非常近, 通常在物理层实现互连, 而在物理层实现互连则主要考虑电气性能如何达到要求、数据速率的匹配等, 一般不会涉及到上层协议层面的通信, 上层协议内容通常和具体应用场景有关系。

##### 3.1.1 并行单端物理层

基于并行单端物理层的 chiplet 接口电路包括发送器、接收器和前向时钟架构, 如图 10 所示。其优点是低延时, 延时一般小于 5 ns; 传输能效好, 能效比优于 1 pJ/bit; 面积和功耗小。其缺点是单端传输, 对于干扰抵抗能力弱, 单个信号速率无法做到非常高速, 速率很难超过 32 Gbps; 为了提升总传输带宽, 通常信号间距小, 不仅成本高, 走线密集度高, 信号间干扰严重, 传输距离无法太长, 一般控制在 5 mm, 信道的奈奎斯特速率损耗大约为 5 dB; 同

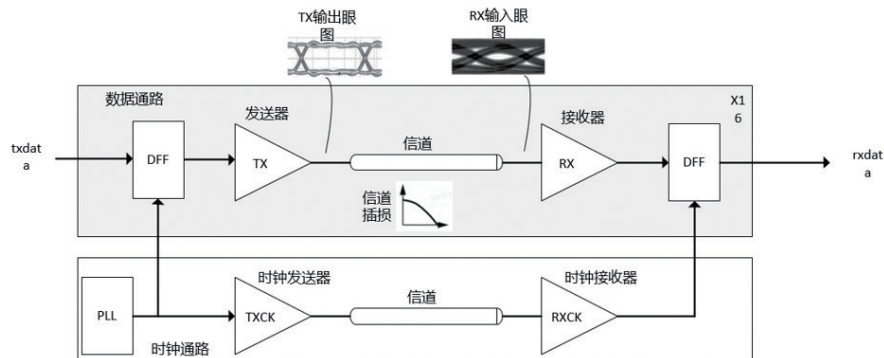


图10 Chiplet 接口电路中的并行单端物理层

时信号完整性的设计也面临很大的挑战。基于并行单端物理层的 chiplet 接口电路通常用于多个功能紧耦合、对延时和能效比敏感的芯粒单元之间实现互连。

### 3.1.2 串行差分物理层

基于串行差分物理层的 chiplet 接口电路包括发送器、前馈均衡器 (FFE)、连续时间均衡器 (CTLE) 和时钟恢复电路, 如图 11 所示。其优点是

对抗干扰能力好, 传输距离长, 可达 50 mm, 信道的奈奎斯特速率损耗可以控制在 10 dB 以内, 单通道传输速率可以做到 112 Gbps, 并可以适用低成本的有机基板封装。其缺点是传输延时较高, 可以达到 8 ns, 且传输能效较单端接口差, 达到 1.5 pJ/bit, 另外占据的面积和功耗较大。基于串行差分物理层的 chiplet 接口电路通常用来扩展已经设计好的芯片, 或者用于对延时不敏感的多个芯粒互连场景。

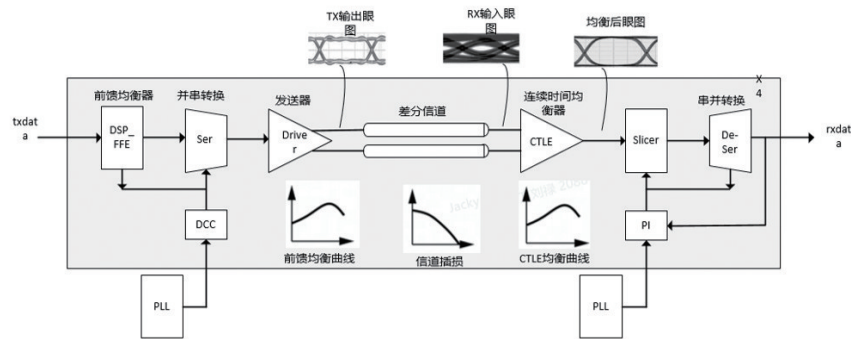


图 11 Chiplet 接口电路中的串行差分物理层

Chiplet 接口电路技术属于集成电路行业中的 IP 业务, 国外的主要代表是 Synopsys 和 Cadence, 国内主要有芯耀辉、芯动、牛芯半导体等公司, 均推出了相应的 chiplet 接口 IP, 并同时具备单端和差分 2 种物理层, 可以适用于多种芯粒互连场景。

### 3.2 Chiplet EDA 设计工具

另外一个和 chiplet 技术非常相关的技术是 EDA 工具中的多物理场仿真技术。当多个相同或不同功能的芯粒集成在一起时, chiplet 芯片封装内部电、磁、热、应力、流体密度快速提升, 此时多个物理域会互相耦合作用, 传统芯片 EDA 工具中的单一场求解器无法准确模拟实际的芯片工作状态, 设计者在进行仿真设计时, 必须将多种单一物理场求解器结合起来, 进行多物理场协同分析, 才能够准确仿真芯片实际的工作状态及环境。

多物理场仿真技术主要考虑多个物理量, 例如电场、热场、磁场、应力、声、光、流体和结构等之间相互耦合作用下的仿真场景。相比单物理场仿真, 多物理场仿真更能准确表达实际的物理世界<sup>[17-18]</sup>。例如, 在采用 2.5 维 (2.5D) 封装和 3 维 (3D) 先进封

装技术的 chiplet 应用场景里, 芯片在大的电流工作环境下, 会导致热量累积, 造成散热困难。因为板材的热膨胀系数不一样, 各个区域产生的热应力又有区别, 所以会引发芯片和封装的翘曲, 焊球的脱落, 从而导致芯片不能工作<sup>[19]</sup>。

能够提供多物理场仿真分析方案的国外 EDA 厂商主要是 ANSYS 和 Mentor Graphics 等, 这些厂商提供了芯片/封装/系统的信号完整性/电源完整性/热/应力等多物理场仿真方案。如图 12 所示, 基于封装和电路板版图设计, 多物理场仿真软件首先对结构进行 2D 和 3D 的结构化导入解析, 然后进行几何处理、渲染和网格剖分, 实现前处理阶段的准备工作。接下来进入引擎求解阶段, 软件调用电-磁-热-力-流体等引擎, 对多个物理场要素在强耦合情况下进行计算, 得出芯片版图结构在多物理场下的电特性、磁特性、温度、应力应变和热交换效率等结果。目前国内 chiplet 领域多物理场仿真解决方案也在逐步完善中, 有相应的电磁-热-应力协同仿真设计工具, 具备自主研发的 3D 电磁仿真计算功能, 拥有核心算法, 同时具备高性能有限元/矩

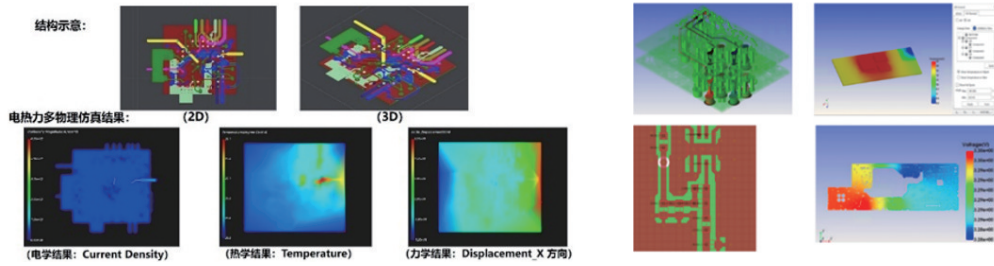


图12 国内某EDA公司的多物理场仿真软件仿真实例

量法求解器。国内具有 chiplet 相关 EDA 工具产品的公司主要有宁波德图科技有限公司、芯和半导体科技(上海)股份有限公司、芯瑞微(上海)电子科技有限公司等。

### 3.3 Chiplet 先进封装技术

多芯粒通过封装实现互连是 chiplet 技术的主要特点。传统封装技术已不能适应 chiplet 技术发展的需要,高密度基板或转接板、高节距高密度的

铜柱等先进封装技术在 chiplet 中被大量应用,封装结构从 2D 到 3D 封装,在各个维度提高互连密度,缩小互连距离,同时降低成本;芯片焊接(die bond)工艺也从回流焊发展到热压焊、混合键合,芯片互连节距从 100 μm 以上缩小到 3 μm 甚至更小,互连带宽更大,互连质量更好。表 1 总结了 chiplet 先进封装技术指标对比。

表 1 Chiplet 先进封装技术指标对比

封装技术	互连线宽或间距/μm	bump 节距/μm	chiplet gap/mm	硅通孔(TSV)	工艺复杂度	互连带宽
2D MCM	9/12	130	>1	不需要	低	较高
2.3D 封装	10/10	80	>1	不需要	低	较高
2.5D-转接板	0.5/0.5	36	<0.2	需要	高	高
2.5D-FOP	2/2	40	<0.2	不需要	较高	高
2.7D-硅桥	0.5/0.5	36	<0.5	不需要	高	高
3D 封装-bumped	0.5/0.5	36	<0.2	需要	高	高
3D 封装-bumpless	<0.5	3	垂直堆叠 X/Y方向为0	需要	超高	超高
光电 合封	光引擎 光引擎-主芯片		同 2.5D/3D 同 MCM			高 超高

#### 3.3.1 2D MCM 封装

MCM(multi chip module,多芯片组件)封装,即基板平面方向集成多个芯片或芯粒,是比较成熟的先进封装技术,一般是指通过引线键合(bonding)或/和倒装芯片(flip chip)技术实现芯粒和有机基板(substrate,以下简称基板)连通,最终芯粒之间通过基板实现互连。因为引线键合只能在芯粒四周出连线,互连密度低,信号线长,不利于高速信号互连,所以在 chiplet 中更多应用基于高密度基板的倒装芯片 MCM,基板上的走线宽度/间距可达 9/12 μm,芯粒到芯粒的间隙可以到 1 mm,保证了芯粒互连信

号质量,同时有利于缩小封装尺寸,控制封装成本。采用 MCM 封装技术的典型芯片是 AMD 公司基于 Zen 架构的服务器和台式电脑处理器芯片,国内寒武纪公司云端训练芯片思元 370 也采用 MCM 封装形式完成 2 个芯粒的互连,如图 13<sup>[7]</sup>所示。

#### 3.3.2 2.3D 封装

2.3D 封装是指在一个有机转接板上实现芯粒之间的互连,然后再和基板相连,如图 14(a)所示。它将高密度有机转接板和低密度基板分开制造,便于提高基板良率和降低封装成本。2.3D 封装中有有机转接板很薄,由于没有玻纤等增强材料,刚度很



图13 采用MCM封装的寒武纪神经网络处理器芯片

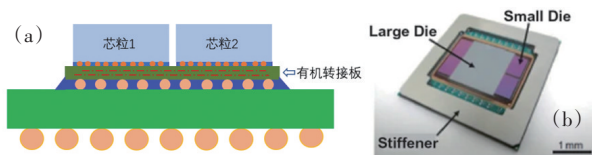


图14 2.3D封装概念图(a)及采用2.3D封装的Cisco公司芯片(b)

低,所以翘曲(warpage)控制是个难点。

目前有报道 Cisco 公司一款芯片已成功运用该技术,产品线宽/间距为 6/6  $\mu\text{m}$ ,集成 5 个芯粒,如图 14(b)<sup>[20]</sup>所示。国内目前已有公司在开发双基板封装,理念和 2.3D 封装类似,只不过其基板互连密度没有 2.3D 有机转接板高。

### 3.3.3 2.5D 封装-硅转接板

2.5D 封装是指通过无源硅转接板(silicon interposer)实现芯粒之间的互连,然后再和基板集成。如图 15 所示,一个 SoC(system on chip,系统级芯片)和 HBM 通过硅基转接板集成为一个 2.5D 封装,该转接板没有有源器件,一般含有解耦电容。为了将信号或电源从硅转接板一面导向另一面,必须在转接板上打孔并采用 TSV(through silicon via,硅通孔)形成连通通道。2.5D 封装的优势是互连密度高,线宽/间距可以到 0.5/0.5  $\mu\text{m}$ ,芯粒凸点节距可达 40  $\mu\text{m}$  以下;硅材料的弹性模量大,和芯粒没

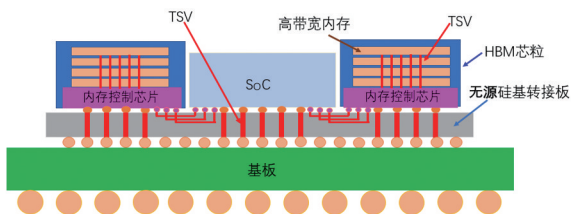


图15 2.5D封装结构图

有 CTE(coefficient of thermal expansion,热膨胀系数)不匹配问题。但是缺点也很明显,首先是硅转接板是用芯片制造工厂的后端工艺来制造的,因此成本较高;另外,TSV 工艺复杂,其本身的制造和相应的封装工艺技术要求高;同时随着转接板面接增大,其和基板依然存在 CTE 不匹配效应,转接板越大,对封装良率、可靠性和成本的挑战也越大。

目前 2.5D 封装已经量产,如图 16 所示的台积电 CoWoS<sub>S</sub><sup>[21]</sup>封装,面积超过 3.3 倍光罩尺寸(reticle)的硅转接板已经验证成功,更大尺寸的硅转接板也在研发中;中国科学院微电子研究所已经突破了该封装技术,并且在国内某公司的处理器芯片中应用。

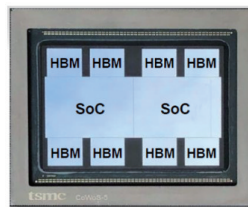


图16 台积电 CoWoS\_S封装概念图

### 3.3.4 2.5D 封装-FOP

FOP(fan out package,扇出封装)封装方式是通过有机的 RDL(redistribution layer,再分布层)实现芯粒到芯粒的互连,然后再在基板上集成封装,如图 17 所示。RDL 虽然互连密度没有硅转接板高,但因为工艺简单,成本相对较低,同时 RDL 尺寸可以比硅转接板更大,能集成更多的芯粒,在封装内 RDL 层和基板 CTE 接近,可靠性风险比基于硅转接板的 2.5D 封装和 3D 封装有所降低。

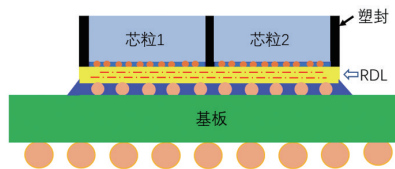


图17 FOP扇出型封装概念图

FOP 封装方式根据 RDL 平台不同,有晶圆级(wafer level)FOP 和面板级(panel level)FOP。前者基于晶圆形式制造 RDL,产能低,成本较高;后者基于面板尺寸生产,面板尺寸大,产能高,利用率也高,成本更有优势。

根据 RDL 生成的先后顺序, FOP 又可以分为 chip last 和 chip first 2 种工艺或结构。chip last 是先制造好 RDL 层, 然后在测试好的 RDL 上焊接芯粒, 相对 chip first 方式可以避免好的芯粒报废, 有利于控制成本, 但焊接工艺有良率损失。

中国大陆在 FOP 封装方式方面取得了较大的进展, 例如, 江苏长电科技股份有限公司、通富微电子股份有限公司、华进半导体封装先导技术研发中心有限公司等, 都可以做 FOP 先进封装工艺。国外及中国台湾地区在 FOP 工艺方面的应用主要是英飞凌科技公司 (Infineon) 的 eWLB、台湾积体电路制造股份有限公司 (台积电) 的 InFo、日月光集团的 FoCus 等先进封装概念。

### 3.3.5 2.7D 封装-硅桥

EMIB 是 Intel 最早提出的封装方案<sup>[22]</sup>, 近年来引起了业界的广泛关注。该方案的核心是在基板中埋入一个高密度硅桥, 从而实现芯粒到芯粒的高密度互连, 如图 18<sup>[22]</sup>所示。这种方式不需要大面积的硅基转接板, 将 2.5D 封装中的硅基转接板简化为若干个小的硅桥, 可以省去 TSV 工艺, 封装工艺和现有的 FCBGA (flip chip ball grid array, 倒装芯片球栅格阵列) 完全兼容, 成本优势明显; 同时小硅桥和基板 CTE 不匹配而带来的可靠性风险也较低。这种封装解决了 2.5D 封装的关键痛点, 扩展了 2.5D 封装的优势, 所以又被称为 2.7D 封装。

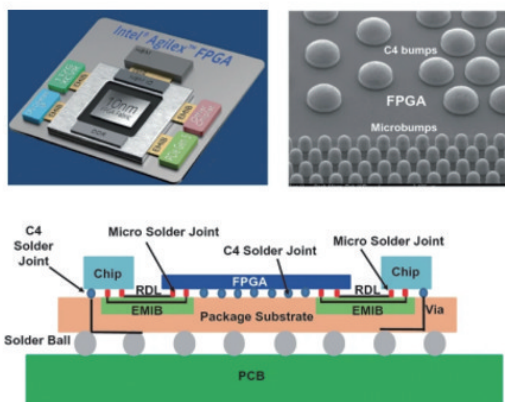


图 18 EMIB 封装在 Intel FPGA 芯片上的应用

EMIB 的难度是硅桥和基板的集成工艺, 控制基板上挖坑的深度和硅桥位置精度对良率影响至

关重要。经过 Intel 数年的攻关, EMIB 封装已经在 Stratix FPGA 等产品上实现量产。

前文提到的 FOP 封装, RDL 线宽间距比 2.5D 和 3D 封装大, 所以难以支持高带宽、高密度互连应用。和 EMIB 类似, 通过在 RDL 层埋入硅桥可以较好地解决这个问题。如图 19<sup>[23]</sup>所示, 在 FOP 封装的芯片和 HBM 下方, 通过塑封一个硅桥, 将 FOP 的互连节距大幅缩小, 互连线宽缩小到  $1\ \mu\text{m}$  以下, 密度大幅提高, 该封装方式被称为 FO-EB (fan out-embedded bridg, 嵌入式桥接扇出), 属于 FOP 和 EMIB 的结合, 这种改进提升了 FOP 的封装密度。

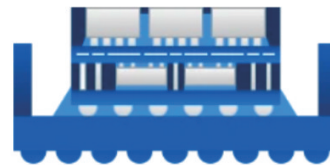


图 19 SPIL FO-EB 封装概念图

目前国内针对 FOP 封装中埋入硅桥或在基板表面置入硅桥 2 种方式, 都在开发中, 但还未实现量产。

### 3.3.6 3D 封装-bumped

3D 封装是指在有源芯粒上打 TSV, 多个有源芯粒在垂直方向堆叠互连。芯粒间互连方式可以通过微小凸起 (bump) 焊接实现。

如图 20 所示, 将 2.5D 封装中的无源硅转接板换成有源芯片, 在此转接板上通过微小 bump 集成 SoC 和 HBM 芯片就是一种 bumped 3D 封装; 其中 HBM 由多个 DRAM (dynamic random access memory, 动态随机存取存储器) 芯片和 1 个控制芯片通过 TSV 垂直互连, 本身也是一种 bumped 3D 封装。

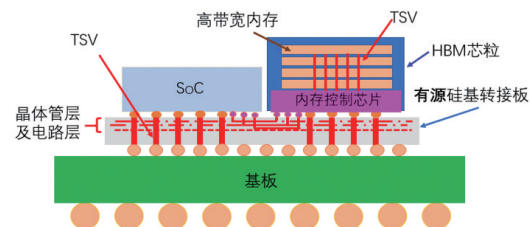


图 20 bumped 3D 封装结构图

TSV 是 3D 封装的关键特征和工序。根据 TSV 生成相对于芯片前端工艺的先后顺序, 可以分为 via-

first、via-middle、via-last 3种不同类别,目前应用较多的是 via-middle 工艺。3D封装集成度更高,但有源芯粒尺寸不能超过1倍光掩模板尺寸(33 mm×26 mm),所以在其上的 chiplet 集成在水平方向受限,集成的 chiplet 数量也较少。

### 3.3.7 3D封装-bumpless

在3D封装中,也可以通过HB(hybrid bonding,混合键合)直接互连或者利用粘胶将多个超薄芯片连接,然后再通过TSV连通,也称为 bumpless 3D。

HB封装方式是指将2个芯片表面在高精度研磨后贴合在一起,贴合面的二氧化硅之间直接实现分子键合,然后高温回火,贴面露出的铜与铜之间通过扩散实现永久连接。这种方式互连密度最高,凸点节距(bump pitch)可以小于1 μm;由于不需要传统的焊料实现互连,也没有凸起的结构,因此又被称为 bumpless 的封装方式。这种封装方式对制造环境洁净度要求很高,对芯粒表面的平整度和粗糙度要求也很高,必须使用芯片制造工厂的CMP(chemical mechanical polish,机械化学研磨)工艺,因此成本很高。台积电已推出该种封装方式,名为SOIC,AMD已在其基于Zen3架构的处理器产品中使用该种封装技术,将基于SRAM的L3 Cache集成在主芯片上,称为3D V-Cache,如图21<sup>[24]</sup>所示。

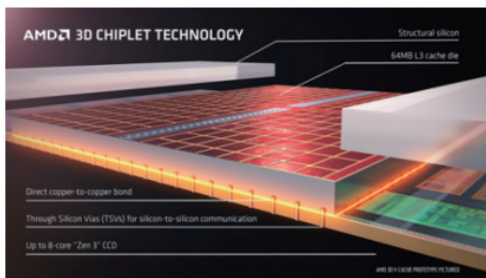


图21 AMD公司在Zen3芯片中使用台积电的SOIC工艺实现3D V-Cache

在中国大陆,长江存储目前在其大容量 flash 颗粒制造中已应用该技术实现量产,但尚未见到有企业在 chiplet 芯片设计中采用该种封装技术。

### 3.3.8 光电共封装(CPO)

由于电互连的速率持续提升,当速率超过100 Gbps以后,其功耗和串扰大幅增加。据统计,

在交换机芯片中,电互连(即 SerDes 部分)目前占芯片总功耗的比例已经超过30%,因此,继续提升速率的同时,如何降低芯片总体功耗成为重要的问题。如图22所示,CPO(co-packaged optics,光电共封装)是将光引擎(一般指基于超小型的光收发芯片集成实现的光模块)和交换机或CPU芯粒集成在一个封装单元中,光纤直接连到光引擎上,这样可以实现低功耗、超高带宽互连。其中,光引擎是PIC (photonics integrated circuit,光芯粒)和EIC (electronic integrated circuit,电芯粒)集成的一个封装模块,它可以通过焊接或连接器和基板互连,进而和交换机芯粒通过高速 SerDes 互连。PIC一般包含光收发芯片,光纤通过顶面光栅耦合或侧面边缘耦合与PIC联结,EIC包括电驱动放大模块,通过散出型封装或2.5D封装与PIC高密度互连。由于PIC和EIC距离小,所以在降低功耗,提高带宽上有显著优势,同时对信号完整性也有较大帮助,未来光电共封装技术也可能应用在计算机系统中,用于实现处理器芯片的光I/O。

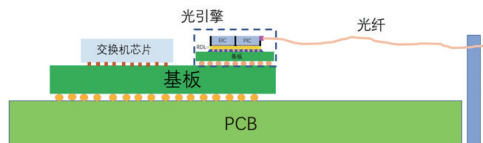


图22 CPO封装结构示意图

在CPO方面,国外如Broadcom、Cisco、Intel等都有样品发布,国内的通信企业也在投入研究,预计正式量产在2025年后,中国科学院计算技术研究所等多家企事业单位集体制订了相关的CPO标准,该标准是包括OIF、微软-facebook CPO联盟在内的3大标准之一,目前正在组织厂商开展技术验证工作。

## 4 Chiplet 芯片设计中的技术挑战

基于 chiplet 设计方法进行芯片设计,并不是简单将其划分或者堆叠在一起就可以,在设计的过程中,存在大量的技术挑战和设计约束。

### 4.1 Chiplet 架构设计挑战

#### 4.1.1 芯片设计目标导向和设计约束

表2列举了不同应用场景典型芯片类型的设

表2 各种场景芯片的设计目标与约束

典型芯片类型	性能考虑				面积考虑		功耗约束	成本(制造使用)	可编程性/前向兼容
	计算 峰值 性能	存储		I/O I/O带宽 延时	芯片面积 限制	封装面积 限制			
		内存- 带宽	内存- 延时						
云侧	服务器处理器	A	B	A	B	B	B	B	A
	AI加速芯片 (训练)	A	A	B	B	C	C	B	C
	GPGPU	A	A	B	B	C	C	B	B
	无线通信芯片	B	B	A	A	C	C	B	B
	数据通信芯片	B	B	A	A	C	C	B	B
移动端	车载座舱芯片	B	B	B	C	B	B	A	A
	车载ADS芯片	A	A	B	C	B	B	A	B
	桌面处理器	B	B	B	C	B	B	A	A
	移动处理器	B	B	B	C	A	A	A	A

注:A代表极高,B代表较高,C代表一般。

计目标导向和设计约束,主要包含性能、面积、功耗、成本和可编程性几个方面;在性能方面,需要考虑的有峰值性能、存储带宽与存储延时、I/O带宽延时;在面积方面,需要考虑的有芯片本身的面积约束和封装面积约束;在功耗方面,受限于散热方式和对应的散热能力,不同类型应用场景对于功耗约束的严苛程度差别较大;在成本方面,商用芯片的总成本主要有制造成本和使用成本,其中制造成本主要是流片成本和加工成本,受芯片面积和良率等因素影响,使用成本主要由功耗和散热方式等因素来决定;在可编程性方面,考虑到底层软件的前向兼容要求,生态成熟使用场景往往有严苛的前向兼容要求,而闭源场景或新兴场景对兼容性要求则相对较低。

#### 4.1.2 芯粒划分

针对设计约束目标,基于 chiplet 的设计可以充分发挥工艺能力和有效提升芯片良率,对于性能、芯片面积和成本的约束都可以有效缓解。对于适合基于 chiplet 架构设计的场景,主要的设计挑战集中在多芯粒功能划分和跨 chiplet 互连,后者主要包括互连架构本身和跨片通信协议2个部分。

将单芯片按照 chiplet 方式进行设计,首先需要考虑的是如何划分不同芯粒之间的功能。典型的划分方式有2种:一是异构划分,基于功能划分到多个芯粒,单个芯粒包含完整功能集合,例如内存

芯粒或者 I/O 芯粒,通过组合封装实现整个芯片设计;二是同构划分,按照完整功能的规格均匀划分,单个芯粒都具备小规格的完整功能,如 AMD 在第1代 Zen 架构上的实现,通过多个同构芯粒级联的方式获得性能的线性增长。

1) 异构划分方式。异构划分方式可以基于不同部分对于性能、功耗和面积的需求,选择最合适的工艺进行设计,从而充分发挥工艺的能力,并提高芯片的良率,降低设计和制造成本。但是这种方式会将完整的 SoC 分割成多个功能组件,降低各个组件之间的耦合程度,带来较高的通信和调度的挑战。

2) 同构划分方式。同构划分方式可以最大程度减少芯片设计开发工作,同时有效缓解随着芯片面积的激增带来的整个芯片良率的急剧下降,通过级联方式较为容易获得芯片性能的线性增长。但是这样的方式要求所有组件都要采用相同的工艺,对于先进工艺带来优势不明显的组件无明显提升。

上述2种方式各有利弊,需要根据应用场景和长期演进策略选择其中一种方式进行设计。比较典型的案例包括:在服务器处理器中,Intel Sapphire Rapids<sup>[1]</sup>选择基于同构的方式进行划分;AMD Zen 系列先采用了异构划分,后续采用了同构划分的方式<sup>[2]</sup>;华为鲲鹏 920<sup>[3]</sup>选择宏观异构、局部同构的划分方式。

#### 4.1.3 互连架构设计和软件架构设计挑战

多芯粒功能划分,不会引入各个功能组件内部架构的新问题,而是需要重点考虑和解决跨芯粒所产生的问题,包括芯片互连架构和软件架构的变化。

一方面,传统芯片内部的互连带宽、延时等架构参数和数据传输协议都是基于芯片上的连接为可靠连接的假设来实现的,从而可以按照工艺上限设计互连带宽、延时目标,同时采用简洁高效的数据传输协议,例如 ARM AMBA(advanced microcontroller bus architecture,高级微控制器总线架构)、CHI(coherent hub interface,一致性互连接口协议)和 AXI(advanced extensible interface,高级可扩展接口协议)等协议。跨芯粒的互连和传输则由于多芯粒在物理上的分割,需要引入芯粒间不可靠连接的假设,因此互连带宽、延时等架构参数会有很大程度的下降,同时需要引入更厚重的互连协议来保证数据的正确传输。

另一方面,在大多数场景中,软件视角可以将单个芯片当作一个整体,采用 UMA(unified memory access,同一地址空间),所有物理资源由操作系统进行统一调度。而由于多芯粒物理上的分割引起的延时和跨片互连的协议,维护统一地址空间的代价大大增加,性能也会有所下降。如果采用 NUMA(none unified memory access,非同一地址空间),会引入额外的编程模型的层级和调度的层级,加重软件的负担。对于延时敏感的功能组件,需要引入轻量级跨片协议来减少传输延时;对于带宽敏感的功能组件,需要引入并行高速接口来提高传输带宽;对于有强烈的可编程性和前向兼容要求的场景,需要引入跨片一致性协议来保证统一地址空间。

上述2大架构问题往往是耦合在一起的,需要同时考虑和解决。目前工业界基于 chiplet 设计的芯片,仍尽可能在芯片层面不引入过多的软件层级和编程复杂度。因此需要维持同一个封装内多个芯粒之间统一的地址空间,从而带来具体的架构设计挑战。

1) 可扩展互连拓扑设计。可扩展互连拓扑用来连接多个同构或者异构的芯粒,典型结构如 multi ring<sup>[25]</sup>和 hierarchical mesh<sup>[26]</sup>。通过这类可扩展

的互连拓扑,可以达到跨芯粒互连带宽相对芯粒内部按比例收敛,同时也比较容易进行灵活扩展。在互连拓扑设计中,核心要解决的是死锁问题。死锁问题通常是由于资源缺乏导致的数据传输包之间形成环路依赖,一种可能的解决方式是通过预留缓存,随机交换环路中的某一个或几个数据包,打断依赖环路,从而解除环路死锁<sup>[26]</sup>。一个典型案例是在 multi ring 之间的数据交换路径上预留缓存,用来解除环路死锁,如图 23 所示<sup>[25]</sup>。另一种可能的解决方式是通过禁止某些连接的数据传输,避免形成环路依赖的死锁,一个典型案例是在层次化 mesh 拓扑中禁止某些连接,确保跨 mesh 网络不会有死锁,如图 24 所示<sup>[27]</sup>。

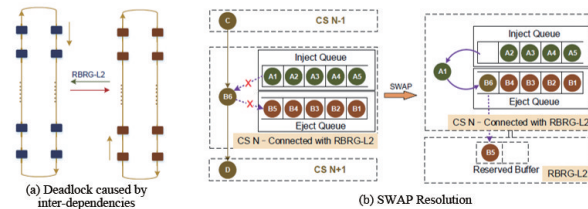


图 23 Multi-ring 拓扑 SWAP 防死锁机制

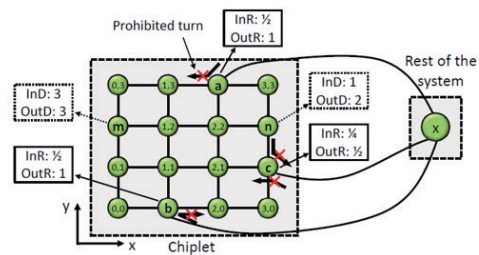


图 24 层次化 mesh 拓扑中 turn restrictions 防死锁机制

2) 维护统一地址空间引入的一致性问题的。为满足统一地址空间的要求,需要保证内存数据访问的一致性。对于软件生态成熟的服务器处理器领域,通常采用基于缓存一致性的数据传输协议和总线架构,按照 cache line 的粒度来维护一致性访问。对于生态闭源或成熟度不高的领域,例如通信、AI 训练等,可以采用基于软件调度的方式,以较大颗粒度来维护数据的一致性。在基于 chiplet 的设计中,通过软件维护数据一致性的方式不会受到芯粒拆分带来的冲击。而通过硬件本身缓存一致性来

维护数据一致性的方式,则会因为芯粒拆分,带来较高的实现代价和实现难度。具体而言,需要在互连接口处引入跨片一致性协议,同时在同构或者异构的芯粒上引入 cache 一致性总线。

一个典型案例是华为在研发的基于 chiplet 架构的 CPU 中采用了基于 bufferless multi-ring 的 cache 一致性总线架构和跨片一致性协议,可以应用于 CPU 与各类异构 X-PU 的高速互连,构建统一 cache 一致性架构, X-PU 之间可以进行直接内存访问,实现高速数据交互和灵活的算力组合<sup>[25]</sup>。

#### 4.1.4 晶圆级处理器的设计挑战

晶圆级处理器的优点是集成度极高,从而使特定领域专用的计算性能高,但也存在挑战和问题,例如供电、散热的技术挑战很大,计算单元密度高,因此对容错设计要求高等问题。由于晶圆级处理器上有大量的芯粒,当大量芯粒构成一个完整的系统,良率的问题对整体系统的影响,将比对单芯片的影响更大。因此在设计时,必须考虑容错,当晶圆级处理器系统上任何一个芯粒出现故障,都能通过设计,绕过出现故障的功能芯粒,保证整个系统的正常运行,在大量芯粒出现故障的极端情况下,系统需要降级运行,因此晶圆级系统中的芯粒间网络的容错设计十分必要,也非常具有挑战性。

晶圆级系统的核心尺寸大,采用传统的边缘供电方式,越靠近系统中心位置,电压电流衰减会越来越严重,从而影响系统的正常工作。目前主流的方式是采用垂直供电,通过垂直方向加持若干个电源组件,减少单个电源组件覆盖范围来实现电压电流稳定的效果。如图 25 所示,这个方式也存在供电系统设计复杂、系统庞大等挑战。芯片散热主要是通过 TIM (thermal interface material, 导热界面材料)

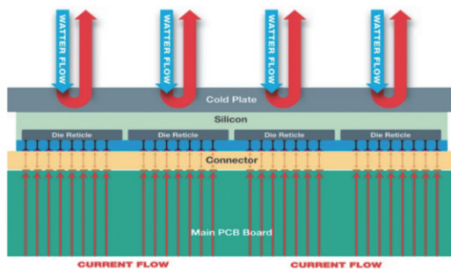


图 25 晶圆级处理器中的供电和散热挑战

和散热器交互,再提供外部冷却循环达到晶圆级系统的热平衡。大尺寸系统的翘曲应力问题会影响界面材料的均匀性,导致热阻变大,降低散热效率,致使外部冷却循环系统也非常庞大。

晶上系统最终是依托晶圆级封装呈现出来的。而目前仅台积电能提供 SoW (system on wafer, 晶上系统) 的方案,方案是基于其 InFO 工艺衍生的,如图 26 所示。除此之外,如图 27 所示,加利福尼亚大学洛杉矶分校(以下简称 UCLA)也提出了一种名为 SI-IF 的晶圆级封装技术。

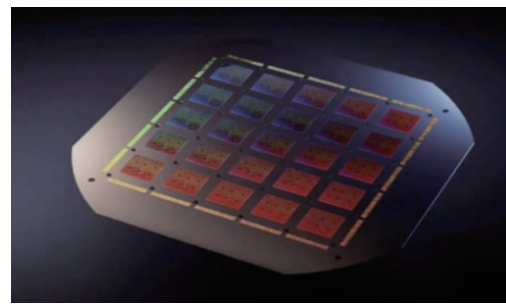


图 26 台积电的 InFO\_SoW 晶圆级封装工艺

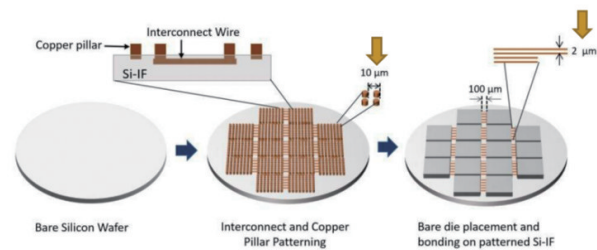


图 27 UCLA 的晶圆级处理器采用 SI-IF 晶圆级封装技术

## 4.2 信号与电源完整性设计挑战

在 chiplet 架构的芯片设计中,由于多个芯粒要进行互连,因此在每个芯粒的边缘会设计很多用于互连的信号,当芯粒之间的带宽需求变得很高,这些互连信号的数量也会变得很多,从而引起信号和电源完整性问题。

### 4.2.1 信号完整性设计挑战

互连信号质量会影响芯粒的信号抖动、均衡等指标,引起芯粒互连信号质量的问题源头主要来自凸点(bump)布局。bump 的布局不仅和芯粒内的布局规划(floor-plan)有关,还和封装基板走线有关,

引起信号完整性问题的主要因素为阻抗不连续、噪声耦合。阻抗不连续表现为 bump 阻抗不连续,走线阻抗不连续和过孔(via)阻抗不连续,噪声耦合主要表现为信号 bump 间的耦合和走线间的交叠。

阻抗不连续是信号完整性领域影响信号传输质量的一个重要因素<sup>[28]</sup>,特别是对于 chiplet 这样的跨尺度系统,横跨纳米维度的芯片级别和毫米维度的封装级别,存在着大量的因为尺度转换造成的阻抗不连续的问题<sup>[29]</sup>。例如,信号从芯片到硅转接板,会在 2 个尺度的交界面—微焊球(micro bump)处出现阻抗的变化,另外在硅转接板内部,BEOL(back end of line,后端)金属各层连接的 Via 和 TSV 都会造成阻抗的不连续<sup>[30]</sup>,同时也要考虑走线导致的阻抗不连续。因此,对这些影响阻抗的关键位置进行阻抗优化设计,对于保持信号的完整性,有着至关重要的意义。

噪声耦合通常发生在信号非常密集的 chiplet 应用场景。HBM 接口是 chiplet 中最常见的一种并行接口,其数据 I/O 数已达到 1024 bit,所以在 chiplet 中通常会有大量的 TSV 孔及 RDL 设计,上千个数据信号间会因电感和电容效应产生噪声耦合。此外,基板层通常被其他高速数字信号、时钟、串行数据总线通道填满,串扰效应严重阻碍了单引脚数据传输能力的提升。所以,噪声耦合给 chiplet 设计中高速信号传输的稳定性带来巨大的挑战。

针对以上 2 个因素,一般采用如图 28 所示的 bump 布局 and 走线方案。通过优化阻抗和屏蔽(shielding)来减少其对信号质量的影响。

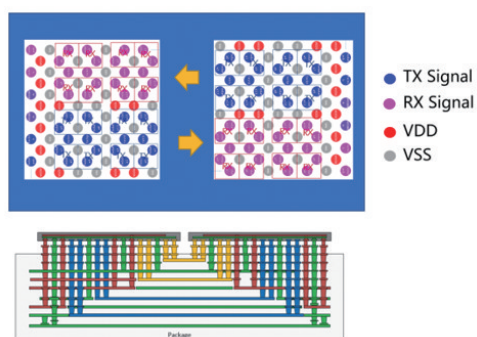


图 28 bump map 和走线

#### 4.2.2 电源完整性设计挑战

电源性能会影响芯粒互连信号的抖动、均衡等指标。引起芯粒设计中电源完整性问题的因素首先来自凸点分布导致电流分布不均匀、电压降不一致;其次来自芯粒内电源网络的 IR drop,影响最低工作电压,可使模拟均衡性能下降,以及芯粒内高频电流引起的电源高频噪声,也会影响电源完整性;最后来自芯粒外电压源纹波和封装电源网络 RLCK 引起的纹波,可引起电源网络振铃或谐振。另外,不同地方的电流密度,会引起电源网络的可靠性问题。

Chiplet 技术的典型应用是 AI/高性能计算等芯片,芯片本身工作功率较高,工作电流可达 200 A,设计者必须仔细设计 Interposer/基板上的电源结构,保证较小的直流压降、电流密度和交流电源噪声。同时还需要模拟多种芯片工况反转所导致的电压降,很难处理的硅转接板上的精细结构也是 chiplet 设计的电源完整性的挑战之一。

Chiplet 芯片比起传统的封装结构,具有更高的集成度,同时多芯片的集成,也带来了电源噪声去耦合的挑战。相较于传统在 PCB(印制电路板)或 BGA(ball grid array,球状引脚栅格阵列)封装的背面进行添加表贴去耦电容(decoupling capacitor)的方式,先进封装可能需要更高性能的去耦电容。因此,MIM(metal-insulator-metal,金属-绝缘体-金属)这种方式的堆电容(stacked capacitor)和在 3D 方向有延展的沟电容(trench),得到了广泛的应用。沟电容是通过深入到硅基底中形成的,相当于从 2D 到 3D 的拓展,设计难度较传统的 2D 设计更高,对于空间在 3D 方向的尺寸有一定的要求,而 MIM 电容存在于不同的金属层中间,可以有效地利用芯片面积,但工艺复杂,成本较高。

#### 4.3 多物理场仿真的技术挑战

Chiplet 技术在水平或者垂直方向上进行芯片的高密度连接或堆叠,必然会导致器件间耦合更加紧密,由信号串扰、腔体效应、自热效应等导致的可靠性问题分布更加密集,这给系统设计带来了严峻的挑战;同样,功率器件自热效应使得 chiplet 系统内部温度分布不均,因此诱发一系列非线性多物理

场耦合联动效应,必须借助多物理场耦合仿真以定位系统可靠性问题<sup>[31]</sup>。

多物理场仿真随着 chiplet 技术的成熟,变得日益重要。例如,在 chiplet 场景中广泛应用的带有 TSV 的硅转接板先进封装结构<sup>[29]</sup>,电-热耦合会随着热量的增减,造成电信号传输效率的变化,甚至引起硅转接板的形变,导致连接硅转接板和封装的焊球(C4 bump)的脱落和破损,最终致使 chiplet 芯片出现故障。

多物理场仿真的技术挑战主要集中在以下 4 个方面:(1) 仿真平台统一,避免不同平台和不同软件数据转换和交互造成的巨大计算资源浪费;(2) 能够覆盖 chiplet 场景的多尺度,从纳米级的晶圆级先进封装—微米级别的普通封装—厘米级别的电路板系统<sup>[30]</sup>;(3) 实时多物理耦合,即更加贴近真实的物理世界;(4) 仿真速度,解决多物理量耦合带来的规矩庞大的自由度问题。

为了解决以上技术挑战,国内 chiplet EDA 工具厂商提出了在统一平台下的多物理量耦合分析求解流程,如图 29 所示。根据芯粒的几何结构和材料参数,进行网格剖分和优化,然后在时域和频域,采用有限元、间断伽辽金、泊松方程、弹性介质力学方程等方法进行电磁热力多物理耦合条件下的求解。同时,针对大规模的网格和矩阵仿真性能需求,可以辅以 MPI(message passing interface, 消息传递接口)和 GPU 等并行加速方法,提升求解的效率。

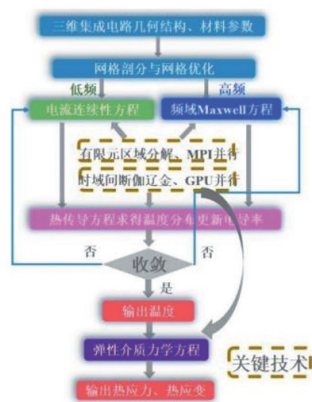


图 29 Chiplet 电-磁-热-力多物理场仿真技术流程

#### 4.4 Chiplet 芯片散热设计挑战

Chiplet 封装翘曲比传统封装复杂,不容易保证散热片或散热器和每个 chiplet 都良好接触,保证散热性能。同时,2.5D 以及 3D 封装下的 chiplet 芯片通常都有较高的功耗以及大电流,如何保证其散热能力是 chiplet 芯片设计中的一个重要挑战。

传统芯片封装通常只有一个芯片,封装变形比较简单,散热片和芯片的接触控制相对容易。Chiplet 封装将一个芯片分解成多个芯粒,例如功能芯粒和 HBM,每个芯粒大小不一样,高度也可能有差别,这样就导致整个封装有多个 CTE 不匹配区域,温度变化时,翘曲出现多个凸点和凹点,每个 chiplet 都必须始终和散热片或散热器接触良好,否则散热性能就会受到严重影响。要解决这个问题,首先需要优化芯粒布局。芯粒之间的间距和大小、位置对翘曲的影响很大,有时甚至要添加 dummy die(无功能假芯粒)来调节变形。同时,散热片/散热器的结构优化也很重要,传统的等厚度、等刚度设计可能需要根据芯粒变形做出凸台,甚至在某些地方降低刚度,让散热片/散热器和每个芯粒随温度变化时都能稳定接触。此外,TIM 胶的选择和厚度的控制也很关键,因为其覆盖率直接影响到散热性能。

对 2.5D 和 3D 封装功耗较大的情形,通常会选择无散热片封装,让散热器直接和芯粒硅基底接触,这样可以降低热阻,提高散热效率。然而,硅是比较脆弱的,要避免散热器安装中或者热变形中金属散热器导致芯粒边缘崩裂,保护设计是必要的。通常是用高模量的树脂将芯粒包围起来,然后研磨露出所有的芯粒,这样芯粒不容易崩裂,同时,所有的芯粒高度还能一致,有利于和散热器良好接触。在 3D 封装芯片 Z 方向的功耗密度变高,包在中央的芯粒散热状况很差,这就要求芯粒尽可能是低功耗设计的,芯粒与芯粒之间的 UF(under fill,底部填充料)或 NCF(non-conductive film,非导电薄膜)尽量采用高导热材料,另外还有必要采用一些特殊结构,例如专门散热的 thermal via(导热孔),像烟囱窗一样把热导出来。

## 5 Chiplet接口电路技术标准发展现状

具有 chiplet 接口电路是基于 chiplet 架构设计的芯片不同于单芯片设计的最主要差异,对整个 chiplet 产业链持续发展至关重要,国外制定的 chiplet 互连接口标准主要包括 AIB(advanced interface bus,高级接口总线)、UCIe(universal chiplet interconnect express,通用芯粒互连技术标准)和 BoW(bunch of wires, BoW 标准规范)、OpenHBI(open high bandwidth interconnect,开放式高带宽互连接口)等。

### 5.1 国外 chiplet 标准发展情况

AIB 是 Intel 提出的一种 chiplet 互连接口方案。与传统接口相比,AIB 可以支持数千根线路的信号,提升芯片之间数据传输的速度。但同时,封装布局要求严格,封装难度、复杂度和设计成本均大幅增加,上层的已有协议几乎不支持,且支持场景和接口种类有限,AIB 目前已经被 Intel 放弃。

UCIe 是 Intel 继 AIB 之后提出的 chiplet 互连接口协议。与 AIB 相比,UCIe 增加了协议层定义,但是 UCIe 依然只支持单端信号传输,不支持差分信号传输,抗干扰能力弱,也不能够支持与内存芯粒

互连;同时其协议中的先进封装方式在中国大陆无法使用,只能使用 MCM 封装。

BoW 是 ODSA(open domain-specific architecture,开放领域特定架构)组织提出的一种 chiplet 接口协议,与 Intel 的 AIB 类似,只是单端信号的速率要高一些。ODSA 后续又制定了 OpenHBI 芯粒接口协议,OpenHBI 相比于 AIB 和 UCIe 能够支持 HBM3,但也只支持单端信号传输而不支持差分信号传输,同时 BER(bit error ratio,比特误码率)目标需要小于  $1e-25$ ,技术上实现难度很大。

### 5.2 中国 chiplet 标准制定情况

中国科学院计算技术研究所于 2021 年 6 月在中国电子工业标准化技术协会立项团体标准《小芯片接口总线技术要求》(CESA-2021-3-006)。该项标准由中国电子技术标准化研究院、中国科学院计算技术研究所、无锡芯光互连技术研究院牵头组织 60 余家企业与事业单位共同编制,标准归口单位为中国电子工业标准化技术协会和中国电子技术标准化研究院,该标准已经于 2023 年 1 月正式发布,标准编号为 T/CESA 1248—2023。中国 chiplet 接口标准与国外 chiplet 接口标准规格对比如表 3 所示。

表3 国内外 chiplet 互连接口规格对比

标准名称	小芯片接口总线技术要求	Intel AIB	Intel UCIe	ODSA BoW	ODSA OpenHBI
国家	中国	美国	美国	美国	美国
应用场景	C2M、C2C、C2IO、C2O、CPO	C2C、C2IO	C2C、C2IO	C2C、C2IO	C2C、C2IO、C2M
协议层次	数据链路层-物理层适配层-物理层	物理层	协议层-D2D 适配器-物理层	数据链路层-物理层	协议层-D2D 适配器-物理层
报文格式	70B, 256B	—	68B, 256B	—	—
支持的上层协议	PCIe, CXL		PCIe, CXL		
物理层种类	并行单端, 串行差分	并行单端	并行单端	并行单端	并行单端
物理层频点支持	差分: 2G, 4G, 6G, 8G, 12G, 16G, 20G, 24G, 28G, 32G 并行: 2G, 4G, 6G, 8G, 12G, 16G	并行: 1G, 2G	并行: 4G, 8G, 12G, 16G, 24G, 32G	并行: 2G, 4G, 8G, 12G, 16G, 24G, 32G	并行: 0.2~8G

表3 国内外 chiplet 互连接口规格对比(续)

标准名称	小芯片接口总线技术要求	Intel AIB	Intel UCle	ODSA BoW	ODSA OpenHBI
接口位宽	并行:16*N,串行:4*N	3000	K*N	32*18	84,168,336,672
封装方式	MCM, CoRoS, CoWoS, 硅桥	EMIB	MCM, FOCUS-B, EMIB, CoWoS	未提及	CoWoS, InFO, fine pitch organic substrate

与目前全球所有 chiplet 接口技术标准比,中国所提出的 chiplet 接口标准支持更多的应用场景,例如 CPO,不但支持并行单端信号,还支持差分信号连接,不但支持基于芯粒架构进行芯片设计所带来的架构灵活性,还能够满足很多 SoC 进一步通过 chiplet 接口进行性能扩展的需求,在标准中还定义了相应的先进封装规格,力图牵引中国的先进封装水平,以避免技术封锁。

## 6 中国 chiplet 技术发展建议

基于 chiplet 的芯片设计技术代表了“后摩尔时代”复杂芯片设计研制发展方向。Chiplet 这种将芯片性能与工艺制程相对解耦的技术路线为国内集成电路产业开辟了一个新的发展路径,即通过现有成熟工艺提升复杂芯片性能。从现阶段技术成熟度角度分析,尽管美国企业起步早,技术相对领先,但因为 chiplet 技术总体上仍处于发展演进阶段,尚未形成技术垄断壁垒,因此中国依然有较大的机会,建议如下。

1) 加强芯片制造工艺与先进封装工艺的联动建设。Chiplet 并不是一种只依赖于先进封装工艺的技术,制造芯片的技术在整个技术中的作用也很重要,事实上由于先进制程的演进停滞,芯片制造代工厂正在介入先进封装技术,例如台积电的 CoWoS 封装技术,完全由台积电主导,在芯粒之间使用通过芯片制造工艺制造的硅转接板进行互连,这种硅转接板对制造工艺的要求并不高,剩下的芯片 I/O 引脚再使用传统的 FCBGA 封装工艺引出,因此在 chiplet 技术时代需要芯片制造工艺与先进封装工艺联动建设。

2) 进一步加大先进封装工艺、chiplet EDA 工具软件的投资。Chiplet 技术对先进封装技术的依

赖比较大,这主要体现在芯片的设计过程中,先进封装工艺的资源需要提早介入,参与设计与仿真,同时由于 chiplet 芯片设计的方式与传统的芯片设计方式并不完全相同,对特定的 EDA 工具也有较大的依赖,为了保证投片后的成功率,需要进行多物理场协同仿真以降低设计风险;相对芯片制造工艺,先进封装工艺的投资规模较小,中国具有一定的技术基础、技术门槛要低得多,更容易获得高的投入产出比,并形成群体突破;在 chiplet EDA 工具方面,在完成开发 EDA 工具所需要的各种数学物理模型之后,多物理场仿真可以利用中国的高性能计算基础设施以获得更好的效果,并形成联动效应。

3) 大力推动接口电路 IP 的开发以形成 chiplet 设计开发生态。Chiplet 技术最独特的地方在于所有基于 chiplet 架构所设计的芯片,一定会包含特殊的 chiplet 接口电路,该接口电路在市场上以 IP 方式存在。目前在中国,只有少数的一些公司能够开发这种 IP,这种技术需要比较专业的人才储备,需要一定的设计经验基础。如果每个芯片设计公司都维持一支这样的开发队伍,就会造成资源浪费且投入巨大。因此,需要推动围绕 chiplet 的专业化 IP 群体,通过培育、投资、收购等方式,推动接口电路 IP 的技术开发,并形成产业生态。

4) 制定并推动 Chiplet 标准的应用。Chiplet 作为一种新兴技术,国际巨头在竞相争夺该技术的领导地位和话语权,制定标准是重要的手段。当前 chiplet 正处于技术发展阶段,大量关键技术尚未形成标准,国内学术界和产业界应抓住机会,在技术研发和标准制定方面加大投入,尽快掌握核心技术,建立和推广中国自己的 chiplet 技术标准,在未来的国际竞争中占据一席之地;在 chiplet 相关标准制定中,一方面,chiplet 接口标准需要制定,从而避免小芯片无法实现互连互通;另一方面,围绕先进

封装技术,需要通过标准规定相应的布局规格,甚至工艺流程。国外并没有相应的先进封装标准,中国制定相应的先进封装技术标准,有利于避免投资浪费,可以提高产业效率。同时由于基于 chiplet 架构所设计的芯片,很多 I/O 引脚在封装之内,除了采用 EDA 工具提前仿真以避免设计风险,还需要开发相应的测试手段(测试电路工具)支持调试。如果未来能够实现 chiplet 组件货架化的市场业务模型,那么如何确定 KGD(known good die,即被拿来集成的芯粒是可以正常工作的)将是一个非常具有挑战性的问题。

### 参考文献(References)

- [1] Intel PR. Intel architecture day 2021[EB/OL]. (2021-08-19) [2023-06-20]. <https://www.intel.com/content/www/us/en/newsroom/resources/press-kit-architecture-day-2021.html>.
- [2] Peng V. 4th Gen AMD EPYC™ processor architecture[EB/OL]. (2022-11-11) [2023-06-20]. <https://www.amd.com/en/campaigns/epyc-9004-architecture>.
- [3] Xia J, Cheng C, Zhou X, et al. Kunpeng 920: The first 7-nm chiplet-based 64-core arm soc for cloud services[J]. *IEEE Micro*, 2021, 41(5): 67-75.
- [4] 张建锋. 倚天云服务器[EB/OL]. (2021-10-19) [2023-06-20]. <https://www.aliyun.com/product/ecs/yitian>.
- [5] 张戈. 龙芯 3D5000[EB/OL]. (2023-04-08) [2023-06-20]. <https://www.loongson.cn/product/show?id=21>.
- [6] Liao H. DaVinci: A scalable architecture for neural network computing[C]//Hot Chips Symposium 2019. Stanford University, CA, USA: IEEE, 2019: 1-44.
- [7] 陈天石. 思元 370 芯片[EB/OL]. (2021-11-03) [2023-06-20]. <https://www.cambricon.com/index.php?m=content&c=index&a=lists&catid=360>.
- [8] Peng V. AMD Instinct™ MI series accelerators[EB/OL]. (2021-11-09) [2023-06-20]. <https://www.amd.com/en/graphics/instinct-server-accelerators>.
- [9] Huang J. NVIDIA H100 tensor core GPU[EB/OL]. (2022-03-22) [2023-06-20]. <https://www.nvidia.com/en-us/data-center/h100/>.
- [10] Hong M, Xu L J. Biren BR100 GPGPU: Accelerating datacenter scale AI computing[C]//Hot Chips Symposium 2022. Online, USA: IEEE, 2022: 1-22.
- [11] Liu R, Feng C. AI compute chip from enflame[C]//Hot Chips Symposium 2021. Online, USA: IEEE, 2021.
- [12] Intel PR. Introducing intel agilex M-series FPGAs[EB/OL]. (2022-03-07) [2023-06-20]. <https://www.intel.com/content/www/us/en/newsroom/article/introducing-intel-agilex-m-series-fpgas.html>.
- [13] Agrawal A, Kim C. Intel Tofino2-A 12.9Tbps P4-programmable ethernet switch[C]//Hot Chips Symposium 2020. Palo Alto, CA, USA: IEEE, 2020: 18-22.
- [14] Cook T. Apple unveils M1 Ultra, the world's most powerful chip for a personal computer[EB/OL]. (2022-03-08) [2023-06-20]. <https://www.apple.com/tn/newsroom/2022/03/apple-unveils-m1-ultra-the-worlds-most-powerful-chip-for-a-personal-computer/>.
- [15] Peng V. AMD Ryzen™ PRO desktop processors[EB/OL]. (2023-06-13) [2023-06-20]. <https://www.amd.com/en/ryzen-pro>.
- [16] Feldman A. CS-2: A revolution in AI infrastructure[EB/OL]. (2021-04-06) [2023-06-20]. <https://www.cerebras.net/product-system/>.
- [17] 胡振东. 多物理场耦合技术的研究进展与发展趋势[EB/OL]. [2023-06-20]. <https://www.renrendoc.com/paper/205171074.html>.
- [18] 黄永安, 尹周平, 熊有伦. 热-电-位移耦合多体系统的多物理场分析[C]//第九届全国振动理论及应用学术会议暨中国振动工程学会成立 20 周年庆祝大会. 杭州: 浙江大学, 2007.
- [19] 武传松, 陆皓, 魏艳红. 焊接多物理场耦合数值模拟的研究进展与发展动向[C]//第十六次全国焊接学术会议. 镇江: 中国机械工程学会, 2011: 1001-1382.
- [20] Miki S, Taneda H, Kobayashi N. Development of 2.3D high density organic package using low temperature bonding process with Sn-Bi solder[C]//IEEE Electronic Components & Technology Conference-2019. Baltimore, Maryland, USA: IEEE/ECTC Proceedings, 2019: 1599-1604.
- [21] Yu D. TSMC packaging technologies for chiplets and 3D[C]//Hot Chips Symposium 2021. Online, USA: IEEE, 2021.
- [22] Mahajan R, Sankman R, Patel N. Embedded multi-die interconnect bridge(EMIB): A high-density, high-bandwidth packaging interconnect[C]//IEEE Electronic Components & Technology Conference-2016. Las Vegas, Nevada, USA: IEEE/ECTC Proceedings, 2016: 557-565.
- [23] Key Chung C. SPIL technology, fanout-WLP, FO-EB[EB/OL]. (2020-09-18) [2023-06-20]. <https://www.spil.com.tw/TechnologyData/FanOutWLP>.

- [24] Peng V. AMD 3D V-Cache technology: Innovative 3D stacking technology for server and desktop applications [EB/OL]. (2021-12-14)[2023-06-20]. <https://www.amd.com/zh-hans/technologies/3d-v-cache>.
- [25] Wang T Q, Feng F, Xiang S L, et al. Application defined on-chip networks for heterogeneous chipletchips: An implementation perspective[C]//2022 IEEE International Symposium on High-Performance Computer Architectur(HPCA 2022). Seoul, South Korea: IEEE, 2022: 1198-1210.
- [26] Parasar M, Jerger N E, Gratz P V, et al. SWAP: Synchronized weaving of adjacent packets for network deadlock resolution[C]//The 52nd Annual IEEE/ACM International Symposium. Columbus, USA: ACM, 2019.
- [27] Yin J M, Lin Z F, Kayiran O, et al. Modular routing design for chipletchiplet-based systems[C]//2018 ACM/IEEE 45th Annual International Symposium on Computer Architecture(ISCA), CA, USA: IEEE, 2018.
- [28] 虞振洋. 基于多物理场耦合特性的电气设备分析与设计[D]. 南京: 南京航空航天大学, 2015.
- [29] Pu B. Design of 2.5D interposer in high bandwidth memory and through silicon via for high speed signal[J]. IEEE, 2020, doi:10.36227/tehrxiv.12950261.
- [30] Kim J, Chekuri V C K, Rahman N M, et al. Chiplet/interposer co-design for power delivery network optimization in heterogeneous 2.5-D ICs[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2021, 11(12): 2148-2157.
- [31] 张鹏, 孙晓冬, 朱家和, 等. 集成微系统多物理场耦合效应仿真关键技术综述[J]. 电子与封装, 2021, 21(10): 46-58.

## Overview of the development status of chiplet technology

XIANG Shaolin<sup>1</sup>, GUO Mao<sup>2</sup>, PU Bo<sup>3</sup>, FANG Liulu<sup>4</sup>, LIU Shujuan<sup>5</sup>, WANG Shaoyong<sup>6</sup>, KONG Xianwei<sup>7</sup>, ZHENG Tuo<sup>8</sup>, LIU Jun<sup>9</sup>, ZHAO Ming<sup>9</sup>, HAO Qinfen<sup>9,10\*</sup>, SUN Ninghui<sup>10</sup>

1. Hefei Geneturino Microelectronics Co., Ltd., Hefei 230041, China
2. Shanghai Professional Technical Service Platform of Microanalysis for Microelectronics Materials and Components, Shanghai 201210, China
3. DeTooLIC Technology, Co., Ltd., Ningbo 315800, China
4. Akrostar Technology Co., Ltd., Zhuhai 519031, China
5. Hubei Yangtze Memory Laboratories, Wuhan 430205, China
6. xFusion Digital Technologies Co., Ltd., Dongguan 523106, China
7. China Electronics Standardization Institute, Beijing 100007, China
8. Xpeedic Co., Ltd., Shanghai 201210, China
9. Wuxi Institute of Interconnect Technology, Wuxi 214104, China
10. Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100086, China

**Abstract** Chiplet technology is a new generation of integrated circuit technology that has emerged in recent years. It has been widely recognized by the industry due to its excellent characteristics such as improving yield, breaking the limit of reticle size, flexibility in chip architecture, and standardization of IP supply chain. To further promote the development of chiplet technology in China, this article summarizes the application scenarios of chiplet technology, analyzes various core component technologies, elaborates on various technical challenges that may arise in the development of chiplet technology, reviews the development of China's chiplet standards, and finally, puts forward some suggestions for the development of chiplet technology in China.

**Keywords** chiplet technology; chiplet interconnect interfaces; advanced packaging; multi physical field electronic assisted design; signal and power integrity ●



(责任编辑 王微)