

分布式光纤振动传感信号数据采集系统设计

赵兴群, 薛冬青

东南大学生物科学与医学工程学院, 南京 210096

摘要 针对大型周界安防预警系统,提出了一种分布式光纤振动传感信号采集系统设计,主要基于 ARM+FPGA 的嵌入式平台实现。根据分布式光纤振动传感信号的特点,数据采集系统以 FPGA 为主控制器,实现了脉冲波和连续波的双通道并行信号采集。FPGA 接收 ARM 传送控制命令,采集硬件信号控制采样芯片 AD9430 和 AD9203 转换的数字信号,并将采集到的数据暂存于利用 FPGA 的 IP 核生成的 FIFO 缓存中,等待传送给 ARM 处理器。ARM 处理器主要负责提供前端 FPGA 采集的各种参数并接收 FPGA 发送过来的数据。该数据采集系统中,ARM 处理器和现场可编程门阵列 FPGA 的互联接口的设计是关键,主要是在内核层设计 FPGA 设备驱动,利用 ARM 的外部总线接口完成数据的传输。将数据采集系统应用于光纤监控预警安防系统,可以检测到脉冲波和连续波信号,提高系统实时性,为分布式光纤安防预警系统的研究提供了基础。

关键词 ARM 处理器;FPGA 控制器;并行接口;驱动

中图分类号 TP3

文献标识码 A

doi 10.3981/j.issn.1000-7857.2012.18.006

System Design for Data Acquisition for Distributed Optical Fiber Vibration Sensing Signal

ZHAO Xingqun, XUE Dongqing

School of Biological Science & Medical Engineering, Southeast University, Nanjing 210096, China

Abstract According to the application requirement of a perimeter security warning system, a signal acquisition system for distributed optical fiber vibration sensing signal is designed in this paper, based on the embedded platform of ARM and FPGA. The data acquisition system uses FPGA as the main controller to achieve the dual-channel acquisition of the pulse wave and the continuous wave. FPGA receives control commands from ARM, and samples the digital signal converted by the sampling chips AD9430 and AD9203. Then the collected data is temporarily stored in the FIFO buffer generated by IP cores in FPGA, which will be transmitted to ARM. ARM is responsible for providing kinds of parameters for the data acquisition of FPGA and receiving data from FPGA. In this paper, the interconnection of the ARM processor and FPGA is presented, and the implementation of the FPGA driver in the embedded Linux is discussed. The data acquisition is implemented by FPGA, and the data transmission is realized with the ARM's external bus in this system. With the features of the low power consumption of ARM and the flexibility of FPGA, the signal acquisition system for distributed optical fiber vibration sensing signal is successfully applied in the monitoring system based on distributed optical fiber sensor.

Keywords ARM processor; FPGA controller; parallel interface; driver

0 引言

随着社会经济的不断发展,人们的安全防范意识逐渐提高,使安防系统一直蓬勃发展,尤其是大型周界安防系统在

不断发展。分布式光纤传感系统是利用光纤作为传感介质的一种分布式传感系统,能够实现大范围测量区域中分布信息的提取,达到实时监控的目的,因而它对于周界安防系统的

收稿日期:2012-05-24;修回日期:2012-06-18

基金项目:江苏省重大科技成果转化基金项目

作者简介:赵兴群,教授,研究方向为生物医学工程与物理电子学,电子信箱:ndt@seu.edu.cn

研究与发展有很大的意义^[1]。

目前,国外已有多家公司已开发出成品,如美国 OptiPhase 公司基于 Sagnac 干涉仪的探测系统^[2];加拿大 Senstar-Stellar 公司的基于测量多模光纤中偏振态的变化开发的 IntelliFIBER 系统^[3]。2000 年,澳大利亚 Future Fiber Technology 公司报道了一种分布式光相位传感系统,该系统是以光学干涉理论作为基础,采用了 Mach-Zehnder 干涉技术方案,结合了光纤传感技术,可以对振动信号的幅度、频率等信息进行测量分析,在设计和开发上处于世界领先地位。韩国 DeTekion Security Systems 公司的光纤安全防范产品也具有类似功能,美国 CompuDyne 公司和以色列 SECOTEC 公司也正逐步向中国推广其光纤安全防范产品^[4]。目前基于这一技术的应用已经普及到各个领域,如机场、军队、政府机构、港口、银行、边境线和石油天然气公司等重要单位的安防报警和周界监测^[5]。

光纤传感技术在长距离周界安防方面具有多种优势,但目前其实时性和准确率成为主要技术障碍。本文主要探求一种可行的实现方案,结合 ARM 处理器与现场可编程门阵列 FPGA 的优点,设计了分布式光纤振动传感信号数据采集系统。ARM 处理器具有体积小、重量轻、资源丰富、可靠性高,价格便宜等优点。而 FPGA 时钟频率高,内部延时小,灵活性强、速度快效率高,适于大数据量高速传输控制。采用 ARM 嵌入式处理器与 FPGA 的方式实现高速数据的采集和存储,提供了一种高速度、高精度、低成本的数据采集设计。

本文旨在设计一种分布式光纤振动传感信号的数据采集系统,采用了 ARM+FPGA 的设计方案。FPGA 的任务是完成系统前端数据的采集,ARM 负责提供前端 FPGA 采集的各种参数并接收 FPGA 发送过来的数据,其中 ARM 和 FPGA 之间的通信接口设计是整个系统的关键,本文将着重介绍之。

1 系统硬件设计

1.1 系统整体结构

分布式光纤传感技术的监控预警安防系统由光发射、干涉光路、传感光路、光电信号检测模块、信号采集模块、信号处理和监控管理等部分组成^[6],系统主要结构如图 1 所示。

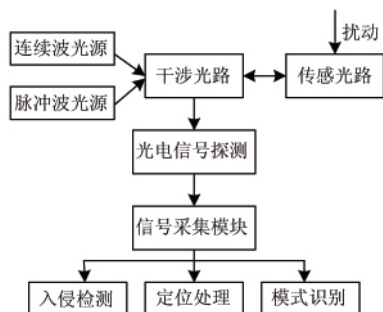


图 1 分布式光纤监控预警安防系统结构示意图

Fig. 1 Structure of a monitoring system based on distributed optical fiber

分布式光纤监控预警安防系统前端采用 1550nm 脉冲波光源和 1310nm 连续波光源相结合的双光源,其中脉冲信号用于定位,具有频带宽、频率高等特点,约为 20Hz—10MHz;连续波信号用于系统探测扰动信息、传递语音信号及为模式识别提供信号,频率较低,一般为几十 Hz 至几千 Hz^[7]。

本文主要根据这两种信号特点,完成分布式光纤振动传感信号的数据采集系统的设计,即监控预警安防系统中信号采集模块。系统前端的光调理电路将光信号调理成适合 A/D 采样的模拟信号,A/D 转换后的数字信号输出至 FPGA,FPGA 控制整个采集处理过程以及与后端 ARM9 核心板的通信,ARM9 向 FPGA 发送数据采集的各种控制信号,并接收 FPGA 发送的数据,整体思路如图 2 所示。

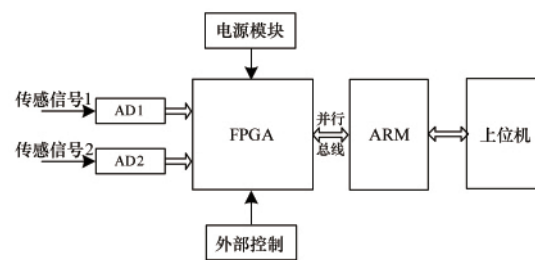


图 2 信号采集系统整体结构示意图

Fig. 2 Structure of signal acquisition system

1.2 硬件平台

分布式光纤振动传感信号的数据采集系统硬件部分,选用了韩国 Samsung 公司 ARM9 系列处理器 S3C2440A,加上自行设计的基于 FPGA 的双通道数据采集板(以下简称 FPGA 设备),A/D 采样则分别选定了由 Analog 公司的两款参数和性能不同的模数转换芯片 AD9430 和 AD9203。ARM9 系列处理器 S3C2440A,主频可达 400MHz,内部包括 DMA 控制器,LCD 控制器以及支持外围大容量存储设备,能够极大简化系统硬件设计。本设计中的 FPGA 芯片采用的是美国 Xilinx 公司的 V4 系列 XC4VLX100,它提供了更多的选择、更高的性能和更低的功耗,并提供了嵌入式处理器、DSP 功能和高速串行收发器,且有全面的硬件和软件开发工具及 IP 核支持。FPGA 要实现的模块包括:译码模块、时钟管理模块、LVDS 设计模块、FIFO 缓存模块、采集控制模块、ARM 传输控制模块等。FPGA 各子模块的关系框图如图 3 所示,其中采样控制模块与 FIFO 缓存模块均有两路独立的设计。

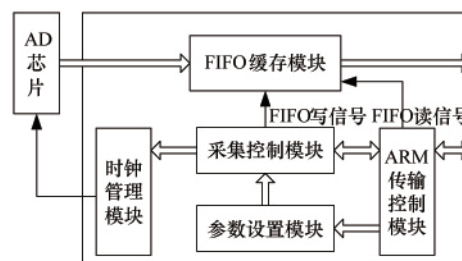


图 3 FPGA 内部模块关系示意图

Fig. 3 Relationship of modules in FPGA

1.3 ARM+FPGA 接口设计

S3C2440A 处理器的 APB 总线包括 32 位地址总线和 32 位数据总线,它提供了 8 个 Bank 的外部 I/O 接口(片选信号为 nGCS0~nGCS7),用于扩展电路。本设计中直接将 FPGA 设备连在 ARM 的 APB 存储器总线上,即将 FPGA 设备作为 ARM 的外设连接在系统中。ARM 与 FPGA 之间通过外部总线控制方式进行通信,因为 A/D 转换后的数据是通过 FIFO 存储的,FIFO 的特点是数据格式为先入先出,可以省略地址总线,通信接口设计具体如图 4 所示。

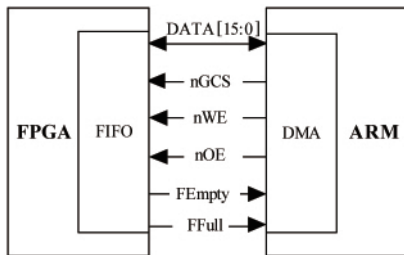


图 4 FPGA 与 ARM 接口设计

Fig. 4 Interface design of ARM and FPGA

图 4 中,nGCS 为片选使能控制信号,nOE 为读信号线,nWE 为写信号线,以上均为 ARM 的输出信号;FEmpty 为 FIFO 的空信号,FFull 为 FIFO 的采样结束信号^[8]。16 条数据线 DATA[15:0]是双向信号,完成 ARM 对 FPGA 指令控制及 FPGA 对 ARM 的数据传送,在用作向 FPGA 发送指令时,编码如下:DATA[7:0]用于存放采样参数,DATA[11:8]选择 FPGA 内部模块,译码后作为各模块片选信号,DATA[13:12]分别作为两通道读信号,DATA [15:14] 选择通道并作为开始信号。S3C2440A 的读时序如图 5 所示,写时序图也相似。

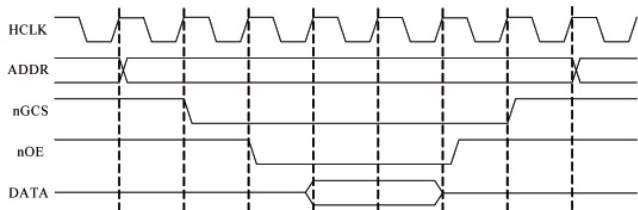


图 5 S3C2440A 读时序图

Fig. 5 Read timing diagram of S3C2440A

2 系统软件设计

为了控制 FPGA 设备的数据采集及传输,需要一个 FPGA 设备的驱动程序。图 6 为用户应用程序通过 FPGA 驱动程序控制系统工作的流程图。首先进行设备初始化设置,然后系统调用 mmap 将 FPGA 缓冲区映射到用户空间,应用程序通过 FPGA 设定数据采样的参数,当接收到 FFull 中断信号时,启动 ARM 的读信号直到读完 FIFO 中的数据,这时 FEmpty 向驱动程序发送中断请求停止数据的读出,然后 ARM 中的应用程序对数据进行处理。

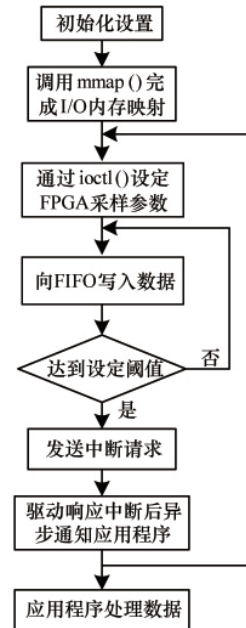


图 6 用户程序流程

Fig. 6 Process of user application

2.1 FPGA 设备驱动程序

FPGA 设备属于字符设备,其驱动程序实现的主要功能有:(1) 初始化 FPGA 设备,注册 FPGA 设备、申请中断号;(2) 将 FPGA 设备的存储空间映射到用户进程空间;(3) 接收 FPGA 设备发送的 FFull 和 FEmpty 中断信号,并进行中断处理;(4) 通过写 FPGA 模块的控制器改变数据采样的参数,如采样长度、采样频率、采样方式等。

2.1.1 驱动程序接口

本系统中采用动态加载的方式加载 FPGA 设备驱动模块,方便调试。也就是说将驱动程序编译成一个可加载、卸载的模块目标文件,然后添加到内核中去。Linux 为所有的设备文件都提供了统一的操作函数接口,方法是使用数据结构 struct file_operations^[9]。FPGA 设备驱动程序最终提供给应用程序的是一个流控制接口,主要包括 open、close、read、write、ioctl、fasync、mmap 等操作。

2.1.2 字符设备的初始化

驱动模块加载时调用 module_init(Fpga_init),Fpga_init() 自动执行,该函数主要实现 FPGA 设备的注册。在 Fpga_open() 函数中进一步完成如下功能:I/O 内存资源申请、虚拟地址映射、配置 I/O 接口功能、配置总线寄存器和初始化外部中断,并向内核注册中断。

2.1.3 I/O 内存资源申请和映射

本系统设计中采用 ARM 中 Bank7 的 I/O 资源,即将 ARM 中的 nGCS7 连接至 FPGA 的 I/O 管脚。由于 ARM 中 Bank7 的物理起始地址为 0x38000000,所以 FPGA 设备对应的物理起始地址即为 0x38000000。由于 Linux 的驱动程序和应用程序只能对虚拟地址进行操作,所以需要将物理地址映

射为虚拟地址。首先调用 `request_mem_region()` 申请资源,接着将寄存器地址通过 `ioremap()` 映射到内核空间虚拟地址,之后就可以通过 Linux 设备访问编程接口访问 FPGA 设备。

一般情况下,用户空间是不可能也不应该直接访问设备的, `kmalloc_map_mmap()` 实现了内核虚拟地址与用户层虚拟地址之间的映射,将用户空间的一段内存与设备内存关联,当用户访问用户空间的这段地址范围时,实际上会转化为对设备的访问。在用户程序中,使用 `mmap(NULL, BUF_SIZE, PROT_READ|PROT_WRITE|PROT_EXEC, MAP_SHARED, fd, 0)` 得到一大大小为 `BUF_SIZE` 的内存空间,在驱动程序中通过 `remap_pfn_range()` 创建物理地址的新页表,从而实现 `mmap`。

2.1.4 中断处理机制

FPGA 中断处理的工作流程是:FPGA 接收 AD 转换的数据,当采集到设定的采样长度时,向 ARM 发出中断请求信号,ARM 响应中断,应用程序读取 FPGA 内 FIFO 缓存中的数据,获取相关信息并接收数据,直到 FIFO 缓存中的数据读取完。将 ARM 的 EINT15 和 EINT14 定义为外部中断模式,检测 FPGA 传来的两路数据准备好信号,将 EINT3 作为输入信号,采用查询方式作为外部中断,检测 FIFO 空信号,即数据读取结束信号。

为了在中断执行时间尽可能短和中断处理需完成大量工作之间找到一个平衡点, Linux 将中断处理程序分解为两个半部:顶半部和底半部。本设计中顶半部只完成寄存器的功能配置、中断的申请和释放等操作,主要通过内核提供的 `request_irq()` 和 `free_irq()` 函数实现中断的申请和释放。底半部机制主要完成异步通知应用程序,这里通过 `tasklet` 实现。使用静态的方式创建一个 `tasklet`,使用 `DECLARE_TASKLET(FIFO_tasklet, FIFO_read_tasklet, 0)` 定义名为 `FIFO_tasklet` 的 `tasklet`,将其与 `FIFO_read_tasklet()` 函数绑定。在需要调度 `tasklet` 时引用一个 `tasklet_schedule()` 就能运行。例如,在 FPGA 模块中断处理程序(顶半部)中使用 `tasklet_schedule(&FIFO_tasklet)` 调度 `FIFO_tasklet`,在该函数中完成异步通知。

2.1.5 异步通知

异步通知就是一旦设备就绪,则主要通知应用程序,这样应用程序根本就不需要查询设备状态。为了能正确地启动异步通知机制,用户程序中需要配置异步通知参数和接受到异步信号后的处理函数。进程使用函数 `fcntl(fd, F_SETOWN, getpid())` 时,属主进程的进程 ID 号就被保存在 `filp->f_owner` 中,主要是让内核知道应该通知谁。函数 `oflags=fcntl(fd, F_GETFL)` 和 `fcntl(fd, F_SETFL, oflags|FASYNC)` 能够设置 `FASYNC` 标志,并将当前进程添加到设备驱动程序的异步通知队列中。这样当设备驱动程序要向进程发送异步通知消息时,就从设备驱动程序的异步通知队列中找到目标进程。这里调用 `signal(SIGIO, (void*)signal_handler)` 函数安装信号处理函数,这样当应用程序收到设备驱动发送的中断信号时,就会暂停当前执行的程序,执行信号处理函数,信号处理函数

执行完成后,继续执行当前程序。FPGA 设备驱动中异步通知编程主要用到 1 项数据结构和 2 个函数。数据结构是 `fasync_struct` 结构体,2 个函数分别为

```
struct fasync_struct *Fpga_read_queue;
fasync_helper(fd, file, mode, &Fpga_read_queue);
//处理 FASYNC 标志变更函数
kill_fasync(&Fpga_read_queue, SIGIO, POLL_IN);
//释放信号函数
```

2.1.6 ioctl()方法

`ioctl()` 函数是特殊的控制函数,可以通过它向设备传递控制信息或从设备取得状态信息。在用户程序中通过调用 `ioctl()` 函数发送 FPGA 采集的各种参数命令,调用原型一般为 `int ioctl(int fd, int cmd, ...)`,主要是通过 `cmd` 传递采样命令。在 FPGA 设备驱动程序中 `ioctl()` 的主要语句为:`raw_writel(cmd, Fpga_W_Addr)`。

2.2 FPGA 程序设计

FPGA 程序设计是采集模块软件至关重要的部分,它控制着数据采集,缓存模块,数据预处理与数据传输的工作时序。

2.2.1 FPGA 读写控制模块

本文对从 `0x38000000` 开始的 4B 地址进行了复用,当 ARM 从 FPGA 的 FIFO 中读取数据时,该部分地址作为数据存储空间,当 ARM 向 FPGA 发送控制命令时,这部分地址作为控制寄存器空间,主要通过 ARM 发出的读写命令区分。FPGA 中实现的代码为

```
always@(posedge SYS_CLOCK)
begin
if(nWrite==0 && nGCS==0)
Controlreg[15:0]<=data_inout[15:0];
else if(nRead==0 && nGCS==0)
data_inout[15:0]<=fifo_dout[15:0];
else data_inout[15:0]<='hz;
end
```

2.2.2 FIFO 缓存模块

FIFO 的本质是一种特殊的双口 RAM,先进先出,没有地址控制的特殊数据缓存器,只要给 FIFO 提供读写时钟和读写使能信号就能使其工作。本设计中, FIFO 写时钟应和 AD 采样时钟保持一致,而把 ARM 的读信号取反后作为 FIFO 的读时钟,这里选用了读写异步,深度 32K 数据个数、宽度 16b、异步清零并输出写数据个数的 FIFO。

2.2.3 采集控制模块

该模块主要用来控制 FIFO 缓存中数据的读写。它根据 ARM 端传递过来的参数(如触发方式和触发电平)决定 FIFO 的写信号是否有效。当写信号有效且 FIFO 的长度达到预设的采样长度时发出采集完毕信号,即通知 ARM 可以开始读取 FIFO 中的数据了。

3 讨论

在实验室的光纤预警安防系统模型中进行了测试,测试过程中,以手轻轻触动敷设在围栏上的光缆模拟扰动源。将前端连接光纤的光电探测模块连接到 FPGA 采集设备的路通道中,在 ARM 控制板中加载驱动控制 FPGA 设备中数据的采集和传输,将采集到数据以 .dat 文件存储,再在 Matlab 中显示。图 7 中数据源为当脉冲波采样频率为 50MHz,连续波采样频率 50kHz,采样长度都为 20K 数据个数,触发模式都为

上升沿触发,触发电平都为 0V 时 ARM 端接收到的采样数据。其中,图(a)为传感光纤无振动情况下采集到的脉冲信号,信号仅含有光路起始峰和干涉峰;图(b)为传感光纤有振动情况下的脉冲信号,与图(a)相比,信号中多出了振动带来的振动峰;图(c)为无振动情况下采集得到的连续波信号,基本上只有基线信号伴随着少量的环境噪声;图(d)为存在振动情况下的连续波信号,可以看出,信号的频率和幅值都有明显变化。

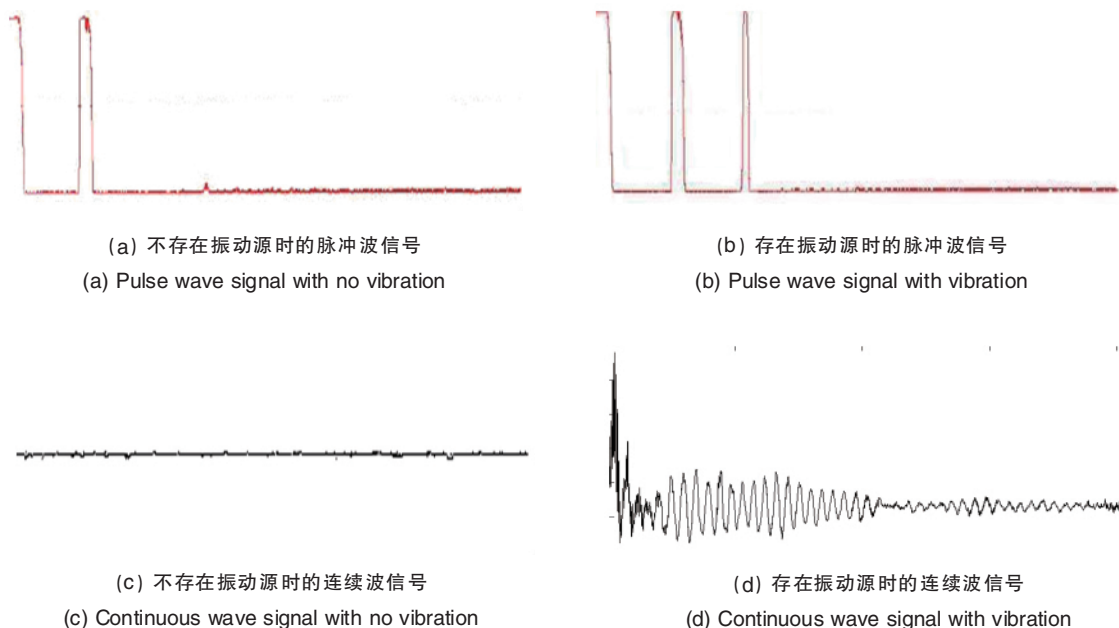


图 7 ARM 端接收到的采样信号

Fig. 7 Collected signal in ARM

4 结语

本系统设计主要基于 ARM+FPGA 的架构,结合了 ARM 的低功耗和 FPGA 的灵活性等特点,实现了 ARM 和 FPGA 的并行总线接口通讯,证明 FPGA 设备的驱动达到了预期效果,解决了数据采集的关键问题。ARM 与 FPGA 之间的数据传输速率约达 8MB/s,提高了系统实时性。成功将数据采集系统应用于光纤监控预警安防系统,为分布式光纤安防预警系统的研究提供了基础。

参考文献 (References)

- [1] Wang C, Shida K. A low-cost double-fiber model distributed optical fiber sensor [J]. *IEEE Transactions on Instrumentation and Measurement*, 2007, 56(4): 1481-1487.
- [2] Brush J, Davis C, Davis P, et al. Buried fiber intrusion detection sensor with minimal false alarm rates [J]. *Proceedings of the SPIE*, 1998, 3489: 30-40.
- [3] Maki M C, Weese J K. Fiber optic fence sensor developments [J]. *IEEE Aerospace and Electronic Systems Magazine*, 2004, 19(2): 8-13.
- [4] 王立新, 罗强, 刘晓光, 等. 基于 Sagnac 环的光纤围栏报警系统[J]. *光通信技术*, 2007, 4(1): 60-61.

Wang Lixin, Luo Qiang, Liu Xiaoguang, et al. *Optical Communication Technology*, 2007, 4(1): 60-61.

- [5] 邓沌华, 李源. 物联网领域中光纤周界传感系统的应用 [J]. *信息通信*, 2011(5): 162-164.
Den Dunhua, Li Yuan. *Information & Telecommunication*, 2011(5): 162-164.
- [6] Griffin B, Connelly M J. Digital signal processing of interferometric fiber optic sensors [C]. *IEEE LTIMC 2004 -Lightwave Technologies in Instrumentation & Measurement Conference Palisades, New York, USA, October 19-20, 2004.*
- [7] Adachi S. Distributed optical fiber sensors and their applications [C]. *SICE Annual Conference 2008. Chofu, Tokyo, Japan, August 20-22, 2008.*
- [8] 朱晓鹏, 肖铁军, 赵蕙. ARM+FPGA 的实时数据采集系统设计[J]. *计算机工程与设计*, 2009, 30(13): 3088-3090.
Zhu Xiaopeng, Xiao Tiejun, Zhao Hui. *Computer Engineering and Design*, 2009, 30(13): 3088-3090.
- [9] 蒋贵全, 张辉, 王国锋. 基于 Linux 的 FPGA 数据通信接口驱动设计与实现[J]. *计算机应用*, 2009, 29(9): 2050-2522.
Jiang Guiquan, Zhang Hui, Wang Guofeng. *Journal of Computer Applications*, 2009, 29(9): 2050-2522.

(责任编辑 朱宇)