

改进适应度评价的多态自检电路进化设计算法

柏磊, 朱晓华

南京理工大学电子工程与光电技术学院, 南京 210094

摘要 针对传统多态自检电路进化设计算法适应度评价阶段丢失潜在解的问题, 提出了一种改进适应度评价方法。利用扩展评价将传统算法中随机选择输出位对候选电路进行评价的方法改进为完全评价方法, 通过动态选择输出位对电路做出最恰当的评价, 防止潜在解的丢失; 对于多态电路扩展评价结果采用比较选择选取在多种工作模式下适应度最高的输出位, 完成进化电路最优结构配置。外部进化设计实验结果表明, 所提方法仅需 4 个测试向量就能检测出组合电路中的所有固定性故障。电路中不需额外的输入/输出信号, 通过加法器进位输出位的震荡可以指出错误的存在, 同时电路原始输入信号即可作为检测输入信号。与传统进化设计算法相比, 进化代数减少了 90.6%—91.7%, 成功获得最优解时电路使用门个数减少 8%—9.7%, 具有进化迭代次数少和资源消耗低等优点。

关键词 改进适应度评价; 多态电路; 自检电路; 进化设计

中图分类号 TP18, TN702

文献标识码 A

doi 10.3981/j.issn.1000-7857.2012.07.003

Evolutionary Design Algorithm for Polymorphic Self-checking Circuits Based on Improved Fitness Evaluation

BAI Lei, ZHU Xiaohua

School of Electronic Engineering and Optoelectronic Technology, Nanjing University of Science and Technology, Nanjing 210094, China

Abstract In order to deal with the problem that in the stage of fitness evaluation while the traditional evolutionary design algorithm is used for polymorphic self-checking circuits, the potential solution is lost, therefore, an improved fitness evaluation method is proposed. As the candidate circuit is evaluated by randomly selecting the output in the traditional algorithm, the fitness evaluation expansion is introduced to adopt full evaluation. The dynamic selection of the output is used to make the most appropriate evaluation for the candidate circuits, avoiding the loss of potential solution. Regarding the result of fitness evaluation expansion for polymorphic circuits, the comparison and selection are proposed to choose the output with the highest fitness under the both modes, and then the optimal structure is configured. The simulation results of the extrinsic evolution show that the proposed method is able to detect all the stuck-at-faults in the combinational circuits, only using four test vectors. Additional input or output signals are not needed to indicate the faults in the circuits. The carry-out output of the adder is used to show the faults based on oscillations and the original input signals of the circuits could be used as the test signals. Comparing with the traditional evolutionary design algorithm, the evolution generation and the gate number in the circuit are decreased by 90.6%—91.7% and 8%—9.7% respectively. The proposed method gains the advantages of less iterations and lower resources consumption.

Keywords improved fitness evaluation; polymorphic circuits; self-checking circuits; evolutionary design

0 引言

深亚微米技术 (deep submicron technology) 的发展使得超

大规模集成电路 VLSI 的集成规模不断提高, 因此电路故障的检测难度也不断加大。内部自测机制 (Built-In Self-Test,

收稿日期: 2012-02-14; 修回日期: 2012-03-02

基金项目: 南京理工大学自主科研专项计划项目 (2010ZYTS028); 南京理工大学科研启动基金项目

作者简介: 柏磊, 博士研究生, 研究方向为演化硬件、电路进化设计, 电子信箱: jackybai1983@hotmail.com; 朱晓华 (通信作者), 教授, 研究方向为雷达系统理论与技术、高速实时数字信号处理, 电子信箱: zzh@mail.njust.edu.cn

BIST)^[1]能够对电路内部功能的正确性进行检测。其伪随机序列产生器为电路生成输入信号,特征分析器针对输出信号产生校验子并与正确的输出进行比较,以此判断电路是否正常工作。带有并行差错检测(Concurrent Error Detection, CED, 一种并行 BIST)^[2]的电路具有检测瞬时及永久性错误的能力,并且被广泛应用于对可靠性和数据完整性有很高要求的系统。几乎所有的 CED 技术都将电路分解为功能逻辑模块和检验器模块两个部分。然而 BIST 对原始电路会产生额外的延迟,并且需要相对较长的测试应用时间,增加了硬件复杂度,更重要的是可能具有不完全的错误覆盖范围^[3]。特别是对于较大规模的复杂电路设计,伪随机序列无法确保很高的错误覆盖范围。此外,BIST 需要额外信号表示故障的存在,进行复杂电路设计时,这些专用信号必须通过交互获得故障的完整信息,由此增加了设计的复杂度,并且容易产生额外的故障。针对 BIST 的缺点,将电路原始功能与测试机制完全融合是一个很好的解决途径。2005 年,Garvie^[4]用进化算法将电路原始功能和检验逻辑融合设计了一种小型的自检电路,但仍需要额外的信号指出电路故障。针对该方法的缺点,Sekanina^[5]于 2007 年提出将多态电路应用到自检电路设计中。电路在两种多态模式下均完成同种功能,输出位 Y_{out} 在电路发生故障时会随着多态门控制信号的震荡频率进行震荡,并且 Y_{out} 不是一个特殊的测试输出信号,而是电路原始输出之一。电路的原始输入即为测试输入信号,因此对电路本身而言完成检测功能不需要额外的测试输入/输出信号。2008 年,Ruzicka 等^[6]利用文献[5]的方法进行了基于多态 NAND/NOR 门的自检加法器物理实现,验证了多态方法的可行性。2010 年,Mashayekhi 等^[7]设计了一种 2 位自检加法器,通过配置电路中各个多态门的功能组合获取 100%故障检测效果,但该方法所用多态门未得到物理实现并且对于不同类型的多态门控制难度较大。由于设计复杂度高,目前多态自检电路普遍采用外部进化方法设计^[5-6]。该方法将所要进化的目标编码为进化算法可操作的染色体,其适应度评价一般基于针对电路或系统抽象模型的软件仿真,即不进行实际配置和测试,通过模拟进化过程得到满足要求的染色体。外部进化方法具有灵活度高、适用面广的特点。但是文献[5]和[6]所提出的进化算法在适应度评价阶段容易丢失潜在解,无法对候选电路进行完全评价,影响了进化方法有效性。

本文针对目前多态自检电路进化设计方法缺陷,提出一种基于外部进化的改进适应度评价方法用于组合电路固定性故障检测。在算法适应度评价阶段,将原本的固定适应度评价方法扩展为动态评价方法,针对扩展评价结果及多态电路同一结构下多种功能同时评价的特点,采用比较选择最优功能决定电路结构配置,避免潜在解的丢失,减少迭代次数。外部进化设计实验验证了所提方法的有效性。

1 多态电路

作为演化硬件技术(Evolvable Hardware, EHW)^[8]的一个

重要组成部分,多态电子学及多态电路的概念于 2001 年由 NASA 喷气推进实验室的 Stoica 等^[9]首先提出,并被广泛应用于自适应多功能电路^[10]、电路自动诊断测试^[11]、隐藏功能实现及智能传感器设计^[9]等领域。多态电路是一种非传统意义的多功能电路,它能够在不改变电路结构的前提下通过感知外部环境的变化(如温度、光照、电压等)自适应的改变电路的功能。多态电路无须传统演化硬件的可重构步骤却能实时对环境变化做出响应,通过较低的成本获得电路的可重构特性(即潜在的自适应特性)。通常,多态数字电路由普通逻辑门和多态门混合组成,利用多态门的特性实现电路功能转换。多态门能够根据外部环境状况改变自身的逻辑功能,其中由电压控制的 NAND/NOR 门已于 2004 年由 Stoica 等得到物理实现^[12]。图 1 为文献[12]中 NAND/NOR 多态门的性能(图中 A、B 为输入信号,out 为输出信号),当控制电压 V_{ctrl} 在 3.3—3.8V 时实现 NOR 功能, V_{ctrl} 在 3.9—5V 时实现 NAND 功能。

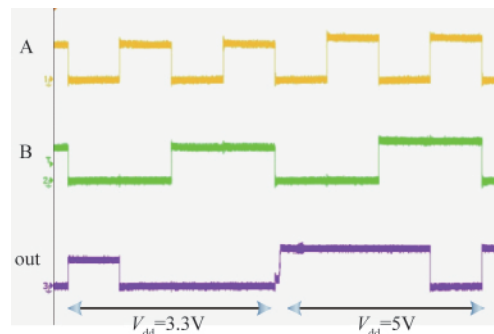


图 1 NAND/NOR 多态门性能

Fig. 1 Performance of NAND/NOR polymorphic gate

进化设计方法基于非定向的全局搜索算法,一方面算法在搜索过程中允许功能不正确的中间结果存在,另一方面算法的选择压力使得进化过程能够朝着搜索空间的优势区域发展。与传统设计方法相比,进化方法的生成-测试机制能够搜索更大的设计空间,可以获得更加新颖和有效的电路结构。由于多态电路设计复杂度高,用传统设计方法几乎无法实现,目前主要以可编程逻辑器件(如 Field Programmable Gate Array, FPGA)为平台利用进化方法进行设计^[13]。笛卡儿遗传规划方法(Cartesian Genetic Programming, CGP)^[14]采用与 FPGA 查找表结构相匹配的表达形式且在进化过程中能获得更加精简的电路结构,已广泛应用于多态电路进化设计^[5-6,15]。

2 基于改进适应度评价的多态自检电路进化设计算法

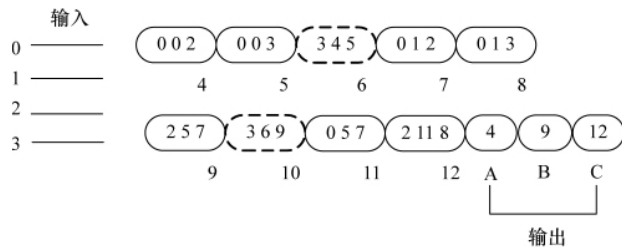
2.1 笛卡儿遗传规划

CGP 是一种遗传规划(Genetic Programming, GP)^[16],但与 GP 的树型表达结构不同的是,CGP 中程序以二维直接型非循环图的形式表达,对应电路结构由 C 行 L 列共 $G=C \times L$ 个节点组成,具体如图 2 所示。其中标号 0—3 为电路外部输入,4—12 为节点,电路输出来自节点 4、9 和 12。CGP 的基因型由整数表示,每个节点均完成一种特定功能,其组成基因

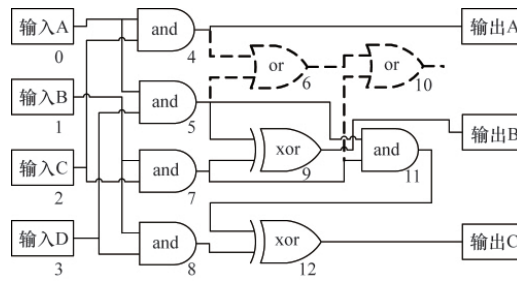
分别代表该节点的功能和输入来源。其中表示功能的基因代表功能查找表中对应功能的地址,称作功能基因 F_i ;其余基因用于表示该节点的输入信号来源,即输入来源节点在二维阵列中的地址,称作连接基因 $C_{i,j}$ 。每个节点以前馈形式获得输入信号,即输入来自二维节点阵列前 K 列的节点输出或者是程序输入(也称作终端输入),其中 K 称为前馈级数,用于控制节点所能选取的输入来源前馈列数。节点的连接基因个数取决于功能查找表中对应功能的最大输入个数 n ,则每个节点的编码可表示为 $[F_i, C_{i,0}, C_{i,1}, C_{i,2}, \dots, C_{i,n-1}] (0 \leq i \leq G-1)$ 。基因型的末端基因用于表示程序的输出来源。程序终端输入地址定义为 $0 \sim (n_i-1)$, n_i 为终端输入个数。基因型中每个节点的地址(即每个节点的输出地址)按顺序定义为 $n_i \sim n_i+G-1$ 。如果程序有 n_o 个输出,则基因型末端将添加 n_o 个整数用于表示输出来源,称作输出基因 $O_i (0 \leq i \leq n_o-1)$,每个输出基因表示程序输出来源节点地址。需要注意的是,同一列节点互相是禁止连接的。由上述定义可得 CGP 基因型表达如下:

$$F_0 C_{0,0} \dots C_{0,n-1} F_1 C_{1,0} \dots C_{1,n-1} \dots F_{G-1} C_{G-1,0} \dots C_{G-1,n-1} O_0 O_1 \dots O_{n_o-1} \quad (1)$$

目前,针对 CGP 结构的定义普遍采用的是 $C=1$ 的设置,



(a)



(b)

图3 笛卡儿遗传规划电路基因型(a)和表现型(b)

Fig. 3 Genotype (a) and corresponding phenotype (b) of a CGP circuit

2.2 改进适应度评价方法

CGP 采用 $(1+\lambda)$ 进化策略进行电路的进化,该进化策略在适应度评价阶段对输出位所对应节点的适应度进行评价,以此作为对该个体(染色体)的评价标准。然而规定了固定输出位后,算法会忽略包含在其他节点中的潜在解,使算法不能正确地对染色体进行评价,将导致算法收敛速度减慢,正确率降低。本文在原有评价方法基础上进行了扩展,在电路编码阶段不进行输出位编码,将每个节点的输出都作为电路的潜在输出,通过与电路正确输出真值表对比,逐个进行适应度评价。当某个节点的输出与理想输出位之一相符度最高时,则将该节点输出作为电路输出,并继续进行下一个理想输出位的对比,直到与所有理想输出位真值表都对比结束,这样就完成了扩展评价。扩展评价方法编码与常规编码方式相比,基因型末端没有对输出位编码,具体如下所示:

$$F_0 C_{0,0} \dots C_{0,n-1} F_1 C_{1,0} \dots C_{1,n-1} \dots F_{G-1} C_{G-1,0} \dots C_{G-1,n-1} \quad (2)$$

扩展评价模型如图4所示。以1位全加器为例,具体步骤如下。

步骤1 进化策略适应度评价阶段时,对图4中节点4—12分别计算对应于不同的输入各节点的输出。1位全加器的输出分为进位输出位(carry)和加法值输出位(sum),每个节点相对于1位全加器 sum 位和 carry 位真值表的适应度

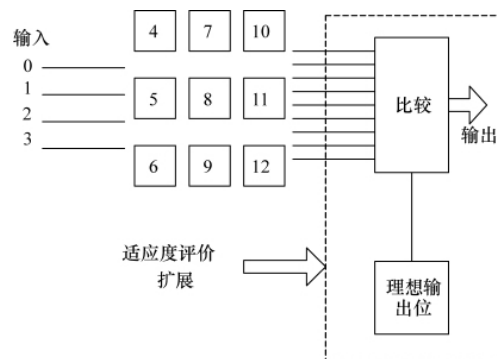


图4 适应度扩展评价示意

Fig. 4 Abstract model for a circuit with fitness evaluation expansion

分别为 $fitness_sum$ 和 $fitness_carry$ 。先从节点 4 开始,将其输出与 sum 位的真值表输出按位进行比较。每符合 1 位输出,对应于输出节点 4 的适应度 $fitness_sum=fitness_sum+1$ 。若完全匹配,则节点 4 作为 sum 位的输出,进入步骤 2。若不完全匹配,按同样方法依次计算其他节点的适应度。如果所有节点均不能完全匹配,进入步骤 2。

步骤 2 按照步骤 1 中的方式进行 $carry$ 位真值表的比较,若在 sum 位完全匹配的情况下 $carry$ 位也能找到完全匹配的输出,则整个进化算法终止。若不完全匹配,进入步骤 3。

步骤 3 按照下面公式计算该个体的适应度:

$$Fitness = \max(fitness_sum(i)) + \max(fitness_carry(j))$$

$$1 \leq i \leq 9, 1 \leq j \leq 9 \quad (3)$$

多态数字电路进化设计与普通数字电路进化设计不同之处在于,同一电路结构下要同时对多种功能进行评价,只有所有功能均能正确实现,电路设计才完成。不同模式下的电路经过适应度扩展评价后,对于不同的模式有不同的最优输出位,因此也就有不同的电路配置。针对这种情况,本文通过比较选择对进化过程中所产生的电路输出位进行选择(即选择电路结构),从而保证每一代得到的染色体对于电路的两种功能模式来说适应度是最高的。以采用 NAND/NOR 多态门的多态电路为例,比较选择过程如下。

步骤 1 将多态电路中所有门功能设置在第一种模式下(多态门实现 NAND 功能),并利用适应度扩展评价方法计算电路适应度值 f_1 ,此时对于模式 1 来说是完全评价。

步骤 2 将多态电路中所有门功能设置在第二种模式下(多态门实现 NOR 功能),利用模式 1 下产生的电路结构得到模式 2 下的适应度值 f_2 ,此时对于模式 2 来说并不一定是完全评价。

步骤 3 计算多态电路适应度评价价值 $F_1=f_1+f_2$ 。

步骤 4 重复步骤 1—3 的过程,只是先评价模式 2,并利用模式 2 下产生的电路结构进行模式 1 的评价,得到 $F_2=f_1+f_2$ 。

步骤 5 多态电路适应度评价价值 $F=\max(F_1, F_2)$,每次均选择对两种功能适应度最高的电路配置,比较选择完成。

2.3 算法流程

基于改进适应度评价的多态电路进化设计算法流程如下:

(1) 随机生成 $1+\lambda$ 个个体组成初始种群,通过本文提出的改进适应度评价方法得到种群中的最优个体。

(2) 对父代最优个体进行点变异操作,生成 λ 个子代个体。

(3) 最优个体和生成的 λ 个子代组成新的种群。

(4) 分别对新种群中的个体采用改进适应度评价得到适应度值。

(5) 使用如下方法得到新种群中的最优个体:

① 如果子代的染色体具有相对较高的适应度,则子代作为最优个体;

② 如果子代的染色体与父代染色体具有相同适应度,则选择子代作为最优染色体进入下一代,以保证种群多样性;

③ 其他情况下,父代染色体作为最优个体。

回到步骤(2)直到获得问题的解。

3 仿真实验与分析

3.1 实验结果

本文方法针对的是电路中的固定性故障,即电路中某个门的输出固定为 0 或者 1。目前仅有 NAND/NOR 多态门得到了物理实现,因此本文采用文献[12]中的 NAND/NOR 多态门与普通门混用的方式进行电路设计。如果输入信号不改变,当控制信号以频率 f 进行转换时电路输出 Y_{osc} 是固定不变的,这种情况下电路正常工作。当电路中发生固定性故障时, Y_{osc} 将在 0 和 1 之间以频率 f 发生震荡。除了原有的功能外,该输出位同时作为电路固定性故障的显示位。当电路需要进行自检时激活控制信号即可,自检过程可以发生在系统进行操作前也可以在系统正常工作时。当然,也可以使系统处在持续自检中,这种情况下控制信号必须要持续震荡。电路进行自检时正常的输入信号即为测试输入向量,无须额外的输入信号。

目前自检电路进化设计主要以 1 位加法器为对象,并将其作为组成模块扩展到多位自检加法器设计^[5-7],因此本文同样选取 1 位自检加法器作为设计对象。利用第 2 节所述方法,参考文献 [5]、[6] 的参数设置,实验所使用门种类 $\Gamma=\{\text{NAND/NOR, XOR, NOT}\}$ 。种群大小为 15,最大进化代数数为 10^4 ,每个实验均进行 100 次蒙特卡洛仿真,当进化设计所得电路功能完全正确或者达到最大进化代数时算法停止,进化

表 1 实验参数和结果

Table 1 Experimental parameters and results

实验参数	case 1		case 2		case 3	
	方法 1	方法 2	方法 1	方法 2	方法 1	方法 2
$C \times L$	1×80	1×80	1×80	1×80	1×80	1×80
反馈级数	80	80	80	80	80	80
变异概率/%	1	1	2	2	3	3
成功运行概率/%	100	100	100	100	100	100
运行代数	359.54	3837.23	179.36	2158.6	109.39	1214.2
使用门个数	13.82	15.13	13.74	14.94	12.88	14.21

过程结束。具体仿真参数设置和进化结果(方法 1)如表 1 所示,并与文献[5],[6]中所用方法(方法 2)进行了比较。表 1 中变异概率表示发生变异的基因个数占总基因数的比值,成功运行概率表示成功获得最优解时的算法运行次数占运行总次数的比值。由设计结果可知,在不同的变异概率下,本文方法对比传统多态自检电路设计算法运行代数分别减少 90.6%、91.7%和 91%。通过算法成功获得最优解时所使用门个数对比可知,本文方法分别减少 8.7%、8%和 9.4%,可以获得更加精简的电路结构。图 5 为本文方法获得的具有自检功能的一位全加器电路,该电路由 2 个 XOR 门(门 4 和 11)、1 个 NOT 门(门 15) 和 3 个多态 NAND/NOR 门(门 14、38 和 43)组成,各个门下方的数字编号代表该门在染色体中的位置。本文方法与传统多态自检电路进化设计算法相比,迭代次数大大减少且资源消耗较低。

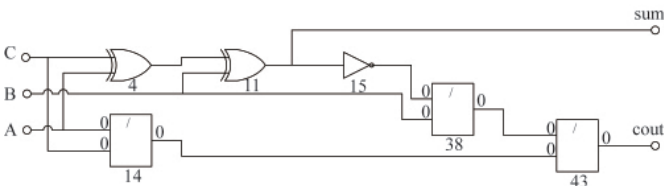


图 5 带自检功能的 1 位全加器电路

Fig. 5 Single-bit adder with self-checking property

3.2 电路自检特性分析

为了研究电路的自检特性,本文对进化生成的带有自检特性的加法器电路进行了分析。由文献[5],[6],本文将加法器进位输出位作为故障检测位。对于电路中每一个门的输出,分别赋予固定性故障 0 和 1,通过对加法器进位输出位的分析得到结果,具体过程如下。

(1) 对于电路中的每一个门 $G_i(i=1,2,\dots,k)$, k 为自检电路使用门的总数,将多态门设置在模式 1 下,计算对于电路的所有输入组合,输出位 Y_{osc} 的向量值 R_1 ;

(2) 将多态门设置在模式 2 下,计算对于电路的所有输入组合,输出位 Y_{osc} 的向量值 R_2 ;

(3) 计算对于门 G_i ,所有能够使输出 Y_{osc} 产生不同值的输入组合 M_g ;

(4) 重复过程(1)–(3),直到所有门都分析结束。

(5) 故障检测率(Fault Detection, FD),有 $FD=num_X/(num_gates \times num_vectors)$,其中 num_X 为引起震荡的输入向量个数, num_gates 为电路中门个数, $num_vectors$ 为输入向量总数。

通过该方法可以计算出在所有输入向量下电路的故障覆盖范围,并找出在固定性故障下造成输出位震荡的输入向量。单个输入向量导致输出位震荡的可能性很低,通常需要多个输入向量组合才能在输出位 Y_{osc} 完整显示震荡,因此必须通过故障覆盖范围找出最小输入向量组合 M_{min} 。当固定性故障出现在电路输出位时无法观察到震荡(如图 5 中的门 43),因此在分析时需要将这些门或者分电路排除。表 2 为图

5 所示 1 位全加器的故障覆盖范围,测试向量 0—7 为电路输入信号 (C,B,A) , X 为在固定性故障 0 或者 1 下该测试向量能够引起电路进位输出位震荡。由表 2 可知,利用输入向量组合 M_{min} 为 $\{1,2,3,5\}$, $\{1,2,5,6\}$, $\{2,4,5,6\}$ 或 $\{2,3,4,5\}$,电路所有的固定性故障都可以被检测出,是一种完全自检电路。当只有一个随机输入向量进行检测时电路的故障检测率 $FD=0.325$ 。最小输入向量及故障检测率与文献[5],[6]相同。

表 2 1 位加法器故障覆盖范围
Table 2 Fault coverage of single-bit adder

$M_g/vector$	0	1	2	3	4	5	6	7	stuck_at
M_{g4}		X		X	X		X		0
M_{g11}		X	X		X				0
M_{g14}		X			X				0
M_{g15}				X		X	X		0
M_{g38}	X		X						0
M_{g4}			X			X			1
M_{g11}				X		X	X		1
M_{g14}				X			X		1
M_{g15}		X	X		X				1
M_{g38}						X		X	1

具有自检功能的 1 位全加器可以通过级联的方式组成多位自检加法器以及其他自检电路,图 6 为利用图 5 所示 1 位加法器组成的具有自检功能的 2 位加法器。当故障发生在 adder2 时,等同于 1 位加法器的情况,故障检测率为 0.325;当故障发生在 adder1 时,必须将 cout0 产生的震荡传递到 cout1 才能检测出故障,这需要设置输入信号 $A_1 \neq B_1$,此时故障检测率为 0.1625。对于 2 位加法器,同样只需要 4 个输入向量即可检测出 adder1 中的所有故障,如输入向量组合 $\{5,9,13,21\}$,与文献[5],[6]最小输入向量和故障检测率相同。使用同样方法,可将 1 位自检加法器扩展为 N 位带有自检功能的加法器,并且同样只需 4 个输入向量即可检测出存在于分电路中的故障。

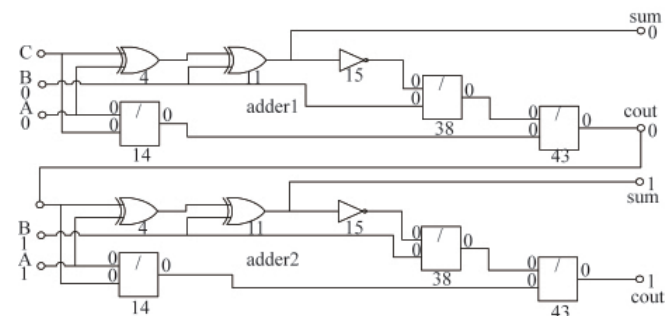


图 6 带有自检功能的 2 位全加器电路

Fig. 6 Double-bit adder with self-checking property

4 结论

本文利用多态电路进行自检加法器的进化设计,通过加

法器进位输出信号的震荡检测电路的故障,同时电路输入信号即可以作为电路测试向量,避免了额外的输入、输出信号对于电路可靠性的影响。针对传统自检电路进化设计算法的缺点,采用改进适应度评价方法避免了潜在解的丢失,减少了迭代次数及电路消耗的门的个数。经过自检特性分析,本文方法所设计自检加法器仅需4个测试向量就能检测出组合电路中所有的固定性故障。

参考文献 (References)

- [1] Dutt S, Verma V, Suthar V. Built-in-self-test of FPGAs with provable diagnosabilities and high diagnostic coverage with application to online testing [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2008, 27(2): 309-326.
- [2] Joshi N, Wu K J, Sundararajan J, et al. Concurrent error detection for involutions functions with applications in fault-tolerant cryptographic hardware design [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(6): 1163-1169.
- [3] Jervan G, Orasson E, Kruus H, et al. Hybrid BIST optimization using reseeding and test set compaction [J]. *Microprocessors and Microsystems*, 2008(5-6): 254-262.
- [4] Garvie M. Reliable Electronics through artificial evolution [D]. Brighton: University of Sussex, 2005.
- [5] Sekanina L. Evolution of polymorphic self-checking circuits[C]//ICES'07 Proceedings of the 7th Conference on Evolvable Systems: From Biology to Hardware. Berlin: Springer-Verlag, 2007, 4684: 186-197.
- [6] Ruzicka R, Sekanina L, Prokop R. Physical demonstration of polymorphic self-checking circuits [C]//IOLTS '08 Proceedings of the 14th IEEE International On-Line Testing Symposium. Washington, DC: IEEE Computer Society, 2008: 31-36.
- [7] Mashayekhi M, Ardakani H H, Omidian A. A new efficient scalable BIST full adder using polymorphic gates [J]. *Proceedings of World Academy of Science, Engineering and Technology*, 2010, 61: 283-286.
- [8] Lohn J D, Hornby G S. Evolvable hardware: Using evolutionary computation to design and optimize hardware systems [J]. *IEEE Computational Intelligence Magazine*, 2006, 1(1): 19-27.
- [9] Stoica A, Zebulum R S, Keymeulen D. Polymorphic electronics[C]//Liu Y, Tanaka K, Iwata M. Evolvable Systems: From Biology to Hardware. Proceedings of the 4th International Conference, ICES 2001, Heidelberg: Springer, 2001, LNCS2210: 291-302.
- [10] Sekanina L, Starecek L, Gajda Z, et al. Evolution of multifunctional combinational modules controlled by the power supply voltage [C]// Proceedings of the 1st NASA/ESA Conference on Adaptive Hardware and Systems. Washington, DC: IEEE Computer Society, 2006: 186-193.
- [11] Ardakani H H, Mashayekhi M. A self-testing method for combinational circuits using polymorphic gates [C]//Proceedings of the First Asia Symposium on Quality Electronic Design. Washington, DC: IEEE, 2009: 178-182.
- [12] Stoica A, Zebulum R S, Guo X, et al. Taking evolutionary circuit design from experimentation to implementation: Some useful techniques and a silicon demonstration [J]. *Computers and Digital Techniques*, 2004, 151 (4): 295-300.
- [13] Luo W, Zhang Z, Wang X. Designing polymorphic circuits with polymorphic gates: A general design approach [J]. *IET Circuits, Devices & Systems*, 2007, 1(6): 470-476.
- [14] Miller J F, Harding S L. Cartesian genetic programming[C]//GECCO'10 Proceedings of the 12th Annual Conference Companion on Genetic and Evolutionary Computation. New York, NY: ACM, 2010: 2927-2948.
- [15] Gajda Z, Sekanina L. Gate-level optimization of polymorphic circuits using Cartesian Genetic Programming [C]//CEC'09 Proceedings of IEEE Congress on Evolutionary Computation. Washington, DC: IEEE, 2009: 1599-1604.
- [16] Banzhaf W, Koza J R, Ryan C, et al. Genetic programming[J]. *Intelligent Systems and Their Applications*, 2000, 15(3): 74-84.

(责任编辑 朱宇)

· 学术动态 ·

“第七届全国基坑工程研讨会”征文



由中国建筑学会建筑施工分会基坑工程专业委员会和深圳市土木建筑学会主办的“第七届全国基坑工程研讨会”拟于2012年11月1日在广东省深圳市召开。

征文范围: 基坑支护的最新设计理论研究及成果应用; 基坑工程勘察、设计、施工与监测的新技术、新设备、新方法; 地下水对基坑及周边环境的影响; 软弱土层地区基坑设计与施工的关键技术; 地铁深基坑工程的设计、施工与监测的关键技术; 基坑施工对地铁运行的影响研究及变形控制技术; 基坑施工对周边重要建筑的影响与控制技术; 典型工程实例及基坑工程事故分析; 基坑工程的风险评估与管理。

论文截止日期: 2012年5月30日。

联系电话: 0755-83755215, 0755-83755028。

电子信箱: jikengyantao@126.com。

会议网站: <http://www.chinaasc.org>。