计 算 机 研 究 与 发 展
Journal of Computer Research and Development
https://crad.ict.ac.cn
62(11): 2676−2686, 2025

基于多策略的总线拓扑感知全局布线算法

刘耿耿[1,2] 黄隽芊[1,2] 朱予涵[1,2] 余延涛[1,2] 魏 凌[1,2] 陈家瑞[1] 徐 宁[3]
[1](福州大学计算机与大数据学院 福州 350116)
[2](福建省网络计算与智能信息处理重点实验室(福州大学) 福州 350116)
[3](武汉理工大学信息工程学院 武汉 430070)
(liugenggeng@fzu.edu.cn)

Bus Topology Aware Global Routing Algorithm Based on Multi-Strategy

Liu Genggeng[1,2], Huang Junqian[1,2], Zhu Yuhan[1,2], Yu Yantao[1,2], Wei Ling[1,2], Chen Jiarui[1], and Xu Ning[3]
[1](*College of Computer and Data Science*, *Fuzhou University*, *Fuzhou* 350116)
[2](*Fujian Key Laboratory of Network Computing and Intelligent Information Processing* (*Fuzhou University*), *Fuzhou* 350116)
[3](*School of Information Engineering*, *Wuhan University of Technology*, *Wuhan* 430070)

Abstract The high-performance global routing results can effectively meet the design specifications and greatly improve the efficiency of the detailed routing phase. As the signal transmitted in the chip increases through the bus, the bus gradually becomes a key factor affecting the performance of the chip. If the bus topology structure is not considered during the global routing stage, coupling phenomena will occur when the bus transmission information is transmitted, resulting in a large timing deviation of signal transmission. Therefore, in order to optimize the consistency of bus topology structure in 2D global routing, an effective multi-strategy bus topology aware global routing algorithm is proposed. First, a topology reconstruction strategy based on congestion is designed to optimize the two-pin net and improve the utilization rate of routing space effectively. Second, a heuristic reroute model is constructed to realize the reroute of multi-signal bit bus. Third, a routing algorithm considering topology structure is added to the rip-up and reroute model to adjust the topology structure of the same bus net group and improve the consistency of bus topology. Finally, an iterative method to adjust the cost of bus topology is designed to further optimize the consistency of bus topology. Experimental results show that the proposed algorithm can effectively optimize the bus topology consistency of 2D routing solution.

Key words very large scale integration (VLSI); global routing; bus routing; topological routing; bus topolpgy

摘 要 高性能的全局布线方案能够有效地满足设计规范并大幅提高详细布线过程的效率.随着芯片中通过总线传输的信号增加,总线逐渐成为影响芯片性能的关键因素.若在全局布线过程中未考虑总线拓扑结构,将会导致总线传输信息时出现耦合现象,使得总线传输的信号产生较大的时序偏差.因此,为了优化2D全局布线中总线拓扑结构的一致性,提出了一种有效的基于多策略的总线拓扑感知全局布线算法.首先,设计了一种基于拥塞拓扑重构策略以对2端线网进行优化,从而有效提高布线空间利用率.其次,构建了一种拆线重布模型来实现对多信号位总线的拆线重布.然后,在拆线重布模型中提出了一种考虑总线拓扑结构的寻路算法,调整同一总线线网组的拓扑结构,提高了总线的拓扑结构一致性.最后,设计

收稿日期: 2024-02-02; **修回日期**: 2025-05-15
基金项目: 国家自然科学基金项目(62372109); 福建省杰出青年科学基金项目(2023J06017)
This work was supported by the National Natural Science Foundation of China (62372109) and the Fujian Provincial Outstanding Youth Science Foundation (2023J06017).
通信作者: 陈家瑞 (jrchen@fzu.edu.cn)

了一种自适应调整总线拓扑结构代价的迭代方式，进一步优化了总线拓扑结构的一致性. 实验结果表明，所提算法能有效优化 2D 布线方案的总线拓扑结构一致性.

关键词 超大规模集成电路；全局布线；总线布线；拓扑布线；总线拓扑

中图法分类号 TP391

DOI: 10.7544/issn1000-1239.202440066 **CSTR:** 32373.14.issn1000-1239.202440066

随着设计和工艺技术的发展，集成电路的规模和复杂度越来越高[1]. 总线是连接多个终端(引脚)和数据或控制信号传输的一组信号位. 在现代超大规模集成电路(very large scale integration, VLSI)设计中，总线在芯片中起到的作用越来越大，被广泛运用于功能模块和宏之间的并行信号传输. 这些信号需要在同一时间到达，因此总线决定了 VLSI 布线的时序和功耗[2]. 同一总线中每一个信号位都需要传输对应的信号，通常以信号位的线长作为信号传输时间的标准. 总线中某一信号位的线长差距过大或拓扑结构过于复杂都会使总线发出信号的到达时间产生偏差，导致芯片的性能降低[3]. 因此，时序匹配是总线设计中的重要约束[4]. 随着芯片集成度的提高，总线的拓扑结构成为影响总线时序的关键因素. 此外，现有全局布线算法并未在 2D 布线过程中充分考虑总线拓扑结构，容易产生耦合效应和错误的传输信息，导致芯片的信息处理能力降低.

为了有效地处理布线中出现的拓扑约束以及优化全局布线的质量，本文提出了一种基于多策略的总线拓扑感知全局布线(topology-aware global routing, T-GR)算法，该算法可以扩大布线过程中的布线利用率并有效优化总线拓扑结构的一致性. 本文工作的贡献有 4 个方面：

1) 在布线过程中，基于 FLUTE 算法对布线资源进行预估后，提出了一种基于拥塞的拓扑重构策略来对总线的拓扑结构进行优化，有效提高布线空间的利用率.

2)设计了一种启发式的拆线重布模型来对多信号位的总线进行重新布线，并在拆线重布模型中运用了一种考虑拓扑结构的寻路算法，通过考虑布线空间的分布寻找最合适的总线路径，提高了总线的拓扑结构一致性.

3)在迭代布线过程中，提出了一个能够调整布线范围以及布线代价的自适应系统，进一步优化了总线拓扑结构的一致性.

4)实验结果表明，所提出的 T-GR 算法能够有效优化 2D 布线方案的总线拓扑结构一致性.

1 相关工作

首先，在 2.5D 全局布线方面，Steiner 树的构造方法与布线方法是 2.5D 布线的重要研究方向[5-9]. 文献 [5] 在拥塞估计的基础上提出了一种拥塞驱动的 Steiner 树算法. 文献 [6] 设计了一种最小时延以及最小混合成本的 Steiner 树. 文献 [7] 提出了单调布线和多起点多终点的迷宫布线方法. 文献 [8] 在文献 [7] 所提算法的基础上，提出考虑通孔的 Steiner 树构造算法和 3 折布线算法来降低布线拐弯的数量. 文献 [9] 提出了引用一种虚拟线网的概念来重新生成 2 端线网的算法.

此外，拆线重布也是优化 2D 布线方案的重要步骤[10-20]. 文献 [10] 迭代地使用基于禁止布线区域的拆线重布方法来降低布线拥挤. 文献 [11] 通过识别拥挤区域来确定线网拆线重布的顺序. 文献 [12] 通过改进的拆线重布方法对产生溢出的线网进行重布线. 文献 [13] 在文献 [12] 所提算法的基础上，提出了最优的长度限制的迷宫布线和启发式的长度限制的迷宫布线. 文献 [14] 通过识别拥挤区域拆线重布的顺序进行拆线重布. 文献 [15] 使用菱形网格代替了传统的矩形网格，并在布线时更细致地考虑每个网格中的拥塞情况. 文献 [16] 利用整数线性规划在对布线进行优化的同时优化布局质量. 文献 [17] 提出了一种基于伪布尔满足性的拥塞减少和溢出最小化技术用于构建 Steiner 树. 文献 [18] 提出了一种基于博弈论的算法，可以对现有全局布线算法的拆线重布布线方案进行优化. 文献 [19] 提出了一个带有 GPU 加速的布线算法和异构任务图调度器的全局布线框架 FastGR. 文献 [20] 根据不同布线阶段的目标选取不同的布线模型及布线算法对线网进行拆线重布.

在总线布线方面，国内外也已经进行了一些相关研究[21-35]. 针对时序优化，文献 [21] 提出了一种考虑总线时延的布局修改方法，以最大程度地减少布线通孔的数量. 文献 [22] 提出了一种最小化布线线长与通孔数的算法. 文献 [23] 提出了一种用于印刷

电路版的总线长度匹配算法. 针对拓扑结构，文献 [24] 使用内部迂回的概念来解决总线相互缠绕的情况. 文献 [25] 提出了一种布线拓扑长度匹配的布线器，有效地处理了不受拓扑结构约束的实际设计问题. 文献 [26] 提出了一种采用最长公共子序列和多商品流的启发式算法来解决考虑障碍物的总线布线问题. 文献 [27] 在 2D 布线中同时考虑总线与非总线的存在并提出了混合单向单调布线(hybrid unilateral monotonic routing, HUMR)算法以优化总线 2D 偏差. 文献 [28] 在文献 [27] 的基础上，提出了一种考虑 2D 偏差的边移动技术算法以优化偏差. 文献 [29] 使用整数线性规划模型来实现总线的拓扑结构一致性. 文献 [30] 提出了一种考虑总线时序匹配的层分配算法. 另外，受 2018 年 ICCAD 总线布线竞赛[31] 的影响，文献 [32] 针对总线具体的拓扑结构提出了有向无环图总线布线算法. 文献 [33] 提出了一种总线布线算法，该算法通过同时对总线上所有信号位进行布线以达到拓扑一致性. 文献 [34] 提出了一种紧凑的拓扑感知总线布线算法来得到一个紧密的拓扑结构以及减少违规的约束数量. 文献 [35] 提出了一种考虑轨道资源、障碍物的总线布线算法，以优化可布线性、线长和长度匹配. 文献 [36] 提出了一种具有拓扑感知能力的轨道分配方法，以优化详细布线中的拓扑结构.

综上所述，现有的全局布线算法并未在同时进行总线与非总线布线时考虑总线拓扑结构的一致性，导致传输的信号产生较大的时序偏差，从而影响信号的完整性. 因此，本文针对考虑总线拓扑结构的全局布线问题展开研究，旨在优化总线拓扑结构一致性.

2 相关定义及问题模型

本节介绍了所使用的一些关于总线拓扑的术语及部分布线规则，并给出了考虑总线拓扑的全局布线问题模型.

2.1 基本定义

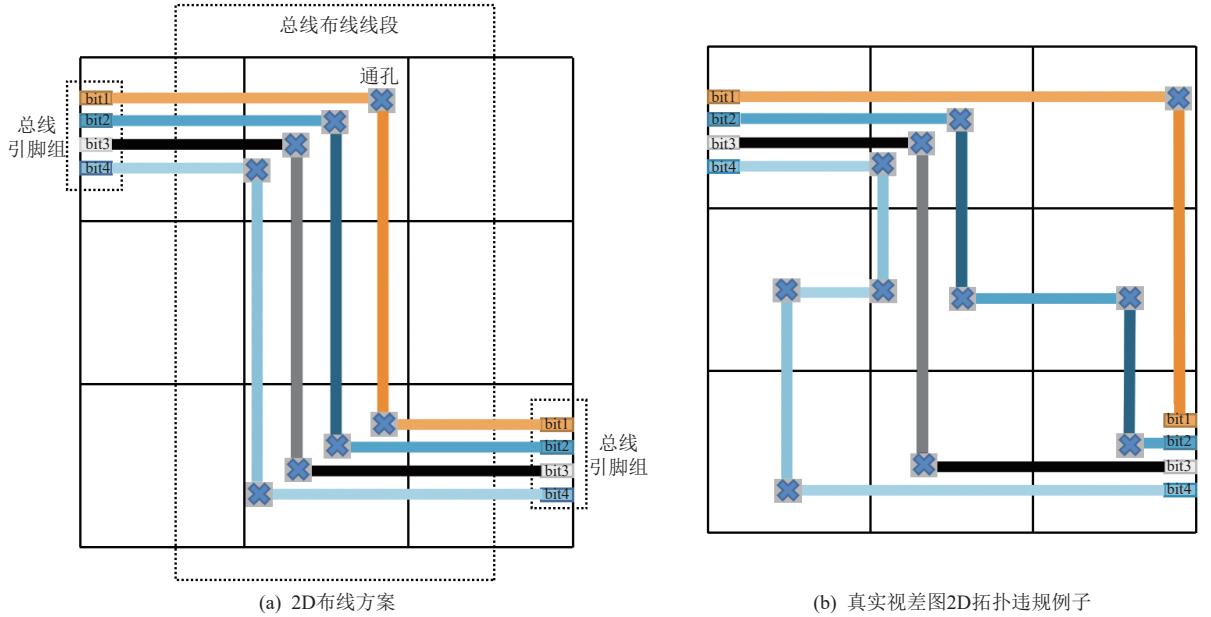
定义 1. 总线线网组. 总线线网组由多个总线引脚组组成，同一总线线网组的每个总线引脚组包含多个引脚，同一总线引脚组的引脚相互平行排列且同一总线线网组的每一个引脚组的引脚数量相同. 将其中的引脚定义为信号位，每一组总线引脚组中的每个信号位在另一个总线引脚组中都有相对应的信号位.

定义 2. 总线线段数量. 每个信号位连接的导线段数量称作总线线段数量.

定义 3. 总线拓扑结构. 总线拓扑结构由具体路径的布线线段以及布线方向组成.

定义 4. 拓扑偏差. 拓扑偏差是指各信号位在总线线网组之间的总线拓扑结构中产生不一致而导致的时序偏差.

总线有 q 个信号位和 r 个总线引脚组用于在不同组件之间传输控制信号. 图 1(a)展示了一组包含 4 b 的总线线网的布线示例，该总线线网组由 2 个引脚



(a) 2D布线方案 (b) 真实视差图2D拓扑违规例子

Fig. 1 Structure model of bus topology

图 1 总线拓扑结构模型

组组成，这 2 个引脚组中包含 4 个需要两两相连的引脚（bit1, bit2, bit3, bit4），其总线拓扑结构由 3 条总线线段组成，每条线段的布线方向皆保持一致.

在总线布线问题中必须考虑 2D 拓扑结构不一致所带来的影响. 图 1(b)为拓扑违规示例，bit1, bit2, bit3 连线中的总线线段数量不同，bit2 与 bit4 的总线线段数量相同但其布线线段方向存在不同，这种结构不一致将会使总线之间的线网产生耦合效应，导致同时出发的信号的抵达时间不一致. 总线结构由输入信息给定，输入信息中的线网和其余线网分开存放，并分开进行处理.

2.2 问题模型

将考虑总线拓扑结构的全局布线问题定义为：给定一个 z 层的全局布线图 $G=(V, E)$，一个总线线网组集合 $B=\{b_1, b_2, \cdots, b_n\}$，以及一个非总线线网集合 $N=\{n_1, n_2, \cdots, n_m\}$. 对于每个非总线线网都有一组引脚集合 $P=\{p_1, p_2, \cdots, p_k\}$，若为总线线网组则给定一组总线引脚组 $BP=\{bp_0, bp_1, \cdots, bp_r\}$，其中 bp_0 定义为源引脚组，bp_j 定义为汇引脚组. 每一布线层的布线容量 $C=\{c_1, c_2, \cdots, c_z\}$，障碍集合 $O=\{o_1, o_2, \cdots, o_i\}$. 根据引脚所在 G-Cell 的位置，将集合 P 映射到 $G=(V, E)$ 的顶点上. 根据文献 [31] 所提出的一个描述线网的拓扑质量的相关计算公式 C_{total} 来作为评判拓扑质量优劣的标准. C_{total} 的计算方式为：

$$C_{\text{total}}=\sum_{i=1}^{B}(\alpha\times C_{\text{w}}+\beta\times C_{\text{s}}), \tag{1}$$

$$C_{\text{w}}=\frac{\sum_{j=1}^{\#bits}\frac{W_j}{H_j}}{\#bits}, \tag{2}$$

$$C_{\text{s}}=\frac{\#segs}{L_i}, \tag{3}$$

其中 α 与 β 为常数，C_{w} 表示总线线网组 bus_i 布线的实际线长与理论最短线长之比，$\#bits$ 表示总线线网组 bus_i 的信号位数，W_j 表示 bit$j$ 的线长，H_j 表示 bit$j$ 的半参数线长，C_{s} 表示总线线网组 bus_i 布线的实际线段数量与理论最短线段数量之比，$\#segs$ 表示总线线网组 bus_i 的线段数量，L_i 表示总线线组网 bus_i 的线段数量的下限.

3 本文算法

3.1 算法总体设计流程

本文所提出的多策略的总线拓扑结构如图 1 所示，T-GR 算法流程如图 2 所示. 首先，在初始阶段中，将引脚位置、总线与非总线引脚组以及布线空间与布线容量等布线信息映射到 2D 平面后，基于 FLUTE 算法生成所有引脚组的 Steiner 树. 然后，基于 Steiner 树将线网分解为多个 2 引脚对，再根据引脚对的位置划分出布线区域以及初始的潜在拥塞区域，随后遍历总线线网中的所有伪 Steiner 点，对处于拥塞区域的伪 Steiner 点进行删除，重构该总线线网的 2 端线网. 最后，对所有线网进行 HUMR，快速地为所有的引脚获得一个初始布线方案. 但是由于初始布线方案并没有考虑是否产生溢出以及拓扑偏差，因此，需要把所有布线过于拥挤的线网进行拆线重布以消除溢出. 同时，对会产生较大总线拓扑偏差的线网组也进行拆线重布. 根据需要拆线重布的总线线网组的引脚对位置划分其布线区域，拆除布线区域的所有引脚对后，基于拓扑以及布线资源进行重布线. 然后，通过对部分线网进行局部调整以及对其余非总线引脚进行重布线来保证最终结果达到最优. 最后，在每次迭代后更改代价函数，在保证不产生溢出以及超时的情况下获得最终的 2D 布线方案.

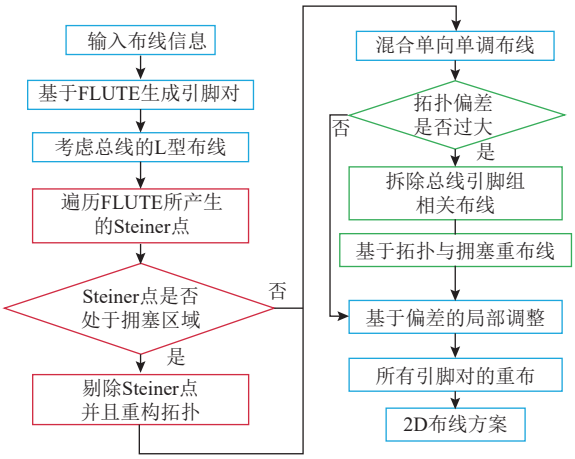


Fig. 2 The design process of T-GR algorithm

图 2 T-GR 算法设计流程

3.2 拓扑结构的重构策略

由于总线线网组的引脚组通常大于 2 个，所以布线质量在很大程度上取决于布线线网组的拓扑结构. FLUTE 算法为了保证线网长度最短，将会生成一个伪 Steiner 点，并依据该点生成多个 2 端线网，相当于在布线过程中将伪 Steiner 点作为一个必经点，导致布线过程的约束增加、可布线的空间缩减. 尽管其线长最短，但是线段数量将会大大增加，布线空间的利用率也大大降低，且无法保证总线拓扑结构的一致性. 因此，本文提出一种基于拥塞拓扑重构策略，可以在总线拓扑结构一致性与线网线长之间寻求一个

均衡点, 以优化布线方案. 该策略算法如算法 1 所示, 核心思想为通过拥塞代价图, 将一些处于拥挤区域的伪 Steiner 点进行剔除, 再重新构建 2 端线网, 以在降低线段数量的同时优化拓扑结构的一致性.

算法 1. 拓扑结构的重构策略.

① 选出线网布线代价最大的 1 组线网组;

② 遍历线网组中所有的 Steiner 点, 确认其周围的拥塞程度;

③ 剔除拥塞程度最大的 Steiner 点后通过 Prim 算法重新构造 2 端线网;

④ 对③所构造的 2 端线网进行拆线重布.

如图 3(a)所示, 给定一个有 3 组引脚组的总线引脚组, 该总线线网组存在 1 个源点与 2 个汇点. 绿点为通过 FLUTE 算法寻找到的伪 Steiner 点, 在该算法中将会遍历该伪 Steiner 点周围的布线空间. 图 3(b)中黑色方块代表拥塞程度较高的区域. 由于在初始阶段中构建引脚时只考虑最短线长而不考虑拥塞, 所以其中部分伪 Steiner 点对后续布线可能会产生负面影响. 若经过该伪 Steiner 点的路径经过黑色方块的数量较多, 则剔除该伪 Steiner 点, 再进行重新规划. 剔除伪 Steiner 点并通过 Prim 算法重新生成拓扑结构后, 若将线长作为 Prim 算法的计算代价, 将会产生图 3(c)所示的拓扑结构. 而当使用布线代价与布线拥塞作为计算代价时, 则产生图 3(d)所示的拓扑结果. 图 3(d)的布线尽管线长比图 3(b)所示结果长, 但是经过的拥塞区域比图 3(c)少, 且能够在有效避开拥塞过高的区域的同时保证后续布线的总线拓扑一致性. 此外, 产生拓扑偏差的线网一般都是跨度较大的线网, 即布线区域较大的布线线网组. 如此布线能够尽量绕开布线引脚密集的中心区域, 沿着边框寻找路径也可以为其余布线范围较小的线网腾出更多的布线空间. 因此, 基于拥塞拓扑重构策略的关键就在于确定需要剔除的伪 Steiner 点与构建新的两端线网所用的代价函数. 遍历每一个可能要被剔除的伪 Steiner 点, 根据其 2 端线网计算拥塞代价 V_{total}, 再剔除拥塞代价最大的点. V_{total} 的计算方式为:

$$D(path_i)=\sum_{e\in path_i} d(e),\ 0\leqslant i<n, \tag{4}$$

$$V_{\text{total}}=\sum_{i=0}^{n} D(path_i). \tag{5}$$

此外, 通过 Prim 算法来构建 2 端线网最关键的是计算 2 点之间的代价, 因此将拥塞程度用于计算构建 2 端线网所需的代价函数 V_{path}, 计算方式为

$$V_{path}=\sum_{e\in path} 1+\mathrm{e}^{-\frac{d(e)}{c(e)}}, \tag{6}$$

其中 $path$ 表示以该伪 Steiner 点为端点的路径, $e\in path$ 表示路径中的每条边, $d(e)$ 表示边 e 的拥塞值, n 表示以该伪 Steiner 点为端点的路径数量, $D(path_i)$ 表示该路径的拥塞代价之和, $c(e)$ 表示边 e 的容量.

3.3 基于总线拓扑结构的拆线重布策略

在对总线进行拆线重布的布线过程中, 通常在拆除部分线网后对每一信号位进行单独的顺序布线. 然而在这个过程中, 单一的布线顺序对每个信号位的布线方案都有很大的影响. 并且该布线方案受可布线空间制约, 然而每个信号位并没有通过相互影响来使拓扑结构与线长尽量保持一致. 为此, 本文提出一种考虑所有线号位的拆线重布算法, 通过全面考虑布线空间与各信号位的数量来选取最合适的布线路径, 以保证总线拓扑结构一致性最大化. HUMR 给定一个重布的边界框, 将其中的每个点都看成“中间点”. 布线路径由重布的边界框中的 2 条路径组成. 计算每条布线路径的起点与终点到“中间点”的代价, 从中选取 2 条代价最小的路径组成最终路径[37]. 此外, 由于这样的布线方式根据顺序依次寻找到每次迭代中最优的路径, 可能会产生布线资源的冲突, 从而导致最终结果中布线产生很大的拓扑偏差. 为了避免该情况的发生, 本文提出一种考虑总线拓扑的拆线

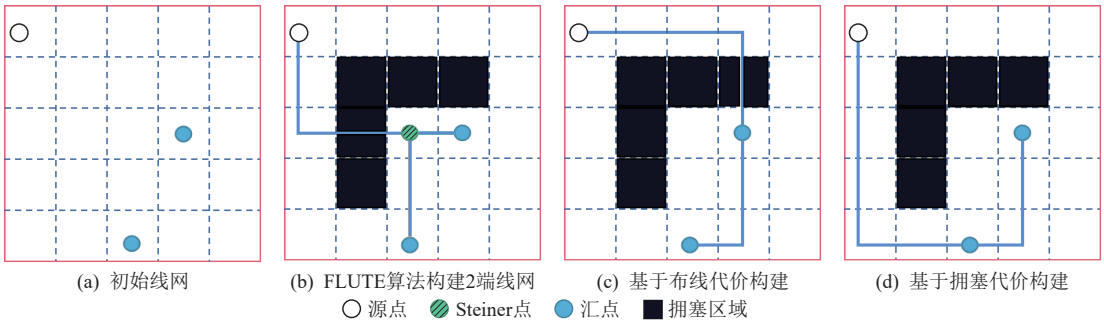


Fig. 3 Illustration of topology reconstruction

图 3 拓扑重构示意图

重布算法，在进行重布时考虑整体的拥塞值，保证不同信号位之间的拓扑偏差能达到最小. 具体算法如算法 2 所示.

算法 2. 基于总线拓扑结构的拆线重布算法.

输入：布线空间 *CR*，总线引脚对集合 *B*；

输出：多个信号位的布线路径 *NP*.

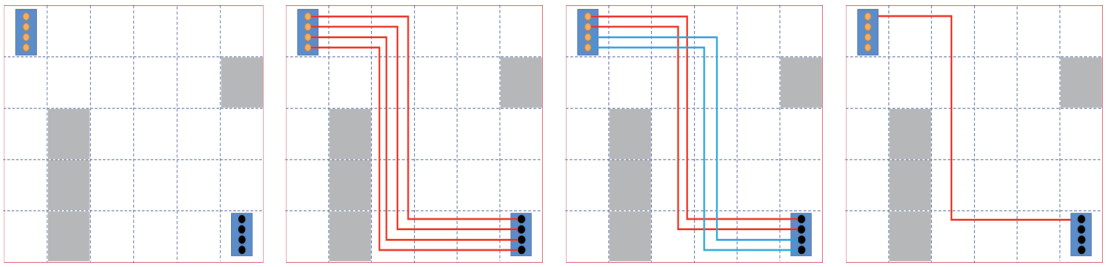
① 识别出拥塞区域，依次确定拆线重布的顺序及范围；

② 通过遍历布线空间获取需要进行拆线重布的总线引脚对，根据其拥塞值对其进行拆线重布；

③为需要进行拆线重布的总线引脚对寻找整体空间最为充足的路径作为总线引脚的初始路径；

④若初始路径的布线容量大于引脚对信号位的数量，则后面以此初始路径作为其他信号位的模板路径，若初始路径的布线容量小于引脚对信号位的数量，则需要对周边拓扑结构一致的相关路径进行搜寻.

下面通过图 4 的例子来解释拓扑驱动的拆线重布算法. 如图 4(a)所示，假设一个有 4 个信号位的总线线网组，总线引脚组的数量及其位置决定了其布线空间为 6×5 个 G-cell 的矩形网格. 并且由于布线的复杂性，布线空间中的布线资源也不一致. 其中灰色方块表示布线路径无法通过的障碍. 如图 4(b)所示，通过 A*寻路算法根据布线空间的拥塞程度选择能够通过最多信号位的路径. 在得到第 1 条布线路径后，后续的布线将分 2 种情况考虑. 第 1 种情况如图 4(c)所示，布线的信号位数量小于初始路径所允许通过的最大布线数，那么该总线线网组的所有信号位选择第 1 条布线路径作为最终布线方案，以此保证最终布线方案的拓扑一致性. 第 2 种情况是布线的信号位数量大于初始路径所允许通过的最大布线数. 为了保证总线拓扑结构一致性，通过平移可移动导线进行路径搜寻，移动路径后寻找到其余布线资源充足的空间进行布线，最终布线方案如图 4(d)所示. 因此，拓扑驱动的重布线技术的关键就在于确定初始路径的位置以及移动后的路径.



(a) 初始引脚分布 (b) 确定第1条路径 (c) 布线资源充足 (d) 剩余布线资源不足

Fig. 4 Illustration of rip-up and reroute

图 4 拆线重布示意图

3.4 布线代价的自适应调整

在迭代布线中，一个合适的历史代价函数对最终布线方案有着关键的作用，因此本节提出一种基于总线拓扑一致性的代价函数 *cost*(*N*)，且该历史代价函数随迭代过程进行自适应修改调整. *cost*(*N*) 的计算方式为：

$$cost(N)=\sum_{e\in path}(b_e+c_e)+d_e, \tag{7}$$

其中 *path* 表示布线路径，$e\in path$表示路径中的每条边，b_e表示布线代价，c_e表示放置边的拥塞代价，d_e表示总线拓扑偏差代价.

$$b_e=1-\mathrm{e}^{-\varepsilon\times\mathrm{e}^{-0.2i}}, \tag{8}$$

$$c_e=1+\mathrm{e}^{-k\times\frac{s(e)}{g(e)}}, \tag{9}$$

其中k和ε是自定义的参数，i 是迭代的次数，$g(e)$ 是相邻 G-Cell 之间可用的布线边数量，$s(e)$ 是实际已使用的布线边数量. b_e将随着迭代次数的增加而减小，保证随着迭代的进行能够减弱线长对布线的影响，期望引脚对往拥塞值小的区域进行布线，从而避免线长较短但拥塞过大的情况. 但是，对于总线引脚组而言，随着迭代的进行线长代价函数的减小可能会造成总线偏差的增大. 因此，为了尽量消除这种影响，在代价函数中加入拓扑偏差代价 d_t. d_t 的计算方式为：

$$d_e=\beta\times\alpha^{(C_r-B)}, \tag{10}$$

其中 α 和 β 为自定义的参数，B 为总线线网组的信号位数量，C_r为实际布线的信号位数，r为信号位数量.

综上所述，代价函数可以根据当前的迭代次数以及布线容量等情况，显现出不同差异，达到有效平衡拥塞的目的. 本阶段的终止条件是所有的边的溢出数为 0 或者迭代次数达到阈值.

4 实验结果与分析

4.1 基准电路及实验平台说明

本文所提出的考虑总线拓扑的全局布线器用C/C++语言实现，运行环境为RAM 96 GB内存和2.0 GHz Intel Xeon CPU Linux服务器，基准电路信息如表1所示. 所使用的实验数据均由2008年ISPD举办的全局布线竞赛提供. 该比赛所使用电路均直接来自工业ASIC设计，在一定程度上可验证本文算法应用到工业实际电路中的有效性. 此外，由于总线数据的缺失，文献[27]为表中的电路提供了随机且合理的总线线网组.

Table 1 Information of Benchmarks

表1 基准电路信息

基准电路	*BitNum*	*BusNum*	G-Cell 规模	*TotalNet*	*TotalBit*
adaptec1	8~64	50	324×324	221 362	1 568
adaptec2	8~64	50	424×424	261 791	1 632
adaptec3	8~64	50	774×779	467 807	1 512
adaptec4	8~64	50	774×779	516 720	1 416
adaptec5	8~64	50	465×468	868 873	1 432
bigblue3	8~64	50	555×557	1 124 036	1 696
bigblue4	8~64	50	403×405	2 230 639	1 736
newblue2	8~64	50	557×463	464 925	1 712
newblue4	8~64	50	455×458	637 403	1 208
newblue5	8~64	50	637×640	1 258 937	1 384
newblue6	8~64	50	463×464	1 287 924	1 472

注：*BitNum* 表示总线的信号位的数量范围，*BusNum* 表示基准电路添加的总线数量，G-Cell 表示每个基准电路的2D布线单元，*TotalNet* 表示基准电路中总的线网数量，*TotalBit* 表示总线信号位的数量.

4.2 拓扑结构重构策略的有效性验证

本文所提出的基于多策略的总线拓扑感知全局布线算法分为拓扑重构阶段以及拆线重布阶段. 为了验证在初始阶段中提出的拓扑重构策略的有效性，表2给出了通过拓扑重构后所产生的2D布线方案与其他考虑总线的2D布线算法的对比结果. 其中 C_w 表示总线线网组 bus_i 布线的实际线长与理论最短线长之比，比值越小代表总线拓扑结构一致性越高；C_s 则表示总线线网组 bus_i 布线的实际线段数量与理论最短线段数量之比，比值越小代表布线方案的总线拓扑结构一致性越高. C_w 和 C_s 源于2018年ICCAD的CAD竞赛的评判标准，该比赛中 C_w 和 C_s 的估值作为评判拓扑质量的指标. C_{total} 为文献[31]所提出的一个描述线网的拓扑质量的相关指标，作为评判拓扑质量优劣的标准，可以较好地体现总线布线效果. 实验测试数据的线长是全局布线的结果. 由于拓扑结构重构策略需要对所有的总线线网组进行遍历，因此需要牺牲部分时间. 重构了初始2端线网后，能够有效地平均拥塞并协调布线资源. 与文献[27]相比，基于拥塞的拓扑重构策略在 C_w 和 C_s 上优化了5个百分点与16个百分点，在 C_{total} 上优化了12个百分点. 其中对 C_s 的优化最为明显，可以看出该算法能够有效处理拥塞程度较高导致的线段数量激增的情况. 与文献[28]相比，基于拥塞的拓扑重构策略在 C_w 和 C_s 上优化了5个百分点与7个百分点，在 C_{total} 上优化了6个百分点. 可以看出对比文献[27−28]，基于拥塞的拓扑重构策略在每个基准电路上 C_w 和 C_s 都取得了优化.

Table 2 Effectiveness Verification of Topology Reconfiguration Strategy Based on Congestion

表2 基于拥塞的拓扑重构策略的有效性验证

基准电路	拓扑重构策略（本文）			文献[27]			文献[28]		
	C_w	C_s	C_{total}	C_w	C_s	C_{total}	C_w	C_s	C_{total}
adaptec1	56.05	88.37	144.42	57.03	103.71	153.74	58.51	94.70	153.21
adaptec2	55.44	75.62	131.06	56.82	87.82	135.64	57.58	74.98	132.56
adaptec3	53.65	70.62	124.27	53.98	87.21	131.19	56.35	73.26	129.61
adaptec4	51.37	65.43	116.08	51.75	74.16	120.91	53.86	67.48	121.34
adaptec5	55.14	81.44	136.58	55.46	93.12	148.58	57.32	82.77	140.09
bigblue3	53.62	56.46	110.08	57.51	65.37	112.88	54.58	57.58	112.16
bigblue4	55.64	70.15	125.79	56.36	75.94	130.03	62.30	71.02	133.32
newblue2	55.26	53.14	108.04	58.72	68.09	111.81	56.46	54.34	110.80
newblue4	51.35	138.08	189.43	54.81	172.73	218.54	57.49	157.01	214.50
newblue5	53.64	94.37	148.01	53.64	109.31	149.95	55.67	97.55	153.22
newblue6	59.14	97.25	156.39	63.02	112.25	166.27	61.22	99.15	160.37
比率	1.00	1.00	1.00	1.04	1.17	1.12	1.05	1.07	1.06

注：比率指以本文策略为基准，文献[27, 28]的数据与本文策略数据的比值.

4.3 基于总线拓扑结构的拆线重布策略的有效性验证

以往拆线重布算法通常将总线组进行捆绑重布线，如果发生布线空间不足或占据关键布线资源，会使得部分线网需要通过迷宫布线寻找其余可行的布线路径，这样会导致总线拓扑结构一致性变低. 因此，本文所提出的基于总线拓扑结构的拆线重布策略在布线时提前考虑了总线的每条信号位所需资源情况，尽管布线资源不足也不会发生第1个信号位与最后一个信号位的布线拓扑结构完全不一致的情况. 为了验证基于总线拓扑结构的拆线重布策略的有效性，将该算法与其他考虑总线的2D全局布线算法进行

Table 3 Effectiveness Verification of Rip-up and Reroute Strategy Based on Bus Topology

表 3 基于总线拓扑结构的拆线重布策略的有效性验证

基准电路	基于总线拓扑结构的拆线重布策略（本文）			文献 [27]			文献 [28]		
	C_w	C_s	C_{total}	C_w	C_s	C_{total}	C_w	C_s	C_{total}
adaptec1	57.21	0.14	160.74	57.03	103.71	153.74	58.51	94.70	153.21
adaptec2	56.42	74.31	144.64	56.82	87.82	135.64	57.58	74.98	132.56
adaptec3	55.24	71.34	141.19	53.98	87.21	131.19	56.35	73.26	129.61
adaptec4	52.12	66.44	125.91	51.75	74.16	120.91	53.86	67.48	121.34
adaptec5	55.14	82.14	148.58	55.46	93.12	148.58	57.32	82.77	140.09
bigblue3	53.21	57.35	122.88	57.51	65.37	112.88	54.58	57.58	112.16
bigblue4	56.14	70.15	132.3	56.36	75.94	130.03	62.30	71.02	133.32
newblue2	56.26	53.24	126.81	58.72	68.09	111.81	56.46	54.34	110.8
newblue4	52.44	142.06	227.54	54.81	172.73	218.54	57.49	157.01	214.5
newblue5	54.64	92.14	162.95	53.64	109.31	149.95	55.67	97.55	153.22
newblue6	60.14	98.18	175.27	63.02	112.25	166.27	61.22	99.15	160.37
比率	1.00	1.00	1.00	1.04	1.17	1.12	1.05	1.07	1.06

注：比率指以本文策略为基准，文献 [27, 28] 的数据与本文策略数据的比值.

对比. 实验结果如表 3 所示，与文献 [27] 对比，基于总线拓扑结构的拆线重布策略在 C_w 与 C_s 上优化了 5 个百分点与 16 个百分点，在 C_{total} 上优化了 10 个百分点，其中对 newblue4 与 newblue6 等大型的基准电路的 C_s 的优化最为明显. 与文献 [28] 相比，基于总线拓扑结构的拆线重布策略在 C_w 与 C_s 上优化了 4 个百分点与 6 个百分点，在 C_{total} 上优化了 5 个百分点.

4.4 与其他全局布线算法的对比

由于 2 个策略与布线代价的自适应调整策略可合并使用，从而能够更好地优化总线拓扑结构一致性. 表 4 给出了最终的 2D 布线方案与其他考虑总线 2D 布线算法结果的对比. 其中 T_{CPU} 表示算法运行时间. 在考虑总线拓扑结构的全局布线问题中，总线拓扑结构一致性是最重要的指标. 通过 2 个阶段的共同优化可以看出，通过在每个阶段考虑总线拓扑结构一致性，能够使 T-GR 在最小化 C_{total} 上取得好的效果. 总体来说，与文献 [27] 所提算法相比，T-GR 在 C_w 与 C_s 上优化了 5 个百分点与 34 个百分点，在 C_{total} 上优化了 19 个百分点. 与文献 [28] 所提算法相比，T-GR 在 C_w 与 C_s 上优化了 6 个百分点与 18 个百分点，在 C_{total} 上优化了 14 个百分点. 综上所述，T-GR 通过在 2D 布线阶段提出了多种有效的方法和策略，大幅度优化总线拓扑结构一致性，而且在总线构建拓扑路径的过程中考虑非总线对总线布线的影响，从而保证了最终布线方案中 2D 布线方案的总线拓扑结构一致性，避免了总线时序偏差.

5 结 论

随着计算机技术以及各个领域的发展，电子设计自动化（electronic design automation, EDA）布线技术也随着工业要求不断变化. 在此背景下，本文针对总线布线以及总线拓扑结构等总线问题展开工作. 为了有效地解决 2D 全局布线阶段的总线拓扑结构不一致的问题，本文提出了一个基于多策略的总线拓扑感知全局布线算法，考虑了总线与非总线线网优化目标的不同，从而优化了布线方案的总线拓扑结

Table 4 Comparison of the Final Routing Scheme and Two Algorithms

表 4 最终布线方案与 2 种算法的对比

基准电路	T-GR（本文）				文献 [27]				文献 [28]			
	C_w	C_s	C_{total}	T_{CPU}/min	C_w	C_s	C_{total}	T_{CPU}/min	C_w	C_s	C_{total}	T_{CPU}/min
adaptec1	53.54	79.64	160.74	30.33	57.03	103.71	153.74	11.29	58.51	94.70	153.21	29.24
adaptec2	52.31	65.21	144.64	5.77	56.82	87.82	135.64	2.61	57.58	74.98	132.56	5.17
adaptec3	52.08	61.33	141.19	8.27	53.98	87.21	131.19	4.50	56.35	73.26	129.61	7.16
adaptec4	51.17	57.21	125.91	5.97	51.75	74.16	120.91	2.13	53.86	67.48	121.34	4.25
adaptec5	53.45	73.98	148.58	26.95	55.46	93.12	148.58	15.82	57.32	82.77	140.09	25.31
bigblue3	52.94	52.22	122.88	8.76	57.51	65.37	112.88	3.55	54.58	57.58	112.16	7.46
bigblue4	53.74	63.47	132.3	77.08	56.36	75.94	130.03	13.61	62.30	71.02	133.32	76.32
newblue2	53.21	52.03	126.81	1.24	58.72	68.09	111.81	0.76	56.46	54.34	110.8	0.85
newblue4	51.33	107.25	227.54	112.52	54.81	172.73	218.54	27.91	57.49	157.01	214.5	110.54
newblue5	52.87	83.24	162.95	24.64	53.64	109.31	149.95	14.53	55.67	97.55	153.22	23.93
newblue6	55.62	85.45	175.27	79.05	63.02	112.25	166.27	30.85	61.22	99.15	160.37	78.32
比率	1.00	1.00	1.00	1.00	1.05	1.34	1.19	0.34	1.06	1.18	1.14	0.97

注：比率指以本文策略为基准，文献 [27, 28] 的数据与本文策略数据的比值.

构一致性. 首先, 本文提出一种基于拥塞的拓扑重构策略以对 2 端线网进行重构并优化, 从而有效提高布线空间利用率. 其次, 本文构建了考虑总线拓扑结构的拆线重布模型, 以完成对多信号位的总线进行重新布线, 并在拆线重布模型中提出了一种考虑拓扑结构的寻路算法, 通过考虑布线空间的分布寻找最为合适的总线路径, 有效地优化了总线的拓扑一致性. 最后, 在迭代布线过程中, 提出了一个自适应调整布线代价的迭代系统, 进一步优化了总线拓扑结构的一致性. 实验结果表明, 由于同时考虑了总线与非总线的不同优化目标, 本文算法能够在保证非总线线网的布通率的同时有效地优化 2D 布线方案的总线拓扑结构一致性.

随着工业技术的不断进步, 在每一层的布线也将不再局限于同一个方向, 出现了更多布线角度来构建初始的 2D 布线方案, 从而突破以往的布线框架, 设计出更加完美的布线方案. 未来的工作将考虑更匹配工业化的约束条件, 并且考虑实现能够将布线结果导入商业工具以实际测量时序偏差和耦合效应.

作者贡献声明: 刘耿耿提出了算法思路和实验方案; 黄隽芊负责完成实验并撰写论文; 朱予涵提出指导意见并修改论文; 余延涛和魏凌协助完成实验; 陈家瑞和徐宁提出指导意见.

参 考 文 献

[1] Yi Maoxiang, Yu Chenglin, Fang Xiangsheng, et al. State vector selective generation of parallel folding counters[J]. Journal of Computer Research and Development, 2015, 52(11): 2468−2475 (in Chinese)
(易茂祥, 余成林, 方祥圣, 等. 并行折叠计数器状态向量选择生成[J]. 计算机研究与发展, 2015, 52(11): 2468−2475)

[2] Liu Genggeng, Huang Xing, Guo Wenzhong. Routing Theory and Algorithm of VLSI in Non-Manhattan Structure[M]. Beijing: Tsinghua University Press, 2022 (in Chinese)
(刘耿耿, 黄兴, 郭文忠. 非曼哈顿结构下超大规模集成电路布线理论与算法[M]. 北京: 清华大学出版社, 2022)

[3] Wolf W. Modern VLSI Design: IP-Based Design[M]. Boston: Pearson Education Press, 2009

[4] Pan Min, Chu C. FastRoute: A step to integrate global routing into placement[C]//Proc of the 2006 IEEE/ACM Int Conf on Computer Aided Design. Piscataway, NJ: IEEE, 2006: 464−471

[5] Das S, Das D K, Pandit S. A global routing method for graphene nanoribbons based circuits and interconnects[J/OL]. ACM Journal on Emerging Technologies in Computing Systems, 2020, 16(3): 1−28. [2024-05-20]. https://doi.org/10.1145/3384214

[6] Pan Min, Chu C. FastRoute 2.0: A high-quality and efficient global router[C]//Proc of the 2007 Asia and South Pacific Design Automation Conf. Piscataway, NJ: IEEE, 2007: 250−255

[7] Xu Yue, Zhang Yanheng, Chu C. FastRoute 4.0: Global router with efficient via minimization[C]//Proc of the 2009 Asia and South Pacific Design Automation Conf. Piscataway, NJ: IEEE, 2009: 576−581

[8] Fan Mo, Brayton R K. A semi-detailed bus routing algorithm with variation reduction[C]//Proc of the 2007 Int Symp on Physical Design. New York: ACM, 2007: 143−150

[9] Chen Huangyun, Hsu C, Zhang Yaowen. High-performance global routing with fast overflow reduction[C]//Proc of the 2009 Asia and South Pacific Design Automation Conf. Piscataway, NJ: IEEE, 2009: 582−587

[10] Gao J, Wu Peici, Wang T. A new global router for modern designs[C]//Proc of the 2008 Asia and South Pacific Design Automation Conf. Piscataway, NJ: IEEE, 2008: 232−237

[11] Dai K, Liu Wenhao, Li Y. NCTU-GR: Efficient simulated evolution-based rerouting and congestion-relaxed layer assignment on 3-D global routing[J]. IEEE Transactions on Very Large Scale Integration Systems, 2012, 20(3): 459−472

[12] Liu Wenhao, Kao Weichun, Li Y, et al. NCTU-GR 2.0: Multithreaded collision-aware global routing with bounded-length maze routing[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32(5): 709−722

[13] Chang Y, Lee Y, Gao J, et al. NTHU-Route 2.0: A robust global router for modern designs[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(12): 1931−1944

[14] Hähnle N, Saccardi P. Global routing on rhomboidal tiles[C/OL]// Proc of the 2019 IEEE/ACM Int Conf on Computer-Aided Design. Piscataway, NJ: IEEE, 2019[2024-05-20]. https://ieeexplore.ieee.org/document/8942116

[15] Fontana T A, Aghaeekiasaraee E, Netto R, et al. ILP-based global routing optimization with cell movements[C]//Proc of the 2021 IEEE Computer Society Annual Symp on VLSI. Piscataway, NJ: IEEE, 2021: 25−30

[16] Kundu S, Roy S, Mukherjee S. Congestion-aware rectilinear steiner tree construction using PB-SAT[J]. Journal of Circuits, Systems and Computers, 2022, 31(9): 2250165

[17] Siddiqi U F, Sait S M. A game theory based post-processing method to enhance VLSI global routers[J]. IEEE Access, 2017, 5: 1328−1339

[18] Liu Siting, Liao Peiyu, Zhang Rui, et al. FastGR: Global routing on CPU-GPU with heterogeneous task graph scheduler[C]//Proc of the 2022 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. Piscataway, NJ: IEEE, 2022: 760−765

[19] Zhu Ziran, Yan Jintai. Efficient layer assignment of bus-oriented nets in high-speed PCB designs[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2016, 35(8): 1332−1344

[20] Zhu Ziran, Chen Jianli, Zhu Wenxing. A global routing algorithm based on multi stage rip-up and reroute[J]. Journal of Computer-Aided Design & Computer Graphics, 2016, 28((11):): 2000−2008 (in

Chinese)
(朱自然, 陈建利, 朱文兴. 基于多阶段拆线重布的总体布线算法[J]. 计算机辅助设计与图形学学报, 2016, 28(11): 2000−2008)
[21] He Ou, Dong Sheqin, Bian Jinian, et al. Bus via reduction based on floorplan revising[C]//Proc of the ACM Great Lakes Symp on VLSI. New York: ACM, 2010: 9−14
[22] Wu P, Ho T. Bus-driven floorplanning with bus pin assignment and deviation minimization[J]. Transactions on Integration the VLSI Journal, 2012, 45(4): 405−426
[23] Ozdal M M, Wong M D F. A length-matching routing algorithm for high performance printed circuit boards[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(12): 2784−2794
[24] Yan Jintai. Two-sided net untangling with internal detours for single-layer bus routing[J/OL]. ACM Transactions on Design Automation of Electronic Systems, 2019, 24(6): 1−28. [2024-05-20]. https://doi.org/10.1145/3363184
[25] Tan Yan, Wong M D F. BSG-Route: A length-constrained routing scheme for general planar topology[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(11): 1679−1690
[26] Zhang Ran, Pan Tieyuan, Zhu Li, et al. A length matching routing method for disordered pins in PCB design[C]//Proc of the Asia and South Pacific Design Automation Conf. Piscataway, NJ: IEEE, 2015: 402−407
[27] Liao Pinxin, Wang Tingchi. A bus-aware global router[C]//Proc of Synthesis and System Integration of Mixed Information Technologies. Piscataway, NJ: IEEE, 2018: 20−25
[28] Zhu Weida, Zhang Xinghai, Liu Genggeng, et al. MiniDeviation: An efficient multi-stage bus-aware global router[C/OL]//Proc of the 2020 Int Symp on VLSI Design, Automation and Test. Piscataway, NJ: IEEE, 2020[2024-05-20]. https://ieeexplore.ieee.org/document/9196219
[29] Liu Derong, Yu Bei, Livramento V, et al. Synergistic topology generation and route synthesis for on-chip performance-critical signal groups[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2019, 38(6): 1147−1160
[30] Liu Genggeng, Wei Ling, Xu Ning. Multi-strategy layer assignment algorithm considering bus timing matching[J]. Journal of Computer-Aided Design & Computer Graphics, 2016, 34(4): 545−551 (in Chinese)
(刘耿耿, 魏凌, 徐宁. 考虑总线时序匹配的多策略层分配算法[J]. 计算机辅助设计与图形学学报, 2022, 34(4): 545−551)
[31] Liao A, Chang Huayu, Chi O, et al. ICCAD 2018 CAD contest obstacle-aware on-track bus routing[EB/OL].[2024-02-02]. http://iccad-contest.org/2018/Problem_B/2018ICCADContest_ProblemB.pdf.
[32] Hsu C, Hung S, Chen Hao, et al. A DAG-based algorithm for obstacle-aware topology-matching on-track bus routing[C/OL]//Proc of the 56th ACM/IEEE Design Automation Conf. Piscataway, NJ: IEEE, 2019[2024-05-20]. https://ieeexplore.ieee.org/document/8806901
[33] Chen Jingsong, Liu Jinwei, Chen Gengjie, et al. MARCH: Maze routing under a concurrent and hierarchical scheme for buses[C/OL]//Proc of the 56th ACM/IEEE Design Automation Conf. Piscataway, NJ: IEEE, 2019[2024-05-20]. https://ieeexplore.ieee.org/abstract/document/8807035
[34] Kim D, Do S, Lee S Y, et al. Compact topology-aware bus routing for design regularity[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2020, 39(8): 1744−1749
[35] Cheng Yihao, Yu Taochun, Fang Shaoyun. Obstacle-avoiding length-matching bus routing considering nonuniform track resources[J]. IEEE Transactions on Very Large Scale Integration Systems, 2020, 28(8): 1881−1892
[36] Zhu Ziran, Huang Zhipeng, Chen Jianli, et al. Topology-aware bus routing in complex networks of very-large-scale integration with nonuniform track configurations and obstacles[J/OL]. Complexity, 2021, 2021(12): 1−12. [2024-05-20]. https://doi.org/10.1155/2021/8843271
[37] Liu Wenhao, Li Yihlang L, Koh C K. A fast maze-free routing congestion estimator with hybrid unilateral monotonic routing[C]//Proc of the 2012 IEEE/ACM Int Conf on Computer-Aided Design. Piscataway, NJ: IEEE, 2012: 713−719



Liu Genggeng, born in 1988. PhD, professor, PhD supervisor. Distinguished member of CCF. His main research interests include design automation for microfluidic biochips and integrated circuits.
刘耿耿, 1988 年生. 博士, 教授, 博士生导师, CCF 杰出会员. 主要研究方向为微流控生物芯片和集成电路的设计自动化.



Huang Junqian, born in 2000. Master. Student member of CCF. Her main research interests include design automation for microfluidic biochips and integrated circuits.
黄隽芊, 2000 年生. 硕士. CCF 学生会员. 主要研究方向为微流控生物芯片和集成电路的设计自动化.



Zhu Yuhan, born in 1998. PhD candidate. Student member of CCF. Her main research interests include design automation for microfludic biochips and integrated circuits.
朱予涵, 1998 年生. 博士研究生. CCF 学生会员. 主要研究方向为微流控生物芯片和集成电路的设计自动化.



Yu Yantao, born in 2000. Master. Student member of CCF. His main research interest includes VLSI routing.
余延涛, 2000 年生. 硕士. CCF 学生会员. 主要研究方向为超大规模集成电路布线.



Wei Ling, born in 1999. Master candidate. His main research interest includes VLSI routing.

魏　凌, 1999 年生. 硕士研究生. 主要研究方向为超大规模集成电路布线.



Chen Jiarui, born in 1980. PhD, associate professor, master supervisor. Member of CCF. His main research interests include design automation for integrated circuits and VLSI routing.

陈家瑞, 1981 年生. 博士，副教授，硕士生导师. CCF 会员. 主要研究方向为集成电路设计自动化和超大规模集成电路布线.



Xu Ning, born in 1968. PhD, professor, PhD supervisor. Senior member of CCF. His main research interests include electronic design automation, design automation for integrated circuits, and artificial intelligence.

徐　宁, 1968 年生. 博士，教授，博士生导师. CCF 高级会员. 主要研究方向为电子设计自动化、集成电路设计自动化、人工智能.