前　言

集成电路是国家战略性、基础性产业，芯片设计方法是重要的集成电路技术领域。大语言模型（LLM）等人工智能技术近年来快速发展，展示出对基础思维、复杂问题的分析和解决能力，将在芯片设计领域产生深远的影响。国内外研究表明，通过学习海量语料与代码，大模型可初步掌握代码生成、性能预测、测试用例生成等技能，并通过自然语言与工程师协同提升芯片设计与系统设计效率。

为进一步推动我国学者在人工智能与集成电路领域的交叉研究，及时报道我国学者在智能化芯片设计方面的最新研究成果，我们组织了本期“大模型辅助芯片设计”专题，聚焦大模型驱动的芯片代码生成、设计优化与智能验证等方向。本专题2026年3月初征稿结束，经领域专家严格评审与多轮修订，最终收录4篇论文，内容涵盖大模型辅助芯片设计的模拟器生成、硬件代码生成、硬件部署与原型实现等方向的最新研究进展，希望能够为同行学者带来帮助和启发。

在大模型辅助芯片模拟器生成方面，夏雨欢等人的论文“SimulatorGen: 基于大语言模型多智能体的DNN加速器模拟器自动生成框架”在架构抽象、模块组件划分和提取规范功能描述的基础上，引入大语言模型。通过多智能体协作机制，实现了从自然语言描述到DNN加速器模拟器的自动生成，验证了模拟器在延迟、能量等指标上与人工实现高度一致，有效降低了DNN模拟器开发成本与周期。

在大模型辅助芯片代码生成-验证协同框架方面，穆嘉楠等人的论文“Faver: 基于函数抽象验证的RTL生成ReAct推理框架”提出了一种作为函数抽象可验证中间件的ReAct推理框架。该研究针对大语言模型在硬件时序逻辑验证上的短板，设计了函数-类抽象模板，将硬件时钟语义与状态更新过程映射为事件驱动的Python函数表示，从而缩小了硬件验证与软件验证间的时空粒度差异。实验表明，该方法实现了无需人工编写测试平台的自动化自验证闭环，在多种开源及微调模型上最高可有效提升RTL代码生成正确率。

在大模型辅助人工智能模型的硬件部署方面，皇甫璟轩等人的论文“LEMON: 面向高效硬件实现的大语言模型驱动集成约简与Verilog HDL生成”提出了一种基于逻辑最小化范式的集成模型约简框架及一种针对树模型的高级语言到硬件描述语言的转换方法。该研究从集成模型相关真值表出发，结合少样本提示、迭代生成和结果评分策略来提高约简效率，进一步基于树模型与硬件描述的结构映射关系驱动大语言模型生成硬件设计代码，在保证模型准确率可接受的前提下有效降低了集成模型部署的硬件资源和功耗。

在大模型辅助FPGA原型实现方面，张聪武等人的论文“SegTracer: 大语言模型辅助的多FPGA原型系统时延探测工具设计与实现”以多FPGA原型系统中的分段时延探测工具SegTracer为研究对象，系统呈现了一个覆盖需求重构、设计文档收敛、SpinalHDL实现及板级验证的人机协同研发全过程。该工作通过“去程压栈、返程原位减法”机制，在不依赖全局时钟同步的前提下实现了周期级的分段时延测量，并总结了“人工主导、大模型辅助、验证驱动”的协同范式，为在复杂IP研发闭环中引入大模型提供了可复用的工程经验。

当前大模型辅助芯片设计的研究普遍专注于如何利用大语言模型在高层设计意图与低层芯片实现之间建立稳定映射,并借助验证与评估反馈持续收敛到高质量的设计。希望本专题能够抛砖引玉,促进我国相关研究的进一步发展。由于专题征集时间和篇幅有限,无法全面覆盖大模型辅助芯片设计领域的近期研究进展,不足之处敬请各位学者谅解和批评指正。衷心感谢广大作者对本专题组织者的信任和支持,感谢审稿专家对于稿件的认真审查以及中肯的意见和建议！特别感谢本刊编委会和编辑部对本专题的支持,感谢编辑部的辛勤工作!

徐强（香港中文大学）
刘伟强（南京航空航天大学）
李华伟（中国科学院计算技术研究所）
2026 年 5 月