

异质阶梯双层板结构热翘曲分析及调控*

朱瑞昌¹ 李璐² 沈飞¹ 葛一铭³ 柯燎亮^{1**}

(¹ 天津大学机械工程学院力学系, 天津, 300350)(² 西安微电子技术研究所, 西安, 710054)(³ 北京微电子技术研究所, 北京, 100076)

摘要 微电子封装结构通常是由不同材料层堆叠形成的, 由于芯片和基板材料热膨胀系数不匹配导致的热翘曲变形, 是微电子封装领域一种典型的失效模式. 随着封装朝着超薄化方向发展, 热翘曲问题将变得更加显著, 热翘曲过大可能会导致芯片开裂、界面分层和焊点失效等问题. 本文考虑了裸芯片和基板的实际尺寸差异, 将芯片封装结构简化成异质阶梯双层板模型, 利用基于三维数字图像相关法 (Digital Image Correlation, DIC) 的 VIC-3D 非接触全场应变计、红外热像仪和高温加热台搭建了热翘曲实验平台, 测量了升温过程中异质阶梯双层板结构的热翘曲变形, 并建立了等效的有限元模型进行仿真验证. 进一步提出了基于边框子结构的热翘曲调控方法, 利用仿真模拟和实验方法验证了该方案的有效性, 并详细讨论了边框子结构的厚度和宽度等几何参数以及弹性模量和热膨胀系数等材料参数对热翘曲调控效果的影响. 研究表明, 通过 DIC 方法测量的热翘曲变形和有限元结果吻合较好, 利用边框子结构的翘曲调控方法能够有效减小异质阶梯双层板结构的热翘曲变形, 其中边框宽度是主要影响因素, 边框厚度和热膨胀系数对热翘曲变形的影响较大, 而弹性模量的影响较小. 本文的研究成果可以为解决微电子封装中的多材料层结构的热翘曲问题提供理论指导.

关键词 异质阶梯双层板结构, 热翘曲, 翘曲调控, 数字图像相关法

DOI: 10.19636/j.cnki.cjsm42-1250/o3.2025.011

0 引言

热翘曲变形通常是指结构在温度因素作用下, 由于内部应力分布不均匀, 进而发生的不规则弯曲变形的现象. 这种现象受到外界环境温度变化、结构形式以及材料组分等多种因素的影响. 例如, 由多种材料堆叠组成的异质结构在受热时膨胀、冷却时收缩, 由于各材料热膨胀系数的差异, 导致结构发生不协调的热致变形. 热翘曲现象广泛存在于制造业、航空航天和微电子封装等领域, 比如金属机械加工过程的焊接、铸造等工艺过程会导致局部加热和冷却, 容易出现热翘曲现象, 影响产品的尺寸精度. 探测器、卫星等空天装备在起飞、服役或着陆阶段要承受苛刻的热力学环境, 容易出现严重的热翘曲变形, 对通讯卫星天线的指向精度、空间探测相机的成像精度等核心性能指标产生严重影响^[1,2].

在微电子封装领域, 高密度封装产品通常具有多材料、多界面等特点, 热翘曲已成为一个不容忽视的严重问题^[3-5]. 通常来说, 芯片级封装也称为一级封装, 是整个封装过程的第一步, 主要是通过互连技术将芯片堆叠在封装基板上, 并利用陶瓷、金属或者塑料材料将其与外界隔离开来. 其中, 封装基板是连接芯片内部和外界电子系统的重要桥梁, 能够为芯片提供互连、保护、支撑、散热等功能^[6]. 一般来说, 元器件在使用过程中可能由于内部热量产生或与外界热量交换导致温度大幅变化, 由于芯片和封装基板等制造材料间的热膨胀系数不匹配, 在温度改变时会发生不同程度的热致变形. 然而, 封装内部受到变形协调条件的要求, 难以发生自由变形, 从而在内部产生热应力, 出现热翘曲现象. 此外, 随着半导体封装不断向小型化、轻薄化、集成化方向发展, 封装基板的超薄化将导致其抗弯刚度大幅下降, 导致热

* 国家自然科学基金项目(12332006)资助.

2025-04-30 收到修改稿, 2025-05-14 网络首发.

** 通讯作者. E-mail: llke@tju.edu.cn.

翘曲变形进一步增加,成为影响产品可靠性的关键因素.热翘曲变形过大会改变焊球与基板的接触面积,出现界面分层和焊球失效等问题,甚至还会导致芯片或整个封装表面出现裂纹^[7-10].

热翘曲变形属于三维形貌测量,重点是观测结构由于温度改变产生的离面位移,主要分为接触式和非接触式测量两大类.接触式测量操作简单、成本较低,但通常采用逐点测量的模式,精度和分辨率相对较低,且容易损伤被测物体表面,不适合用于微电子封装这类精密器件产品.非接触式测量包括云纹法、光学干涉法、DIC技术等^[11-14],容易实现全场测量,精度和分辨率通常较高,且不会对试件产生影响,是目前使用最广泛的测量方法.然而,由于云纹法和光学干涉法测量时镜头需要贴近被测物体表面,较难适用于高温环境下的测量,而DIC技术作为一种非接触式测量方法,非常适合用于测量结构的热翘曲变形.DIC技术的基本原理是通过分析采集图像,追踪被测物体表面各点变形前后的坐标位置变化,进而获得物体表面形貌和三维变形信息^[15].该方法测量速度快、在室内外普通环境下均能使用,目前已初步用于芯片的热翘曲测量,但还未见用于测量芯片叠层结构的热翘曲分析.Kim等^[16]通过DIC方法表征了硅转接板封装中的裸基板、硅转接板和集成电路热膨胀系数,并将该等效参数应用到数值模型中以预测封装的面外位移.陈凡秀和何小元^[17]利用DIC技术对板载芯片封装结构进行了测量,得到了封装在热循环载荷作用下的表面热变形和弹性应变分布情况.

除了实验研究外,国内外学者对微电子封装领域的热翘曲问题也进行了广泛的理论和仿真,并提出了多种翘曲预测方法.在理论研究方面,Park等^[18]利用均匀化理论将倒装芯片封装结构简化为均质多层板模型,根据层合板理论推导了翘曲变形表达式,并将该表达式扩展到更大基板的悬垂结构中.陈轶龙^[19]考虑了封装器件中硅晶层很大或很小的特殊情况,建立了简化的双层板和三层板结构模型,通过层合板理论求解热翘曲变形,进而研究了翘曲变形对封装器件自组装成品率的影响.郭伟等^[20]考虑了封装器件中芯片和塑封料的材料差异,提出了一种同时考虑芯片和塑封料曲率的双曲率模型.

在仿真模拟方面,Xia等^[21]利用有限元方法模拟了贴装在PCB板上的塑封球栅阵列封装(Plastic Ball Grid Array, PBGA)器件在回流焊过程的热翘曲变化情况,为基板设计提供理论指导.杨梦柯^[22]针对晶圆级封装工艺过程中的热失配问题开展模拟研究,给出了结构和材料方面的工艺优化方法.Lin等^[23]针对有限元模型难以引入由工艺过程未知因素导致的初始翘曲问题,提出了一种考虑初始翘曲的半经验预测方法,利用阴影云纹法捕捉封装器件的初始翘曲,并叠加到仿真模型内作为初始输入.闫晓欣^[24]利用仿真方法研究了封装结构的初始翘曲对力学性能的影响,分析含不同程度初始翘曲缺陷的球栅阵列封装(Ball Grid Array, BGA)在热载荷作用下封装翘曲的演变情况.Wei等^[25]研究了PCB板初始翘曲缺陷对板级BGA封装组件的影响,并进一步研究了初始翘曲对封装尺寸和所在位置的影响.总体而言,当前芯片封装领域的热翘曲问题已在理论建模、实验表征与数值仿真等方面取得系统性研究进展,后续研究应着重开发多物理场耦合条件下的热翘曲主动调控方法及其工程应用优化策略.

为了解决或减轻由于材料热失配导致的芯片封装结构的热翘曲问题,众多学者对微电子封装领域的热翘曲调控问题开展了广泛研究.目前最常用的方法是采用结构优化或者材料参数优化来实现热翘曲调控.Zhu等^[26]采用实验和有限元仿真相结合的方法研究了一种新型切割沟槽结构对晶圆级封装翘曲的影响,通过改变晶圆变形的连续性成功减小了晶圆翘曲并降低了焊球边缘应力.Lin等^[27]改变了封装基板内部铜层和介质层在厚度方向的结构设计,发现通过采用非对称排列能够有效改善封装结构热翘曲变形.Tzeng等^[28]通过优化叠层封装结构的设计,采用较小的芯片尺寸、较薄的芯片、较厚的塑封料以及基板,有效减少了叠层封装结构的热翘曲变形.除结构优化和改变材料的方法以外,还有一些学者提出了特殊的热翘曲调控方法.Shao等^[29]和Jeronimo等^[30]通过仿真和实验方法研究了芯片封装上的方盖结构对封装热机械可靠性的影响,发现该方法能够显著减小封装翘曲,但是会增加焊球边角处的应力.Shen等^[31]将金属覆层粘结在倒装芯片表面以提高整体热膨胀系数,通过投影云纹实

验和仿真模拟成功验证了该方法在减小封装翘曲方面的有效性,并显著降低了焊球内应力大小。

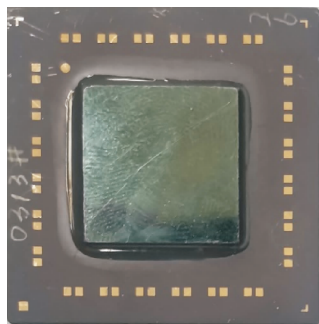
本文针对微电子封装领域的热翘曲问题,提出一种异质阶梯双层板的简化模型,研究该模型在给定温度载荷下的热翘曲变形.通过有限元模拟预测该双层板结构的热翘曲大小,并利用铜合金和铝合金材料制作异质阶梯双层板,搭建基于 DIC 技术的三维热翘曲测量平台,通过实验方法验证仿真结果的准确性.此外,本文将提出一种新型的边框子结构用于调控双层板的热翘曲,该方法通过在底层板边缘位置粘贴边框子结构实现双层板结构的热翘曲调控.进一步地,本文将综合考虑边框结构的材料特性和几何尺寸等因素,利用仿真方法对不同参数组合下的热翘曲调控效果进行详细评估,旨在寻找最优的参数匹配结果,为实际应用提供指导作用。

1 异质阶梯双层板结构的热翘曲分析

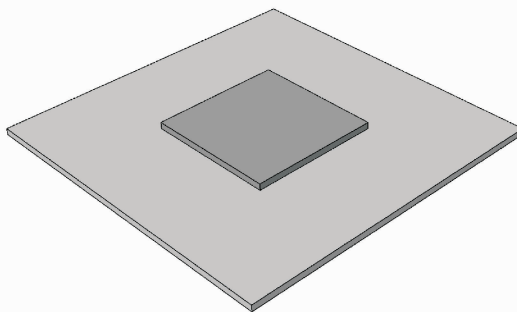
1.1 热翘曲实验测量

本文以芯片封装为背景提出了一款双层板结构热翘曲的通用力学模型.如图 1(a)所示,真实的芯片封装结构可以看成主要由封装硅片和基板两部分

组成,由于实际基板尺寸比封装硅片大得多,故可简化成图 1(b)所示的异质阶梯双层板模型.国内外关于层合板热翘曲的研究很多^[32-34],但这些工作主要考虑每一层板的尺寸一样,而关于异质阶梯双层板结构的研究相对较少.为了测量异质阶梯双层板结构在不同环境温度下的翘曲变化情况,本文搭建了热翘曲测量实验平台,如下图 2 所示,其中包括 VIC-3D 非接触全场应变测量仪、红外热像仪、高温加热台等. VIC-3D 非接触全场应变测量仪的核心是 DIC 技术,为实验提供三维空间内的全场位移和应变的数据结果.通常来说,元器件封装产品的最高工作温度一般为 125 °C^[35],且《GJB 548B—2005 微电子器件试验方法和程序》标准中规定元器件的温度循环试验条件为-55 °C到 125 °C,故本文采用加热台将温度从室温升高到 125 °C左右,并采用红外热像仪监测实验过程中样品的表面温度.另外, DIC 方法在测量高温环境下的被测物体变形时可能会面临一些问题,如热流场干扰引起的光线偏折以及热辐射导致的试件表面散斑脱色、脱层和脱落等问题^[36].为了减小热流场和热辐射对实验的干扰,本文在加热台上方盖上隔热罩。



(a) 芯片封装结构
(a) Chip package structure



(b) 异质阶梯双层板结构
(b) Heterogeneous stepped double-layer plate structure

图 1 芯片封装结构及简化双层板模型

Fig. 1 Chip package structure and its simplified double-layer plate model

本实验所用阶梯双层板采用金属材料,其中上层板采用 C10100 铜合金,其尺寸为 50×50×0.5 mm,下层板采用 1060 铝合金,其尺寸为 80×80×0.5 mm,并采用耐高温的有机硅橡胶将二者粘结在一起,制备成阶梯双层板实验样品,如图 3 所示.这

里需要指出的是,简化模型和真实芯片结构在材料方面确实会存在差异,但本文重点关注的是这种从芯片封装结构简化而来的阶梯状多层板结构,提出一种通用模型来预测热翘曲变形,为芯片封装结构的热翘曲设计和调控提供理论指导.此外,真实芯片

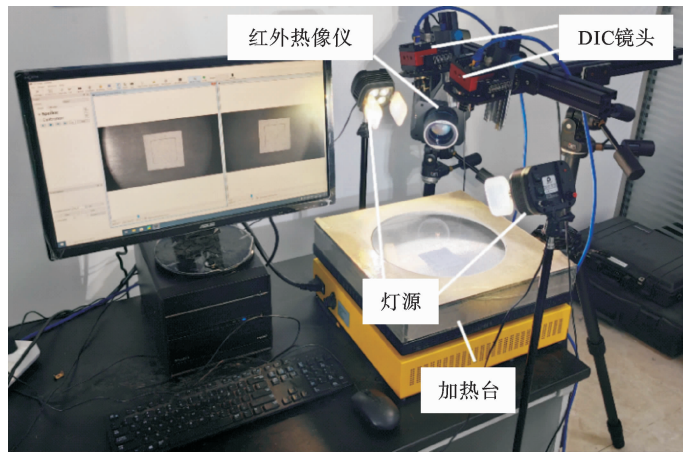


图 2 热翘曲实验测量平台

Fig. 2 Thermal warpage test setup

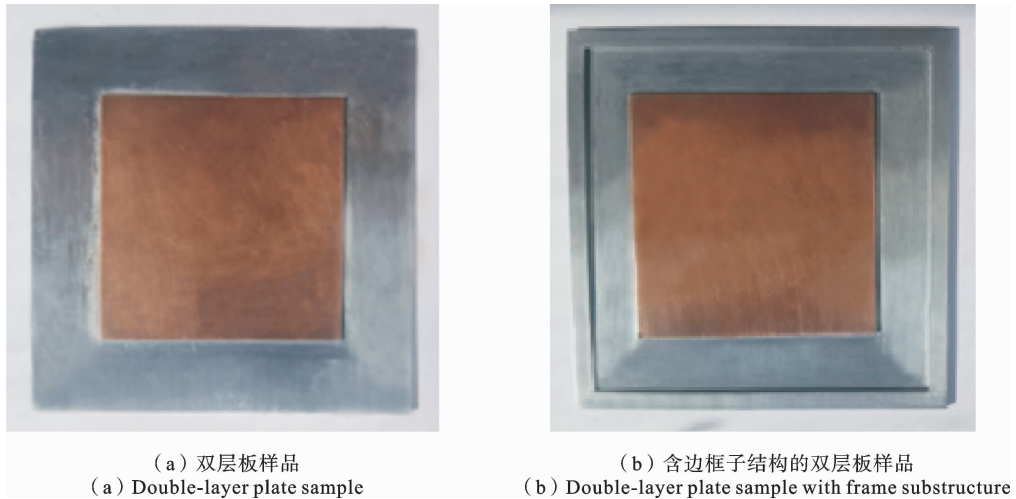


图 3 实验样品

Fig. 3 Experimental samples

结构一般是采用底填胶填充硅芯片和基板中间位置,但底填胶需要在固定的设备和特殊的温度下固化,所以本文采用常温下可固化的电子器件的灌封胶进行替代制备.虽然两种胶的材料稍微有所区别,但是由于胶层厚度较小(约 0.15 mm),对整体变形影响不大.

当硅橡胶固化完全后,在样品表面喷涂白底黑色散斑.实验开始阶段,将制备好的阶梯双层板样品放置在高温加热台上,盖上绝热罩,然后完成红外热像仪的对焦工作以获取样品表面温度,同时调整三脚架和 DIC 相机位置保持样品成像在视野范围中央,并调节相机焦距直至样品清晰可见,借助标定靶

完成相机标定工作.在实验过程中,为了保证样品受热均匀,采用分段均匀加热方法将样品加热到目标温度,然后利用 DIC 相机采集图像信息,采集频率设置为 1.0 Hz.实验后,在 VIC-3D 软件中选定参考图像,并选择双层板整个上表面为感兴趣区域(Region of Interest, ROI),利用图像信号处理算法分析采集图像,得到阶梯双层板结构热翘曲的三维形貌和位移分布结果.

1.2 有限元仿真模型

本文采用 Abaqus 仿真软件中的热力耦合模块(Coupled temp-displacement)进行阶梯双层板结构的热翘曲模拟.仿真模型从上到下分别为 C10100

铜合金层、硅橡胶层和 1060 铝合金层,由于结构对称,在仿真时采用四分之一模型以减少计算量,如图 4 所示为双层板有限元模型. 仿真所用材料均假设为各向同性材料,并采用线弹性本构模型,具体材料参数如表 1 所示.

由于实验过程中阶梯双层板始终静置在高温加热台上,将加热台近似看成刚体,在仿真建模时建立等效的阶梯双层板和刚性平面的有限元模型,二者之间采用切向无摩擦、法向硬接触的接触设置. 设置阶梯双层板模型的对称表面约束条件,并将刚性平

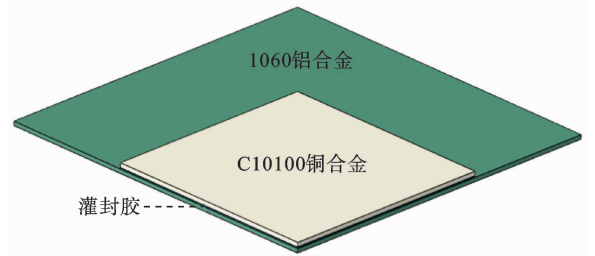


图 4 铜-铝双层板有限元模型

Fig. 4 Finite element model of the double-layer plate composed of copper and aluminum

表 1 双层板材料参数

Table 1 Material properties of the double-layer plate

参数信息	1060 铝合金	C10100 铜合金	硅橡胶	纯镁
密度($\text{kg} \cdot \text{m}^{-3}$)	2705	8940	1790	1740
杨氏模量(GPa)	68	115	0.002	44
泊松比	0.33	0.31	0.38	0.35
热膨胀系数	2.20×10^{-5} (20 °C)			
	2.35×10^{-5} (100 °C)	1.7×10^{-5}	3.15×10^{-5}	2.5×10^{-5}
	2.50×10^{-5} (300 °C)			
热导率($\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$)	245	391	0.65	159
比热容($\text{J} \cdot \text{kg}^{-1} \cdot \text{K}^{-1}$)	900	385	1000	1025

面完全固定,考虑重力的影响,其重力加速度的大小为 9.8 m/s^2 . 在划分网格时,采用八节点六面体热力耦合单元(C3D8T)划分整个模型,在不同层板的交界处采用共节点方式划分网格,并保证每层板的厚度方向上至少存在 3 层网格以提高结果精度. 以整个温度加载过程中层合板的热翘曲最大值为研究对象,进行网格收敛性验证,其结果如表 2 所示. 可以看出,当网格尺寸逐渐缩小到 0.2 mm 时,异质阶梯双层板结构的热翘曲最大值趋于稳定,当网格尺寸从 0.2 mm 缩小到 0.15 mm 时,翘曲最大值从 $174.1 \mu\text{m}$ 变化到 $177.5 \mu\text{m}$,变化幅度为 1.92%,此时可以认为网格已经收敛. 为了节约计算资源,后续均采用 0.2 mm 的网格进行仿真计算.

在实验过程中利用红外热像仪监测样品表面的实时温度,将其作为温度载荷施加到双层板样品表面,通过不断修正直至计算得到的上表面温度场与

红外热像仪测量结果一致,如图 5 所示为施加的温度载荷随时间的变化曲线.

表 2 网格收敛性验证结果

Table 2 Grid convergence verification result

网格尺寸(网格数量)	翘曲最大值结果
0.50 mm (45600)	141.20 μm
0.40 mm (71752)	153.94 μm
0.30 mm (125868)	164.95 μm
0.20 mm (285000)	174.12 μm
0.15 mm (518268)	177.49 μm
0.12 mm (789668)	179.10 μm

1.3 异质阶梯双层板结构热翘曲实验和仿真结果对比

首先给出采用实验方法获得的阶梯双层板结构

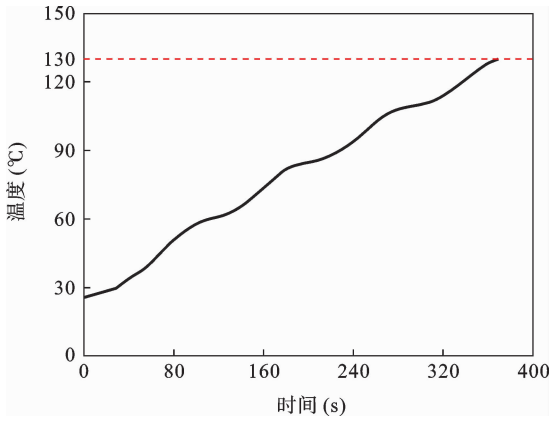


图 5 加载温度时间变化曲线

Fig. 5 Time curve of temperature load

的面内位移,来验证仿真结果的准确性.分别提取双层板结构在最终时刻(130 °C 时)的实验和仿真云图,其 x 和 y 方向的位移结果分别如图 6 和 7 所示.通过对比仿真和实验结果可以发现,两种方法得到的 x 和 y 两个方向上的位移云图吻合较好,均呈现出中间位移为 0,沿 x 和 y 方向以相同大小递增的趋势.双层板结构 x 方向位移的实验和仿真结果分别为 $100.5 \mu\text{m}$ 和 $100.32 \mu\text{m}$,相对误差为 0.18%.双层板结构 y 方向位移的实验和仿真结果分别为 $100.5 \mu\text{m}$ 和 $100.32 \mu\text{m}$,相对误差为 0.18%,可见该结果是准确的.

如图 8 所示是异质阶梯双层板结构在最终时刻

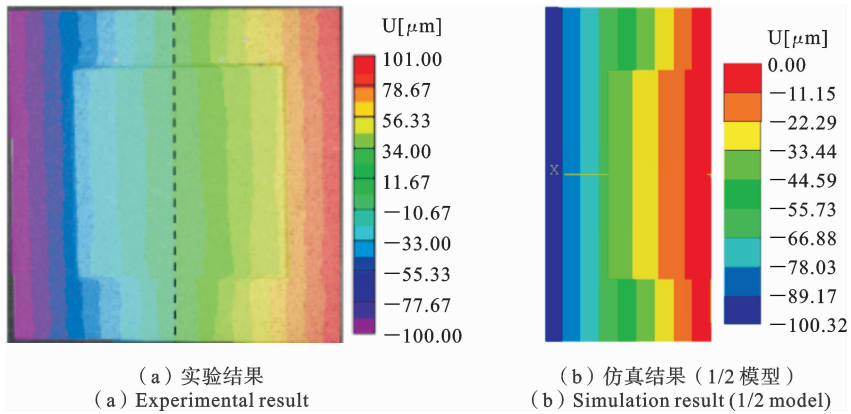


图 6 双层板结构 x 方向位移云图

Fig. 6 The x -direction displacement of the double-layer plate structure

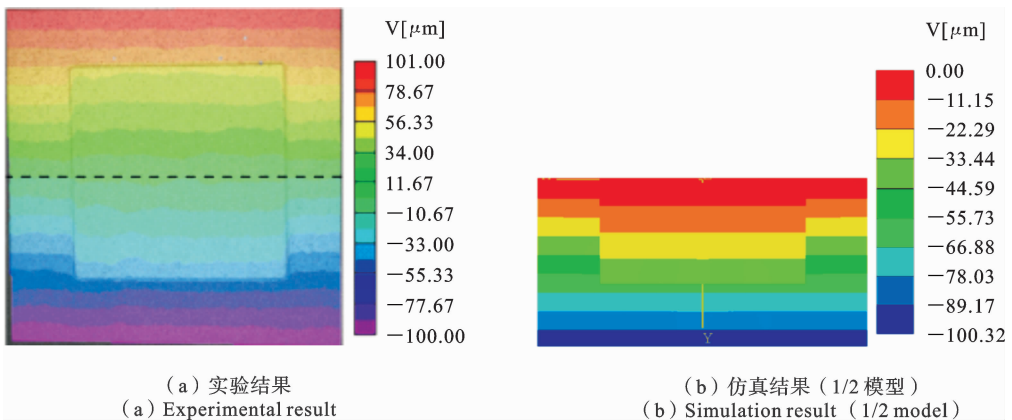


图 7 双层板结构 y 方向位移云图

Fig. 7 The y -direction displacement of the double-layer plate structure

(130 °C 时)的离面位移云图,图 9 为在该温度下阶梯双层板结构上表面对角线上各点热翘曲变形的实验

和仿真结果(对角线在图 8(a)中给出).从图 8 和 9 可以看出,通过实验测量和仿真方法得到的阶梯双层

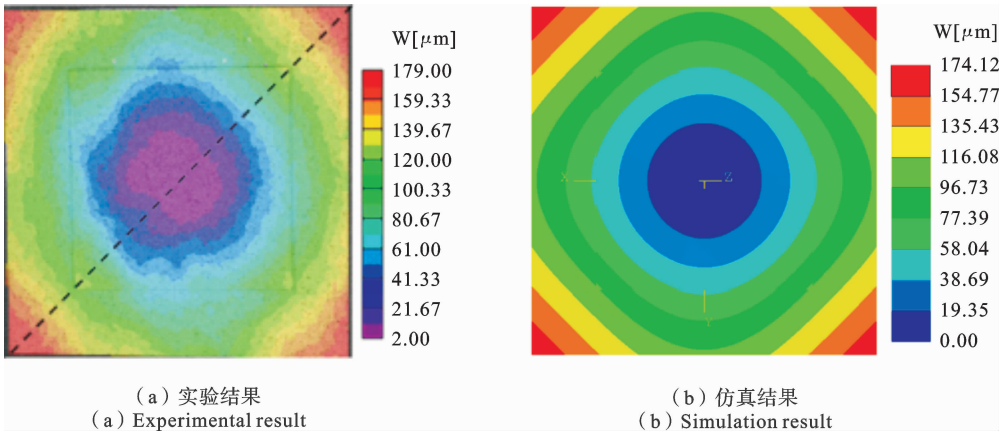


图 8 双层板结构热翘曲变形云图

Fig. 8 The thermal warpage deformation of double-layer plate structure

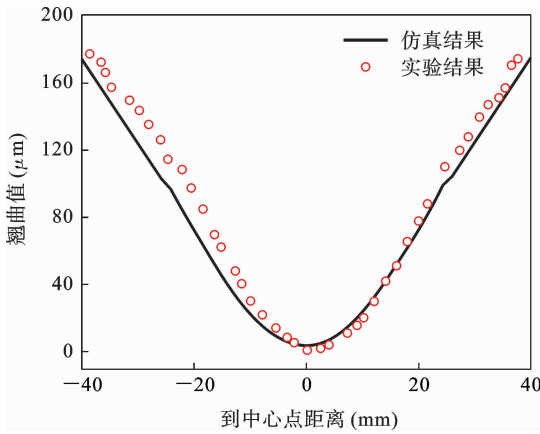


图 9 双层板对角线上的热翘曲实验及仿真结果

Fig. 9 Experimental and simulation result of thermal warpage along diagonal of the double-layer plate

误差相对较大,这是因为温度加载初期实验样本受热不均匀,导致测量误差较明显.在温度加载中后期,实验和仿真结果吻合较好,反映了该翘曲测量方法和仿真模型的准确性.

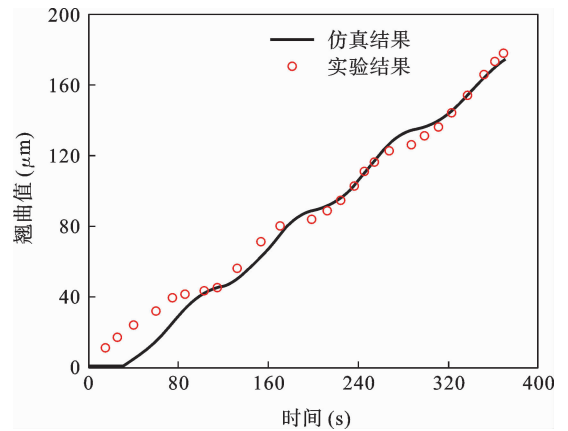


图 10 双层板四角处的热翘曲变形时间变化曲线

Fig. 10 Thermal warpage deformation at the four corners of the double-layer plate over time

板的热翘曲形貌以及热翘曲变形大小非常接近,均呈现中间低、四周高的“笑脸”状.这是由于上层铜合金板的热膨胀系数小于下层铝合金板,当温度升高时,下层铝合金板的热膨胀变形大于上层铜合金板,由于热致变形受到约束,平板内部出现了严重的热应力作用,最终呈现出“笑脸”状的翘曲变形.通过仿真模拟计算得到的热翘曲变形最大值为 $174.12 \mu\text{m}$,而通过实验测量得到的热翘曲变形最大值为 $177.0 \mu\text{m}$,误差仅为 1.63% .可见,利用仿真模拟和实验方法得到的热翘曲结果吻合较好.

异质阶梯双层板结构的热翘曲变形最大值出现在四角位置处,其热翘曲变形最大值随时间变化情况如图 10 所示.可以看出,在实验开始阶段二者的

2 异质阶梯双层板结构热翘曲调控

2.1 边框子结构调控方法

由于阶梯双层板结构在给定温度载荷下的热翘曲变形较大,为了避免热翘曲变形过大导致的可靠性问题,本文采用边框子结构调控法进行热翘曲调控.该方法通过在底层板边缘粘贴一层边框子结构来降低双层板的热翘曲变形,其机理是利用不同材

料在温度变化时的热失配,在底层板边缘额外施加的热应力作用迫使其发生相反方向变形,从而减小翘曲. 本文选用纯镁正方形边框子结构来调节阶梯双层板的热翘曲变形,其中正方形边框的外部尺寸

为 $80 \times 80 \text{ mm}$,内部尺寸为 $72 \times 72 \text{ mm}$,厚度分别为 0.5 mm 和 0.8 mm . 将边框子结构粘贴在下层板外边缘,完成实验样品制备,实验样品如图 3(b)所示,有限元模型如图 11 所示.

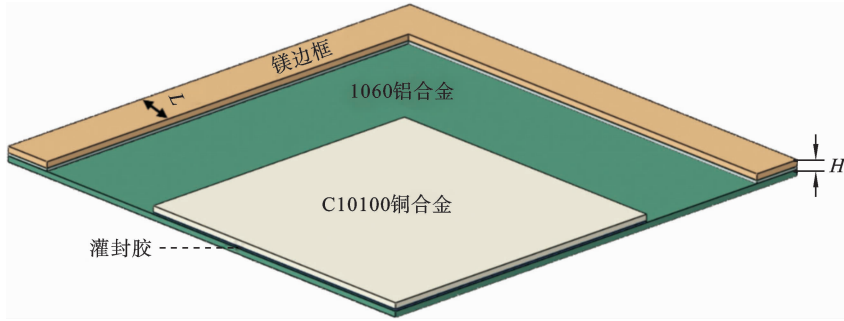


图 11 含边框双层板的有限元模型

Fig. 11 Finite element model of the double-layer plate with frame substructure

图 12 所示给出了阶梯双层板结构采用 0.5 mm 厚的边框子结构进行翘曲调控,通过实验和仿真方法得到双层板在 $130 \text{ }^\circ\text{C}$ 下的热翘曲变形结果. 从图中可以看出,两种情况下的翘曲云图相差不大,均为四周高、中间低的“笑脸”状,以双层板中心点为最低点向外逐渐递增,其中热翘曲变形最大值的实验结果为 $116 \text{ }\mu\text{m}$,而仿真结果为 $119.73 \text{ }\mu\text{m}$,相对

误差为 3.2% ,证明仿真结果的准确性. 对比粘贴边框子结构前后双层板的热翘曲仿真云图,可以发现,不含边框结构的热翘曲变形最大值为 $174.12 \text{ }\mu\text{m}$,而含有边框结构的热翘曲变形最大值为 $119.73 \text{ }\mu\text{m}$,热翘曲变形减小了 31.2% . 可见,该边框子结构的翘曲调控方法是有效的.

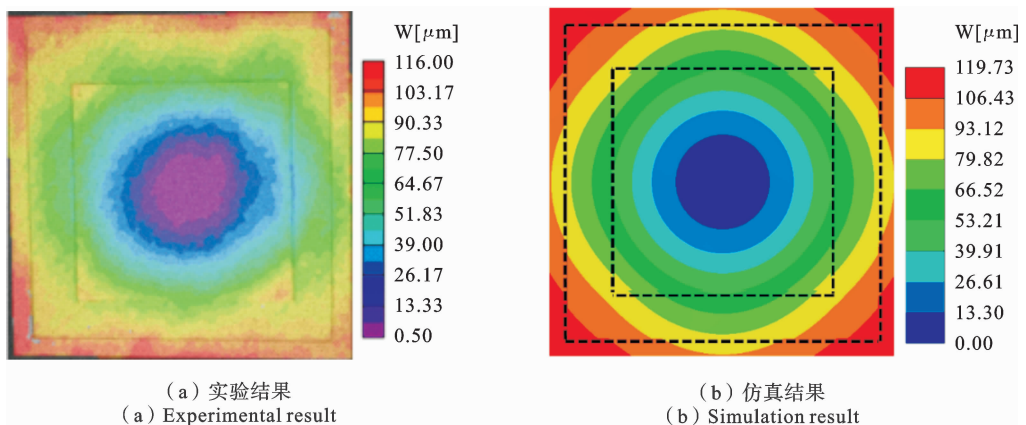


图 12 0.5 mm 厚边框的双层板结构 $130 \text{ }^\circ\text{C}$ 翘曲变形云图

Fig. 12 The warpage deformation of double-layer plate with 0.5 mm thick frame at $130 \text{ }^\circ\text{C}$

图 13 给出了采用 0.8 mm 厚的边框子结构进行翘曲调控,通过实验和仿真方法得到的双层板在 $130 \text{ }^\circ\text{C}$ 下的热翘曲变形结果. 从图中可以看出,通过两种方法得到的热翘曲结果相差不大,且热翘曲云

图与图 12 相似,但热翘曲变形结果稍微有所减小. 不含边框子结构的热翘曲变形最大值为 $174.12 \text{ }\mu\text{m}$,而粘贴边框子结构后热翘曲变形最大值为 $110.04 \text{ }\mu\text{m}$,热翘曲变形减小了 36.8% . 这是因为边

框子结构厚度增加后,热失配变形能力增强,从而导致翘曲调控效果增加,异质阶梯双层板结构的热翘

曲减小.

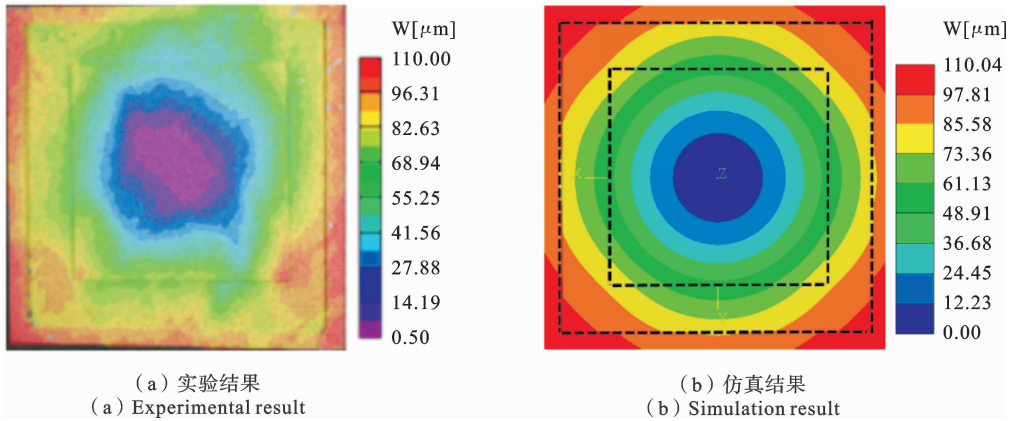


图 13 0.8 mm 厚边框的双层板结构 130 °C 翘曲变形云图

Fig. 13 The warpage deformation of double-layer plate with 0.8 mm thick frame at 130 °C

为了说明以上结论的普适性,进一步研究了边框子结构在其他温度时刻的热翘曲调控效果.图 14 首先给出了粘贴边框结构前层合板在 111 °C 时刻的热翘曲变形结果,粘贴 0.5 mm 和 0.8 mm 厚度边框子结构后层合板的热翘曲变形结果如图 15 和 16 所示.由于前文已经验证了该仿真模型是准确的,在后续讨论中均以仿真结果作为参考进行对比.从图

中可以看出,通过仿真和实验方法获得的热翘曲变形符合较好,粘贴边框子结构前层合板在该时刻的热翘曲变形为 140.27 μm,而粘贴 0.5 mm 和 0.8 mm 厚度的边框子结构后,层合板的热翘曲变形分别减小到 92.98 μm 和 83.54 μm,两种情况下的减小幅度分别为 33.7% 和 40.4%,进一步验证了该方法的正确性.

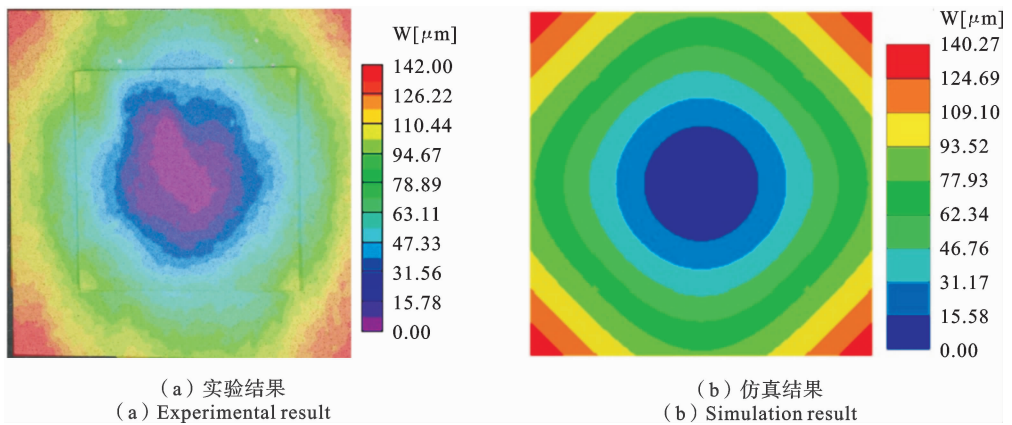


图 14 双层板结构 111 °C 时热翘曲变形云图

Fig. 14 The thermal warpage deformation of double-layer plate structure at 111 °C

2.2 不同因素对热翘曲调控效果的影响

为了检验边框子结构对异质阶梯双层板结构热翘曲变形的调控效果,本节进一步研究了边框子结构的宽度 L 、厚度 H 等几何参数以及弹性模量 E 、

热膨胀系数 α 等材料参数对热翘曲变形的影响规律,为制订热翘曲调控方案提供理论指导.为了方便分析参数影响规律,当考虑其中一个参数改变时,其他参数保持不变.

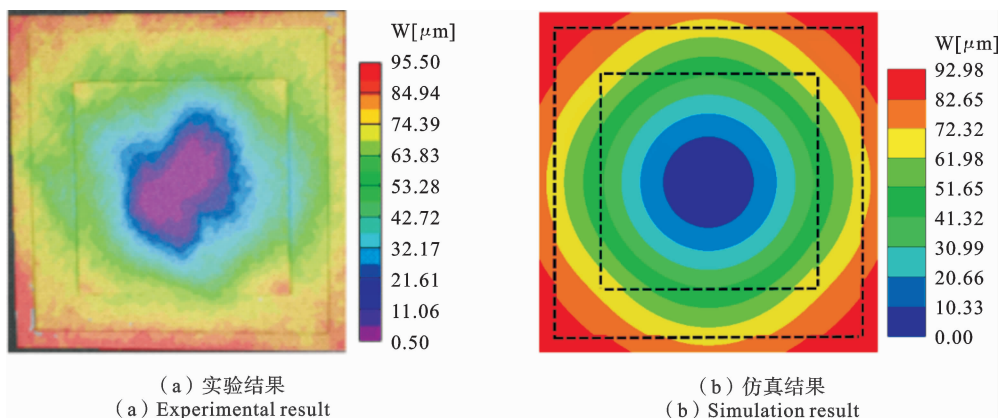


图 15 0.5 mm 厚边框的双层板结构 111 °C 翘曲变形云图

Fig. 15 The warpage deformation of double-layer plate structure with 0.5 mm thick frame at 111 °C

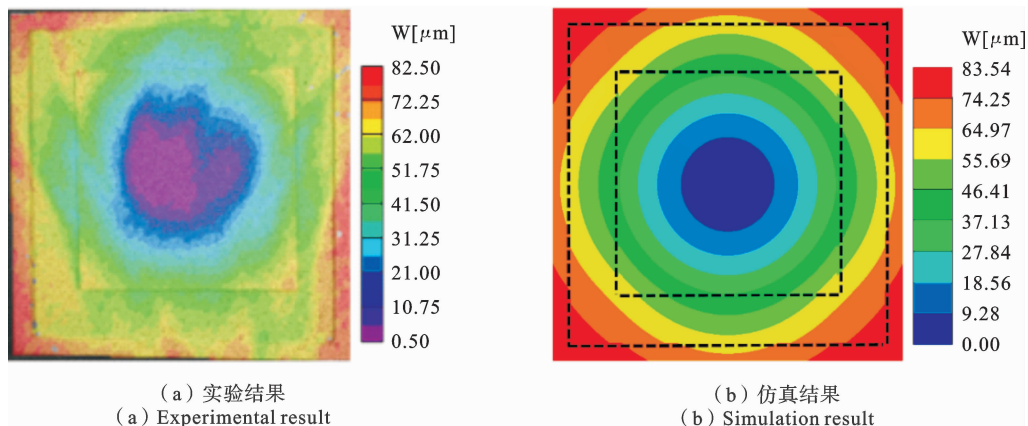


图 16 0.8 mm 厚边框的双层板结构 111 °C 翘曲变形云图

Fig. 16 The warpage deformation of double-layer plate structure with 0.8 mm thick frame at 111 °C

图 17 和 18 分别研究了边框结构的弹性模量和热膨胀系数对阶梯双层板结构热翘曲变形最大值的影响. 从图中可以看出, 结构热翘曲变形的最大值与边框弹性模量和热膨胀系数的变化呈线性关系. 当弹性模量从 22 GPa 增加到 110 GPa, 结构的翘曲值最大值从 125.49 μm 降低到 112.87 μm , 降低幅度为 10.1%. 当热膨胀系数从 24.5×10^{-6} 增加到 26.5×10^{-6} , 结构的翘曲最大值从 133.09 μm 降低到 90.24 μm , 降低幅度为 32.2%. 可见, 边框结构的热膨胀系数对异质阶梯双层板结构的热翘曲变形影响较大, 而弹性模量的影响相对较小.

图 19 和 20 分别研究了边框结构的宽度和厚度对异质阶梯双层板结构热翘曲变形最大值的影响. 从图中可以看出, 结构热翘曲变形最大值与边框宽度和厚度的变化呈线性关系. 当宽度从 2 mm 增加

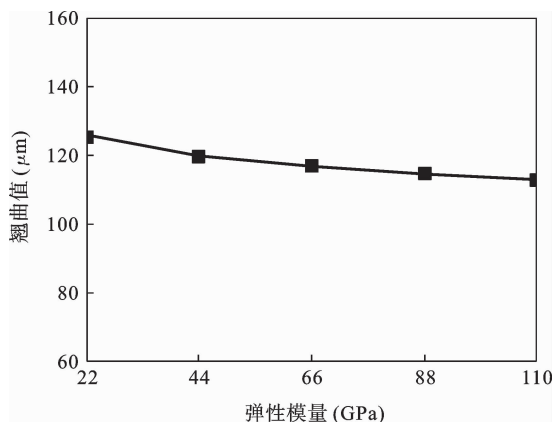


图 17 边框弹性模量对阶梯双层板结构热翘曲变形最大值的影响

Fig. 17 The influence of the frame's elastic modulus on the maximum thermal warpage deformation of a stepped double-layer plate structure

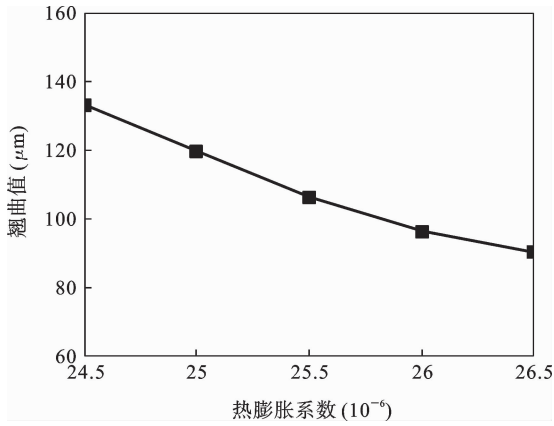


图 18 边框热膨胀系数对阶梯双层板结构热翘曲变形最大值的影响

Fig. 18 The influence of the frame's thermal expansion coefficient on the maximum thermal warpage deformation of a stepped double-layer plate structure

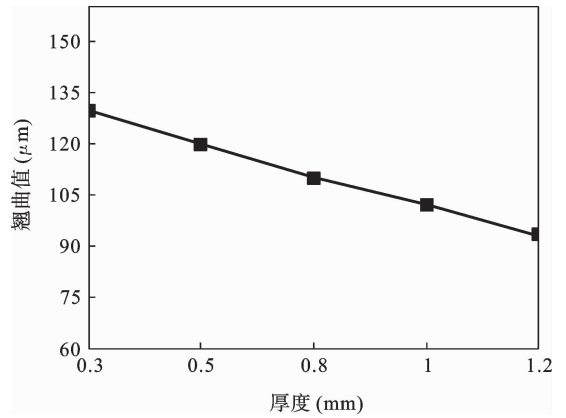


图 20 边框厚度对阶梯双层板结构热翘曲变形最大值的影响

Fig. 20 The influence of the frame's thickness on the maximum thermal warpage deformation of a stepped double-layer plate structure

到 10 mm,结构的翘曲最大值从 143.56 μm 降低到 73.14 μm ,降低幅度为 49.1%。当厚度从 0.3 mm 增加到 1.2 mm,结构的翘曲最大值从 129.56 μm 降低到 93.16 μm ,降低幅度为 28.1%。可见,边框结构的宽度和厚度对异质阶梯双层板结构的热翘曲变形影响均较大,其中宽度的影响十分显著。

3 结论

本文成功建立了异质阶梯双层板结构的通用模型,并利用仿真方法预测了在给定温度载荷下该结构的热翘曲行为。在底层板边缘粘贴边框子结构实现翘曲调控,并探讨了边框结构的宽度、长度、弹性模量、热膨胀系数等因素对阶梯双层板结构热翘曲变形的影响。此外,利用 DIC 三维热翘曲测量平台对仿真结果进行了实验验证。主要结论如下:

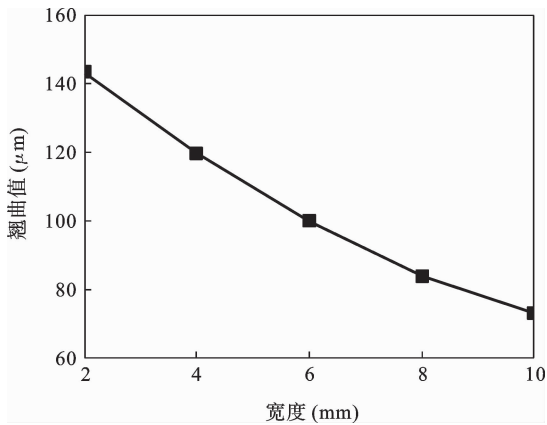


图 19 边框宽度对阶梯双层板结构热翘曲变形最大值的影响

Fig. 19 The influence of the frame's width on the maximum thermal warpage deformation of a stepped double-layer plate structure

(1) 仿真得到的异质阶梯双层板模型翘曲结果与 DIC 实验测量结果吻合较好,证明了建立的仿真模型和实验方法可以有效测量热翘曲变形。

(2) 采用边框子结构热翘曲调控方法,显著降低了异质阶梯双层板在不同温度下的热翘曲变形最大值,说明该调控方法在实际结构翘曲调控中具有应用潜力。

(3) 边框结构的宽度是影响热翘曲调控效果的最主要因素,增加边框宽度能够有效提高调控效果。此外,边框的热膨胀系数和厚度也对热翘曲调控有较强影响,其中热膨胀系数越大、厚度越大,翘曲调控效果越明显。而边框弹性模量对热翘曲调控效果的影响相对较小。

本文主要针对封装芯片结构提出了一款简化的通用模型,暂时忽略了实际微电子封装小尺度结构

中材料的各向异性特性. 此外, 目前也有一些文章从微观组织层面阐释了封装结构热失配问题的机理和损伤情况^[37-39], 针对这些深层次问题, 将在后续开展进一步研究.

参考文献

- [1] Su X M, Zhang J H, Wang J, Bi Y Q, Qie D F, Xiang Z H, Xue M D. Experimental investigation of the thermally induced vibration of a space boom section[J]. *Science China Physics Mechanics & Astronomy*, 2015, 58(4): 044601.
- [2] Du Z C, Hou H F, Wang Z G, Yang J G. Thermal deformation isolation for satellite platforms via flexible connections[J]. *International Journal of Precision Engineering and Manufacturing*, 2017, 18(12): 1821-1832.
- [3] 顾靖, 王珺, 陆震, 俞宏坤, 肖斐. 芯片叠层封装的失效分析和热应力模拟[J]. *半导体学报*, 2005, 26(6): 1273-1277. (Gu J, Wang J, Lu Z, Yu H K, Xiao F. Failure analysis and thermal stress simulation in a stacked die package[J]. *Chinese Journal of Semiconductors*, 2005, 26(6): 1273-1277. (in Chinese))
- [4] 徐龙潭. 电子封装中热可靠性的有限元分析[D]. 黑龙江: 哈尔滨工业大学, 2007. (Xu L T. Finite Element Analysis on Thermal Reliability of Electronic [D]. Heilongjiang: Harbin Institute of Technology, 2007. (in Chinese))
- [5] 闫青亮. PBGA 无铅焊点可靠性的有限元模拟与寿命预测[D]. 天津: 天津大学, 2007. (Yan Q L. Finite Element Simulation and Life Prediction for Reliability of Lead-Free Solder in PBGA [D]. Tianjin: Tianjin University, 2007. (in Chinese))
- [6] 李其聪, 曹可慰, 吴怡然. 封装基板标准现状与发展方向[J]. *标准科学*, 2023(S1): 81-84. (Li Q C, Cao K W, Wu Y R. Current status and development direction of substrate standards[J]. *Standard Science*, 2023(S1): 81-84. (in Chinese))
- [7] 唐宇, 廖小雨, 骆少明, 王克强, 李国元. 基于 CPU 和 DDR 芯片的 SiP 封装可靠性研究[J]. *电子元件与材料*, 2015, 34(4): 79-83. (Tang Y, Liao X Y, Luo S M, Wang K Q, Li G Y. Reliability study of system in package consisting of CPU and DDR chips [J]. *Electronic Components & Materials*, 2015, 34(4): 79-83. (in Chinese))
- [8] 李志光, 胡曾铭, 张江陵, 范国威, 唐军旗, 刘潜发, 王珂. 大尺寸有机基板的材料设计与封装翘曲控制[J]. *电子与封装*, 2024, 24(2): 41-48. (Li Z G, Hu Z M, Zhang J L, Fan G W, Tang J Q, Liu Q F, Wang K. Material design and package warpage control for large-size organic substrates[J]. *Electronics & Packaging*, 2024, 24(2): 41-48. (in Chinese))
- [9] 侯传涛, 童军, 荣克林, 江思荣. 管壳封装结构温循环载荷下的失效机理研究[J]. *导弹与航天运载技术*, 2014(6): 69-73. (Hou C T, Tong J, Rong K L, Jiang S R. Study on the failure mechanism of tube-shell packaging structure under temperature cycling load[J]. *Missiles and Space Vehicles*, 2014(6): 69-73. (in Chinese))
- [10] 林伟. 新一代层叠封装(PoP)的发展趋势及翘曲控制[J]. *中国集成电路*, 2014, 23(3): 46-52. (Lin W. Trends for the next generation of PoP package and its warpage control[J]. *China Integrated Circuit*, 2014, 23(3): 46-52. (in Chinese))
- [11] 宋劭. 基于影子云纹法的封装基板翘曲测量系统研究[D]. 湖北: 华中科技大学, 2012. (Song S. Study of Warpage Measurement System for Packaging Substrate Based on Shadow Moire Method[D]. Hubei: Huazhong University of Science and Technology, 2012. (in Chinese))
- [12] Tsai M Y, Hsu C H J, Wang C T O. Investigation of thermomechanical behaviors of flip chip BGA packages during manufacturing process and thermal cycling [J]. *IEEE Transactions on Components and Packaging Technologies*, 2004, 27(3): 568-576.
- [13] Niu Y L, Wang J, Shao S, Wang H Y, Lee H, Park S B. A comprehensive solution for electronic packages' reliability assessment with digital image correlation (DIC) method[J]. *Microelectronics Reliability*, 2018, 87: 81-88.
- [14] 刘红波, 杨文婷, 杜鹏, 陈志华. 基于三维数字图像相关法的焊接空心球节点的力学性能试验研究[J]. *建筑钢结构进展*, 2023, 25(6): 35-42. (Liu H B, Yang W T, Du P, Chen Z H. Experimental study on the mechanical properties of welded hollow spherical joints based on three-dimension digital image correla-

- tion method[J]. *Progress in Steel Building Structures*, 2023, 25(6): 35-42. (in Chinese))
- [15] 陈亚军, 孙胜洁, 季春明. 三维数字图像相关技术(3D DIC)在材料变形研究中的应用进展[J]. *航空材料学报*, 2017, 37(4): 90-100. (Chen Y J, Sun S J, Ji C M. Development and application of 3D digital image correlation (3D DIC) in deformation measurement of materials[J]. *Journal of Aeronautical Materials*, 2017, 37(4): 90-100. (in Chinese))
- [16] Kim Y, Park A Y, Kao C L, Su M, Black B, Park S. Prediction of deformation during manufacturing processes of silicon interposer package with TSVs[J]. *Microelectronics Reliability*, 2016, 65: 234-242.
- [17] 陈凡秀, 何小元. 数字图像相关方法在板载芯片封装热变形测量中的应用[J]. *光子学报*, 2010, 39(11): 2036-2039. (Chen F X, He X Y. Application of digital image correlation on surface deformation measurement of chip on board packaging structure[J]. *Acta Photonica Sinica*, 2010, 39(11): 2036-2039. (in Chinese))
- [18] Park S, Lee H C, Sammakia B, Raghunathan K. Predictive model for optimized design parameters in flip-chip packages and assemblies[J]. *IEEE Transactions on Components & Packaging Technologies*, 2007, 30(2): 294-301.
- [19] 陈铁龙. BGA 封装焊点可靠性及疲劳寿命分析[D]. 陕西: 西安电子科技大学, 2016. (Chen Y L. Analysis of the Reliability and Fatigue Life of BGA Solder Joints[D]. Shaanxi: Xidian University, 2016. (in Chinese))
- [20] 郭威, 王小龙, 谢建友, 张锐. 一种基于板壳理论对芯片翘曲变形的研究[J]. *电子与封装*, 2017, 17(1): 15-18. (Guo W, Wang X L, Xie J Y, Zhang R. A predictive model for thermo-mechanical warpage of micro-electronic packages[J]. *Electronics & Packaging*, 2017, 17(1): 15-18. (in Chinese))
- [21] Xia W S, Xiao M, Chen Y H, Wu F S, Liu Z, Fu H Z. Thermal warpage analysis of PBGA mounted on PCB during reflow process by FEM and experimental measurement[J]. *Soldering & Surface Mount Technology*, 2014, 26(3): 162-171.
- [22] 杨梦柯. WLCSP 封装晶圆翘曲成因与控制方法研究[D]. 北京: 北京工业大学, 2019. (Yang M K. The Study on Wafer Warpage and Controlling Strategies for WLCSP[D]. Beijing: Beijing University of Technology, 2019. (in Chinese))
- [23] Lin W. A feasible method to predict thin package actual warpage based on an FEM model integrated with empirical data[C]// 2015 IEEE 65th Electronic Components and Technology Conference (ECTC). IEEE, 2015: 1985-1990.
- [24] 闫晓欣. 制造缺陷对结构功能一体化天线力学性能的影响机理[D]. 陕西: 西安电子科技大学, 2014. (Yan X X. The Influence on the Mechanical Properties of the Structural-Functional Integration Antenna Caused by Manufacturing Defects[D]. Shaanxi: Xidian University, 2014. (in Chinese))
- [25] Xia W S, Xiao M, Chen Y H, Wu F S, Liu Z, Fu H Z. Thermal warpage analysis of PBGA mounted on PCB during reflow process by FEM and experimental measurement[J]. *Soldering & Surface Mount Technology*, 2014, 26(3): 162-171.
- [26] Zhu C S, Li H, Xu G W, Luo L. A novel mechanical diced trench structure for warpage reduction in wafer level packaging process[J]. *Microelectronics Reliability*, 2015, 55(2): 418-423.
- [27] Lin W, Baloglu B, Stratton K. Coreless substrate with asymmetric design to improve package warpage [C]// Electronic Components and Technology Conference (ECTC). IEEE, 2014: 1401-1406.
- [28] Tzeng Y L, Kao N, Chen E, et al. Warpage and stress characteristic analyses on package-on-package (PoP) structure[C]// 2007 9th Electronics Packaging Technology Conference, 2007: 482-487.
- [29] Shao S, Niu Y L, Wang J, Liu R Y, Park S, Lee H Y, Yip L, Refai-Ahmed G. Design guideline on board-level thermomechanical reliability of 2. 5D package[J]. *Microelectronics Reliability*, 2020, 111: 113701.
- [30] Jeronimo M B, Schindele J, Straub H, Gromala P J, Wunderle B, Zimmermann A. On the influence of lid materials for flip-chip ball grid array package applications [J]. *Microelectronics Reliability*, 2023, 140: 114869.
- [31] Shen Y C, Zhang L L, Zhu W H, Zhou J, Fan X J. Finite-element analysis and experimental test for a capped-die flip-chip package design[J]. *IEEE Trans-*

- actions on Components Packaging and Manufacturing Technology, 2016, 6(9): 1308-1316.
- [32] Suhir E. Predicted bow of plastic packages of integrated circuit (IC) devices[J]. Journal of Reinforced Plastics and Composites, 1993, 12(9): 951-972.
- [33] Suhir E. Stresses in bi-metal thermostats[J]. Journal of Applied Mechanics, 1986, 53(3): 657-660.
- [34] Tsai M Y, Hsu C H, Han C N. A note on Suhir's solution of thermal stresses for a die-substrate assembly[J]. Journal of Electronic Packaging, 2004, 126(1): 115-119.
- [35] 何新党, 周润, 王龙龙, 张朵, 董思辰. 超高温环境下基于数字图像的测量技术研究[J]. 固体火箭技术, 2022, 45(3): 473-483. (He X D, Zhou R, Wang L L, Zhang D, Dong S C. Research on measurement technology based on digital image correlation in ultra-high temperature environment[J]. Journal of Solid Rocket Technology, 2022, 45(3): 473-483. (in Chinese))
- [36] 吴许杰. 多层印刷电路板组件结构的热—力分析[D]. 安徽: 合肥工业大学, 2013. (Wu X J. Thermal and Mechanical Analysis of Multilayer Printed Circuit Board Assembly Structure[D]. Anhui: Hefei University of Technology, 2013. (in Chinese))
- [37] Long X, Guo Y, Chang X T, Su Y T, Shi H B, Huang T, Tu B Y, Wu Y P. Effect of temperature on the fatigue damage of SAC305 solder[C]// The 22nd International Conference on Electronic Packaging Technology (ICEPT), 2021: 1-4.
- [38] Long X, Su T X, Chen Z B, Su Y T, Siow K S. Tunable coefficient of thermal expansion of composite materials for thin-film coatings[J]. Coatings, 2022, 12(6): 836.
- [39] Huang L J, Zhu Z H, Wu H R, Long X. Effect of high-frequency PCB laminate on thermal cycling behavior of electronic packaging structures[J]. Multidiscipline Modeling in Materials and Structures, 2022, 18(1): 111-128.

Thermal Warping Analysis and Control of Heterogeneous Stepped Double-Layer Plate Structures

Ruichang Zhu¹ Lu Li² Fei Shen¹ Yiming Ge³ Liaoliang Ke¹

(¹Department of Mechanics, School of Mechanical Engineering, Tianjin University, Tianjin, 300350)

(²Xi'an Microelectronics Technology Research Institute, Xi'an, 710054)

(³Beijing Microelectronics Technology Research Institute, Beijing, 100076)

Abstract The chip packaging structure is commonly considered to be composed of different material layers stacked together. Due to the inconsistent thermal expansion coefficients of materials, the structure is prone to thermal warping deformation when subjected to significant changes in ambient temperature. At present, thermal warping is a typical failure mode in the field of microelectronic packaging. With the development of ultra-thin packaging components, thermal warping will become more pronounced. However, excessive warping deformation can lead to problems such as chip cracking, interface delamination, and solder joint failure. First, this paper considers the actual size differences between bare chips and substrates, and establishes a heterogeneous stepped double-layer plate model. Second, a thermal warpage experiment platform was constructed using a VIC-3D non-contact full-field strain gauge based on 3D digital image correlation, an infrared thermal imager, and a high-temperature heating stage. Then, the thermal warping deformation of the double-layer plate structure was observed during the heating process, and an equivalent finite element model was established to verify the experimental results. Subsequently, the thermal warpage control of the stepped double-layer board was achieved by attaching a frame sub-structure to the edge of the bottom plate, with its effectiveness verified through both simulations and experiments. Finally, the effects of the geometric and material parameters of the frame sub-structure on the thermal warpage control of the stepped double-layer plate structure are also discussed in detail. It is found that the thermal warping deformation obtained through experimental methods is in good agreement with the simulation results. Moreover, the warping control method using the frame sub-structure can significantly reduce the thermal warping deformation of the heterogeneous stepped double-layer plate structure. The width of the frame structure is the primary factor, and increasing the width can reduce thermal warping deformation effectively. The coefficient of thermal expansion and thickness also have a significant impact on the thermal warping control. As the coefficient of thermal expansion and thickness increase, the thermal warping deformation decreases. The research findings of this paper can provide theoretical guidance for solving thermal warping issues in multi-material laminated structures in microelectronic packaging.

Key words heterogeneous stepped double-layer plate structures, thermal warping, warping control, digital image correlation