

高密度铁电畴壁存储器的研究进展

松见康平, 王兴龙, 胡 笛, 江安全

(复旦大学集成电路与微纳电子创新学院, 上海 200433)

摘 要: 铁电存储器因具有非易失性、快速读写、低功耗和高耐久性操作优势, 在新兴存储领域具有巨大的发展潜力。铁电随机存储器(FeRAM)依赖电荷积分的破坏性读出机制, 面临高密度发展的瓶颈。高密度铁电畴壁存储器利用不同取向电畴界面的对称性缺失产生的可擦写畴壁进行信息存储, 该畴壁的电导率较体材料可实现数量级的提升, 可以非破坏性地读出纳米电畴信息。铁电畴壁存储器不仅继承了传统铁电随机存储器超高的读写速度和持久的擦写能力, 而且还可以进行三维堆叠, 极大地提升了铁电存储器的存储密度, 为集成通用存储器提供了希望。本文阐述了铁电畴壁器件的研究进展; 特别回顾了近年来国内外关于 BiFeO_3 和 LiNbO_3 等铁电畴壁存储器的研究现状; 总结了目前铁电畴壁存储器在集成电路领域中所面临的技术挑战, 并对其未来的发展进行了展望。

关键词: 铁电存储器; 铁电畴壁; 铁酸铋; 铌酸锂

中图分类号: TN 432 文献标志码: A 文章编号: 0454-5648(2025)09-2489-17

网络出版时间: 2025-08-12



随着大数据、物联网(IoT)、人工智能(AI)和自动化设备等数据密集型应用的快速发展, 人们对低延迟、高容量、高带宽、低成本的计算机需求持续增长。传统的冯·诺依曼计算架构由于计算处理单元与存储单元在物理上是分离的, 导致了“存储墙”问题以及数据传输过程中的高能耗问题, 严重限制了数据处理效率^[1-3]。为了克服冯·诺伊曼架构的固有局限性, 新兴的非易失性存储器(NVM)技术逐步发展起来, 包括铁电随机存储器(FeRAM)^[4-7]、磁存储器(MRAM)^[8]、阻变存储器(RRAM)^[9]和相变存储器(PCRAM)^[10]等。

FeRAM 的存储单元结构采用的是 1 个晶体管 and 1 个铁电电容(1T1C)或者 2 个晶体管和 2 个铁电电容(2T2C)^[11-12], 通过检测铁电电容内电荷量随电畴取向的变化实现数据读取, 如图 1a 所示。为了执行写入操作, 首先需要将字线(WL)设置为高电平, 连通铁电电容与位线。随后, 对于写入数据“1”, 需要将位线(BL)设置为高电平, 板线(PL)设置为低电平; 对于写入数据“0”, 需要将位线设置

为低电平, 板线设置为高电平。相似地, 执行读操作时, 需要先将位线设置为 0 V 并悬置, 字线被设置为高电平, 连通铁电电容与位线。接下来升高板线电压, 将导致铁电电容中的电荷流到位线上, 使得位线电压升高, 通过检测位线电压大小完成数据“1”(有极化翻转过程, 电压升高较大)和“0”(无极化翻转过程, 电压变化较小)的读操作。FeRAM 因其兼具非易失性、超快写入速度、低功耗、优异的抗疲劳特性和卓越的抗辐射能力, 成为极具应用潜力的候选技术^[13-15]。

氧化铪(HfO_2)薄膜采用原子层沉积(ALD)技术, 与 CMOS 制造工艺兼容; 氧化铪基铁电存储器具有较低的操作电压(1~3 V)、较好的耐疲劳特性(疲劳次数大于 10^6)和较小的印刻效应, 近年来在单器件和阵列集成方面的研究不断取得新的进展^[16-19]。2023 年, 美光公司科研人员在 IEDM 会议上报道了世界上第 1 个高性能双层可堆叠铪基 FeRAM, 通过采用传统 DRAM 的 1T1C 架构, 采用 5.7 nm 超薄氧化铪薄膜所制造的高深宽比铁电电容作为存储单

收稿日期: 2025-05-11。 修订日期: 2025-06-15。

基金项目: 国家重点研发计划(2024YFA1409500); 上海市科技创新行动计划(24CL2900900); 国家自然科学基金(62174034)。

第一作者: 松见康平(2002), 男, 博士研究生;

王兴龙(2001), 男, 博士研究生。

通信作者: 江安全(1969), 男, 博士, 研究员。

Received date: 2025-05-11. Revised date: 2025-06-15.

First author: SONGJIAN Kangping (2002-), male, Doctoral Candidate.

WANG Xinglong (2001-), male, Doctoral Candidate.

E-mail: 24112020028@m.fudan.edu.cn; 23112020035@m.fudan.edu.cn

Correspondent author: JIANG Anquan (1969-), male, Ph.D., Professor.

E-mail: aqjiang@fudan.edu.cn

元, 实现了 32 Gb 的存储容量及 0.45 Gb/mm² 的比特密度, 高于当前的 DRAM 技术^[20]。

然而, 基于 1T1C FeRAM 的三维堆叠的工艺难度和制造成本会随堆叠层数的提高呈指数增加。此外, FeRAM 采用破坏性读出技术, 即需要通过极化翻转来读取铁电电容内数据的逻辑状态, 因此在读取操作之后为了保证数据不丢失, 每次读操作后均需要通过再次写入操作以恢复先前铁电电容内所存储的逻辑信息, 降低了器件的使用寿命, 增加了功耗。随着器件尺寸缩小, 存储单元电容面积减小, 可读出电荷量相应降低, 当其尺寸低于 100 nm 时读出的电荷量将小于 8 个电子(接近电路的噪声), 导致信号识别困难, 限制了 FeRAM 在高密度存储器市场中的应用^[21]。

铁电场效应晶体管(FeFET)能够克服以上缺点, 它将铁电材料集成到金属氧化物半导体场效应晶体管(MOSFET)的栅介质中, 可实现非破坏性读出, 其基本结构和工作原理如图 1b 所示。当栅极和源极之间施加电压 V_{GS} 大于铁电材料的矫顽电压时, 铁电极化方向随写电场方向发生向上或向下翻转, 从而在源极和漏极之间生成/阻断导电沟道; 当 V_{GS} 撤去后, 由于铁电存在剩余极化, 沟道导通/截止状态能够继续保持, 通过开关电流大小实现信息的非破坏性读出。基于以上研究, 人们还发现 FeFET 具有类神经突触的可塑性, 即通过写电压大小控制部分电畴的极化翻转来存储多种状态, 实现多位计算。经过几十年的研究, FeFET 已取得长足的发展, 尤其是近几年铅基 FeFET 成为学术界和工业界的研究热点, 它具有纳秒级读写速度、低

功耗和非破坏性读取等优点, 但仍存在内存窗口电压小、保持性差和耐久性不足等方面的问题。

为突破当前 FeRAM 和 FeFET 高密度发展的技术瓶颈, 一种基于全新存储机制的非易失性铁电畴壁存储器(DWRAM)引起了人们的广泛关注。铁电畴壁作为铁电材料中分隔不同取向电畴区域的超薄界面, 展现出与绝缘基体材料显著不同的物理特性^[22]。相较于近乎绝缘的铁电材料本体, 铁电畴壁的电导率可提升数个数量级^[23], 并且在外加物理场(如电场、应力场等)作用下能够实现精确调控, 可按需进行可逆的产生、移动和擦除操作, 从而形成可动态重构的导电通道, 展现出超越传统电子器件的新颖功能特性^[24]。

早期铁电畴壁的研究主要集中在 BiFeO₃ 薄膜中, 通过在 BiFeO₃ 薄膜中可控地写入和擦除单个 71° 铁电畴壁, 成功实现了高电阻态与低电阻态之间的可逆切换, 验证了基于铁电畴壁的非易失性存储机制^[25]。然而, BiFeO₃ 畴壁存储器的性能仍存在着显著局限性, 其最大可读取畴壁电流仅达纳安(nA)量级, 大面积外延薄膜制备困难, 且薄膜中复杂的畴结构使得畴壁难以精确调控。相比之下, 铌酸锂(LiNbO₃)单晶具有优异的铁电、压电、热释电和非线性光学性能, 在电光调制器、声表面波器件等领域被广泛应用^[26–28], 市场上成熟的大面积 LiNbO₃ 单晶制备技术为发展 LiNbO₃ 铁电畴壁存储器提供了理想平台。Jiang 等^[29]在 2020 年报道了 LiNbO₃ 铁电单晶畴壁存储器, 其具有天然选择管功能、优异的耐疲劳(>10¹⁰)、纳秒量级读写速度(<100 ns)等优点, 引起了学术界和产业界的重点关注, 展现出巨大的产业化潜力^[22]。目前, 在实验室内验证了 LiNbO₃ 畴壁存储器可缩微至 15 nm, 电学性能优异, 理论上可进一步微缩至原子层量级, 未来还可以进行三维堆叠^[30–34]。

本文介绍了目前铁电畴壁存储器的发展现状, 首先介绍了铁电材料的相关概念和基本理论, 其次从铁电畴壁的分类、导电机理及动力学研究 3 个方面阐述铁电畴壁相关的研究进展, 之后重点回顾了以 BiFeO₃ 和 LiNbO₃ 为基底的 2 种铁电畴壁存储器的发展现状。最后, 对铁电畴壁存储器所面临的技术挑战和未来发展方向进行了总结和展望。

1 铁电材料概述

铁电材料被发现距今已经超过 100 年, 最初, Valasek 在研究 Rochelle 盐(罗息盐)的压电性时, 发

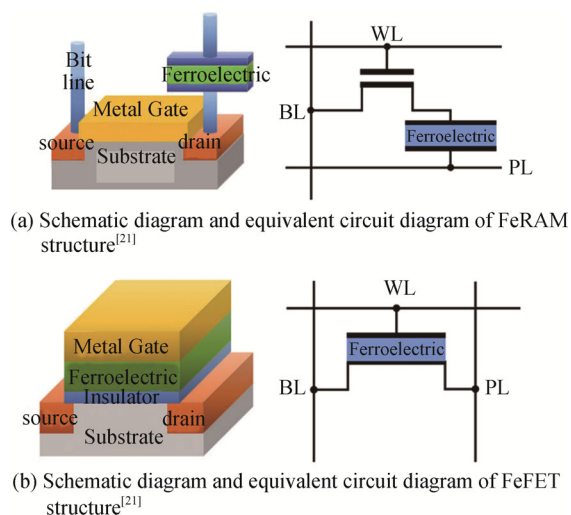


图 1 FeRAM 和 FeFET 的结构示意和等效电路

Fig. 1 Schematic diagrams and equivalent circuit models of FeRAM and FeFET structures

现罗息盐的压电特性对外加力和电场产生了非线性响应, 随后在 1920 年美国物理学会会议上报道了其具有永久极化和电滞现象, 这是首次被证实具有铁电性的材料^[35]。在接下来的几十年里, 人们陆续发现了以 BaTiO_3 为代表的 20 多种铁电材料^[36]。随着铁电理论以及薄膜材料制备技术的不断发展, 人们进一步预测并制备了二元^[37]或三元^[38]铁电超晶格结构, 以实现更高的铁电极化强度。随着研究的深入进行, 近年来具有铁电性的二维材料不断被发现, 同时, 科研人员也成功制备了多种二维铁电材料^[39]。

铁电材料具有自发极化效应, 有极轴而无对称中心。在 32 个晶体学点群中, 有 20 个点群在应力作用下能够产生极化效应, 表现出压电性^[40]。而在这 20 个点群中只有 10 个具有特殊的极性方向, 属于这些点群的晶体才有可能具有自发极化效应, 这 10 个点群被称为极性点群。属于极性点群的晶体, 其极化状态将随温度的变化而变化, 这种性质被称为热电性。铁电材料属于这 10 个点群的 1 个子集, 其典型特征是其自发极化取向随外加电场方向可以改变^[41]。

铁电材料的特征可以通过铁电材料的极化-电场(P - E)电滞回线来描述^[42]。如图 2 所示, 在点 A 处表示不同方向的极化占比相等, 铁电材料的剩余极化为零。在外电场作用下, 当施加大于正向矫顽电场($+E_c$)的外电场时, 电畴会发生翻转, 如过程 A~过程 D 所示, 极化方向沿着外电场方向有序排列形成单畴结构(点 D), 可表现出较大的自发极化强度 P_s , 该过程通常定义为铁电体的极化过程。在撤去外加电场后, 铁电体可以保持极化行为, 具备一定的剩余极化 P_r (点 E)。当施加小于负向矫顽电场($-E_c$)的外电场时, 电畴会再次发生翻转返回原来的

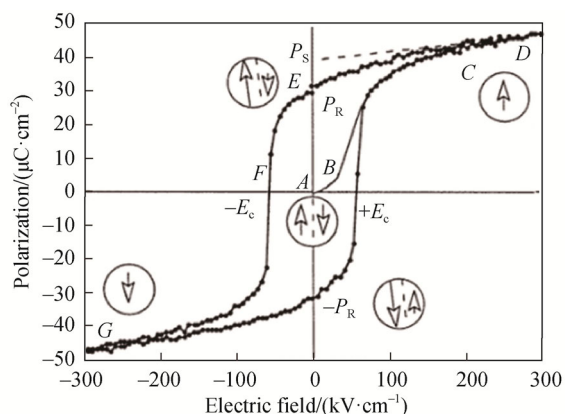


图 2 铁电材料的典型电滞回线^[33]

Fig. 2 Typical ferroelectric hysteresis loop^[33]

方向, 表现出相反的极化方向。在铁电材料中除了可以通过电场来调控极化状态以外, 还可通过应力、温度等外部条件来实现极化反转, 这为铁电材料提供了广泛的应用场景。

近些年来, 随着对铁电材料的研究不断深入, 铁电理论也在不断发展。在宏观理论中, 朗道理论是一种铁电相变热力学理论, 将对称性破缺引入相变理论, 并将它与序参量的变化联系起来^[43]。研究铁电相变时, 以自发极化为序参量开展研究。而在微观理论中, Cochran 等^[44]则在晶格动力学范围内对铁电相变进行了研究, 提出了铁电软膜理论。近些年来, 量子力学为研究铁电体的物理性质提供了新的见解, 通过引入 Berry 相位以及 Wannier 函数, 现代极化理论彻底改变了人们对这类材料的理解^[45]。

2 铁电畴壁

2.1 铁电畴壁简介

铁电畴壁是将具有不同晶体学、电子特征和极化方向的电畴进行分离的二维界面, 通常只有几个晶胞的厚度。由于畴壁处的局部空间对称性破坏, 铁电畴壁展现出丰富的物理和化学性质, 包括增强的电导率、非常规磁性和光学响应^[46-49], 使其在纳米电子学和光电子方面具有广阔的应用前景, 人们对其在传感器及存储器等领域已展开了广泛研究。在电场的作用下, 畴壁可以在材料中可控地创建、替换、删除和重新创建, 在未来纳米电子应用中表现出超高的灵活操作性^[50]。铁电畴壁根据极化的空间分布可分为 4 类(图 3): Ising 型(极化强度渐变)、Bloch 型(极化方向沿畴壁面内反转)、Néel 型(极化方向垂直于畴壁面反转)^[51-52]。

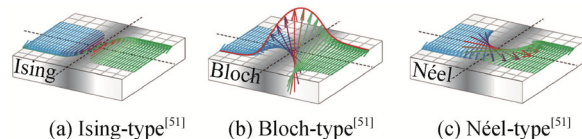


图 3 不同类型的畴壁

Fig. 3 Different types of domain walls

根据对不同铁电畴极化方向之间夹角划分, 畴壁可分为头尾相接的中性畴壁、头对头或尾对尾带电畴壁(倾角为 α)等, 如图 4 所示^[53]。带电畴壁处束缚电荷密度与 $2P_s \sin \alpha$ 成正比。在 180° 的中性畴壁中, 由于极化平行于畴壁面, 净束缚极化电荷为零^[54-55]。当 $\alpha=90^\circ$ 时, 头对头畴壁和尾对尾畴壁的表面束缚电荷几乎完全被相反符号的自由电荷

(电子、空穴或离子)补偿, 形成带电畴壁。头对头畴壁可以积累自由电子, 导致 n 型半导体的电导率上升^[56], 一般较尾对尾的 p 型半导体的电导率高出 3~4 个数量级^[57]。由于畴壁处离子极化产生的退极化

场, 带电畴壁能量高, 理论上是不稳定的, 但畴壁处积累的大量自由电荷可以屏蔽退极化场, 稳定带电畴壁状态。以上带电畴壁展现出大量新奇的输运特性, 人们对此已进行了广泛研究。

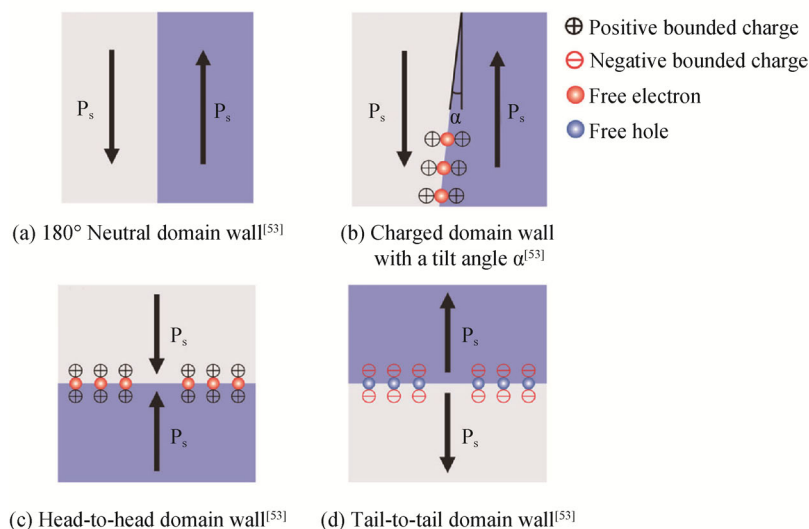


图 4 不同倾斜角度的畴壁示意

Fig. 4 Schematic illustrations of domain walls with different tilt angles

畴壁导电现象已在多种铁电材料中被发现, 且在不同材料中, 畴壁的导电性也存在差异; 其实即使在同一材料中, 由于畴壁的类型不同, 畴壁的导电性也完全不同。目前关于畴壁导电的机理解释主要有 3 种^[58], 如图 5 所示: 1) 畴壁处聚集(或排斥)点缺陷, 产生带间电子施主或受主态能级, 或者缺陷自身沿着畴壁的运动, 形成导电通道; 2) 畴壁的固有电子能带结构与体材料或点缺陷有所不同, 在畴壁内原子和相关的电子构型与体材料存在差异, 这种差异会在带隙内形成畴壁能级, 从而显著增加热激发的传导电子, 因此会增强畴壁的导电性; 3) 畴壁上由于极化不连续所引发的局部强电场会导致电子能带弯曲, 例如头对头畴壁的导带或尾对尾畴壁的价带可能与费米能级发生交叠, 从而显著增强畴壁的导电性。例如, 在对六方锰酸铟畴壁的导电性研究中, 人们发现尾对尾畴壁表现出较高的导电性和载流子浓度, 头对头畴壁的导电性较弱, 这是由于 ErMnO_3 为 p 型材料, 尾对尾畴壁导致空穴不断积聚, 可增强局部区域的导电性^[59–60], 而头对头畴壁导致空穴的耗尽, 抑制了局部的导电性^[49,55], 这证明了 ErMnO_3 带电畴壁的导电性是畴壁处能带结构弯曲的结果(图 5c)。同时在较大的电场下, 研究人员发现头对头畴壁导电性出现异常增强, 说明此时畴壁处的费米能级更靠近导带底, 产生了电子

的反型层, 从而使电子数目增多, 导电性增强^[61]。而在 h-RMnO_3 ($R = \text{Y, Er, Ho}$) 180° 中性畴壁导电性的研究中, 研究人员发现氧空位倾向于在中性畴壁处产生(图 5a), 证明中性畴壁的导电现象是其附近的缺陷积累导致的, 而非畴壁的本征特性^[62–64]。此外, 在对铁弹材料的畴壁导电性研究中, 研究人员发现畴壁处存在自发应变, 导致局部带隙减小(图 5b)^[65]。以上研究结果表明, 导电畴壁产生的机理丰富多样, 通过不同方式调控畴壁, 有望开发多功能铁电畴壁器件, 其具有广阔的应用前景。

2.2 畴壁的动力学研究

畴壁的运动特性对发展畴壁纳米电子学至关重要, 畴壁运动引起的畴壁形态和类型的变化, 可导致畴壁电导率的差异, 利用这一特性可以使铁电材料应用于忆阻器等领域。然而, 在非人为控制的条件下, 畴壁的运动可能带来不利影响。例如, 在铁电存储器中, 信息读取依赖于电畴的稳定性, 而畴壁的移动通常伴随电畴翻转, 这会影响存储器的保持特性。电畴通常可在电场、光场及力场等外加驱动力下发生翻转, 其极化翻转过程分为 3 个过程, 即新畴成核、畴正向生长和畴的横向扩张与合并^[66–68]。图 6a~图 6d 显示了铌酸锂单晶内电畴成核和生长过程, 电畴生长过程伴随着畴壁的运动。Sun 等^[69]通过原位透射电子显微镜直接观测了铌酸锂单晶内电

畴的生长及畴壁的移动过程,如图 6e 所示,随着施加电压的增大, LiNbO_3 单晶中的电畴以针状形态向对侧电极生长,针状畴的纵横比约为 6.3。在电畴生长过程中,畴壁也会随之移动。然而,当施加的电

压被移除后,由于强退极化场的作用,反转的电畴会退回原始的极化方向,导致所有电畴的极化方向又趋于一致,最终使畴壁消失。以上过程记录了在电场作用下发生的畴壁运动行为。

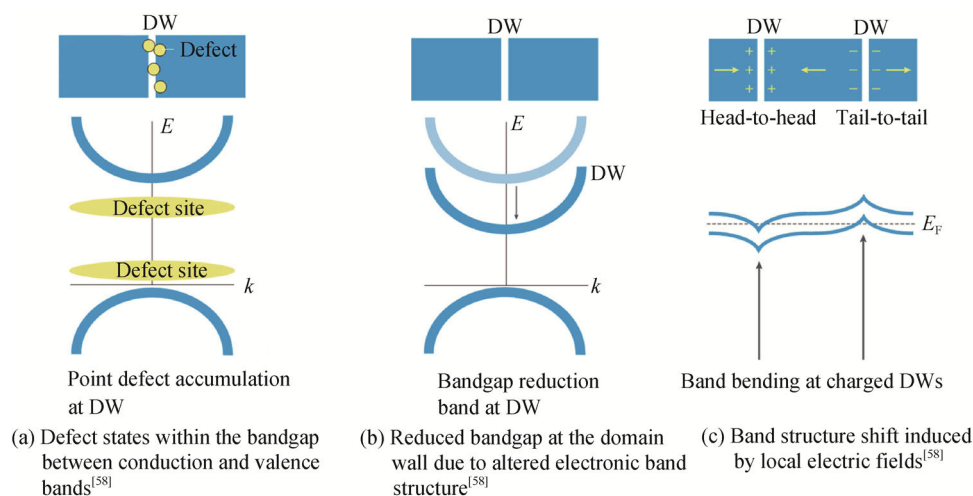


图 5 畴壁导电的 3 种机理解释示意图

Fig. 5 Schematic illustrations of three proposed mechanisms for domain wall conductivity

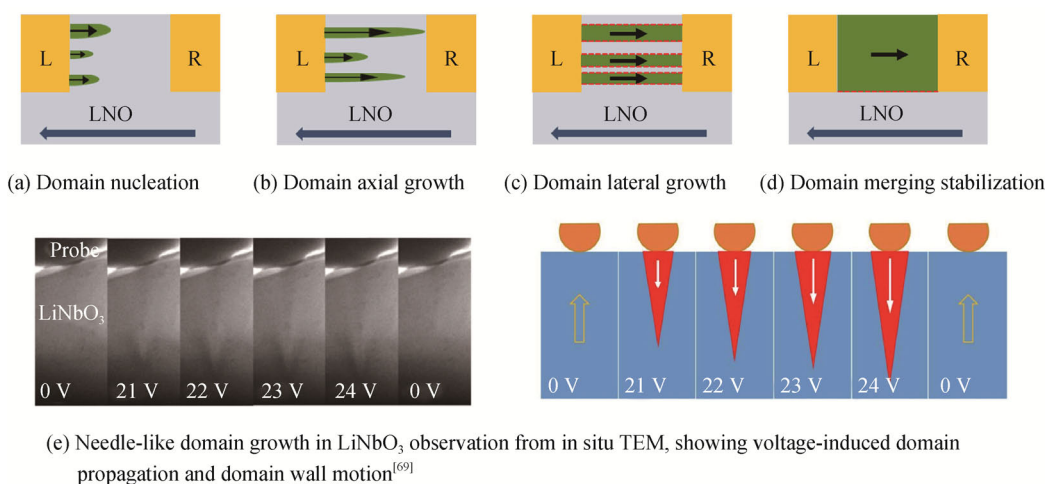


图 6 畴生长和畴壁移动示意图及 TEM 原位观察图像

Fig. 6 Schematic diagram of domain growth process and *in situ* TEM observation images

在低维纳米器件中,电畴翻转时间由反向电畴成核时间决定,而畴壁正向生长和畴壁的横向扩张时间相较电畴成核时间要短很多。电畴翻转速度通常与所施加的电场强度呈指数关系。Merz 定律常用于描述在低电场下畴壁的运动速度与所施加的电场之间的关系^[70]:

$$v(E) = v_0 \cdot \exp \left[- \left(\frac{E_a}{E} \right) \right] \quad (1)$$

式中, E_a 为激活场强,与铁电畴翻转的势垒 U 有关,且具有如下关系^[71]:

$$E_a = E_{C_0} \cdot \frac{U}{k_b \cdot T} \quad (2)$$

式中, E_{C_0} 为 0 K 下畴壁摆脱钉扎所需的临界电场; k_b 为玻尔兹曼常数; T 为开尔文温度。此外,畴壁运动也受到应力、温度及缺陷等的影响^[72-73]。应力可以改变电畴翻转的势垒高度^[74],从而改变 E_a ,最终阻碍或促进畴壁的运动^[74-75]。温度与激活场强呈反比例关系,在较高的温度激活场强降低,使电畴可以在更低的电场下翻转。缺陷是指材料内部或表面偏离理想晶体结构或化学成分的区域,通常包括载流子、离子缺陷、缺陷偶极子及缺陷复合体等。铁电材料中缺陷的类型和分布对畴壁运动和电畴翻转的行为有不同的影响。例如, Zhang 等^[76]的研究提出了缺陷限制电畴翻转速度模型,反映了在铁电

材料中由畴壁尺寸与缺陷钉扎效应竞争引起的畴壁翻转行为。

畴壁动力学研究揭示了畴壁运动的微观机制，其与畴壁存储器的性能具有直接关系。在翻转速度方面，电畴翻转的理论极限时间可达约 200 fs^[77]，然而，目前实验中表现出的翻转时间远远落后于理论极限，因此如何结合畴壁动力学调控材料缺陷的类型和密度，实现电畴的快速翻转，对铁电畴壁存储器具有重要影响。此外，畴壁动力学研究有利于量化缺陷对畴壁的钉扎强度及其热扰动响应，指导缺陷工程，保证数据长期稳定，同时避免过度钉扎导致的翻转电压漂移或疲劳失效，这些动力学机制的理解将使畴壁存储器兼具高速、低功耗和高可靠性的优势，成为下一代非易失性存储器的核心技术。

3 铁电畴壁存储器

自从铁电材料中畴壁的导电现象被发现以来，基于畴壁的半导体器件得到了研究人员的广泛关注，其中，利用导电畴壁进行信息存储的研究成为了关注重点。与传统 FeRAM 的破坏性电荷积分读出技术不同，畴壁存储的根本区别在于采用非破坏性电流读取方法，通过畴壁擦写来改变存储器电阻大小，通过畴壁电流识别所存储的逻辑信息。

铁电畴壁存储器不仅继承了传统 FeRAM 和 FeFET 的优点，同时又具有高密度集成的优势。但是如何可靠地产生和稳定地调控畴壁形状和大小成

为畴壁纳米电子器件的研究重点。为了精确地控制局域电畴尺寸和读取畴壁信息，研究者们提出了多种器件结构，包括在铁电薄膜表面采用共面电极^[78]、纳米岛结构^[79]、蚀刻形成的台面结构等存储单元^[80–82]，以及采用顶底电极的平行板电容结构^[83]等。共面电极结构存储单元内可通过铁电薄膜面内极化翻转并生成畴壁(如 LiNbO_3 或 BiFeO_3 薄膜上的双端电极写入方案)；纳米岛结构单元则通过受限的顶点畴产生可电场调控的带电畴壁^[84]；台面结构通过蚀刻形成微小柱状单元(如蚀刻 BiFeO_3 薄膜后结合顶部 Pt 电极形成的平行板电容)，可有效地形成稳定畴壁并屏蔽极化界面电荷。目前基于畴壁导电特性的铁电畴壁存储器研究主要集中在 BiFeO_3 和 LiNbO_3 2 种铁电材料中。 BiFeO_3 作为具有多极化态的铁电材料，其畴壁导电性被广泛用于各类畴壁存储器(通常采用蚀刻形成的台面结构或平面电极结构实现畴壁开关)。 LiNbO_3 单晶具有稳定的自发极化效应，且其易形成单畴模式有利于器件的稳定操作及控制，一致性较好，基于 LiNbO_3 单晶畴壁存储器表现出较大的应用潜力。

3.1 BiFeO_3 畴壁存储器

2017 年，来自澳大利亚新南威尔士大学的 Sharma 等^[25]通过在 BiFeO_3 薄膜上制备不对称的共面金属电极，演示了利用畴壁的非易失特性进行数据存储，器件结构如图 7a 所示。采用了导电原子力显

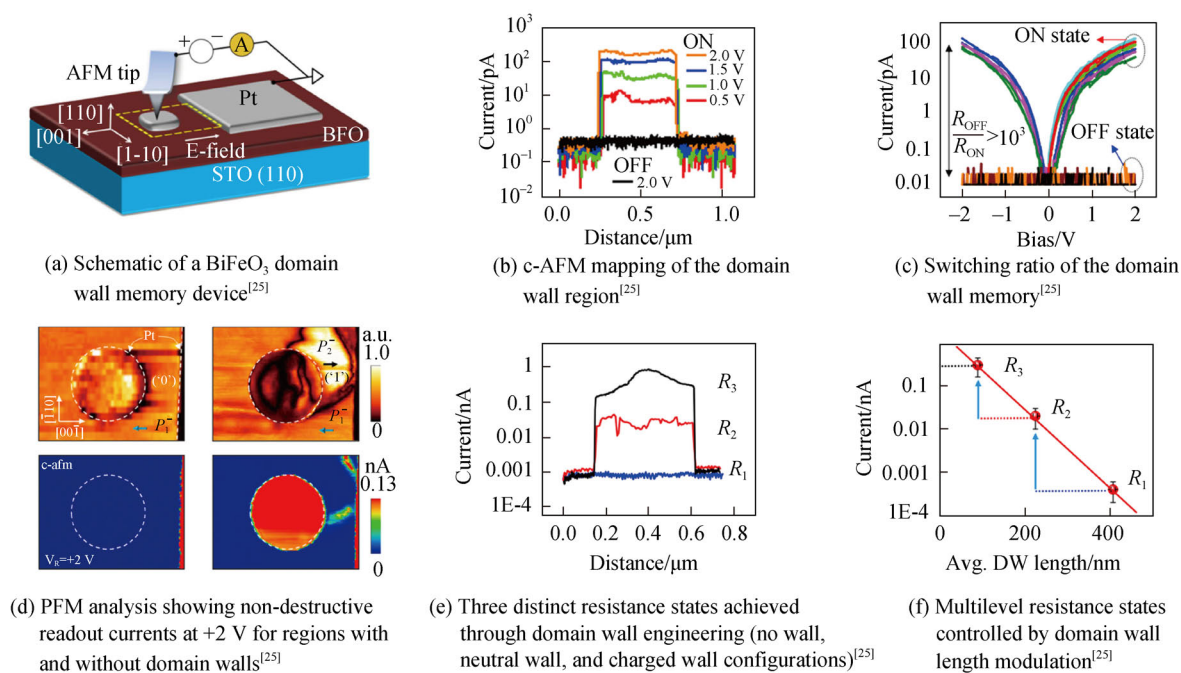


图 7 BiFeO_3 畴壁存储器原型器件

Fig. 7 Prototype device of BiFeO_3 domain wall memory

显微镜(c-AFM)测量了畴壁的导电性(图 7b), 且实现了高达 3 个数量级的开关比(图 7c)。该器件的电极间距和电极尺寸均控制在数百 nm 以内, 如图 7d 所示。在较低写入电压的作用下, 可在器件中注入或擦除一对 71° 带电畴壁, 通过擦写畴壁实现器件电阻状态的高低切换。随后, 在低读取电压下可进行非破坏性信息读取。此外, 通过构建不同类型的畴壁还可实现对于多种电阻态的调控, 如图 7e 所示。该研究团队进一步通过调整畴壁的长度来实现多级存储状态, 图 7f 显示了通过控制畴壁长度实现了 3 个不同电阻态。

随后, Yang 等^[85]采用脉冲激光沉积法制备了 BiFeO_3 薄膜, 并在薄膜表面成功构建了纳米岛阵列, 如图 8a 所示。在纳米岛中发现了象限涡旋畴和中心型畴 2 种状态, 分别测量了 2 种畴状态下的传导特性(图 8b)。2 种畴状态下的传导特性显示出明显的差异, 且通过电场可以可逆地操纵这 2 种拓扑畴状态, 实现了在大于 10^3 开关比的情况下读出电

流和长达 12 d 的信息保持时间, 如图 8c 所示。该结果为 BiFeO_3 中一维拓扑畴在高密度非易失性畴壁存储器方面的发展提供了可能性。在此研究基础上, 该团队在 BiFeO_3 薄膜纳米岛上进一步制造了拓扑畴结构的畴壁存储器^[86], 其中, 拓扑畴的发散和收敛状态可以反复切换, 发散态为低电导率的尾对尾畴壁; 相反, 收敛状态为高电导率的头对头畴壁。该畴壁存储器的 $I-V$ 曲线表现出双极开关特性(图 8c), 且开关比高达 10^4 , 保持时间长达 10^6 s, 疲劳次数可达 10^8 次。不同于纳米岛结构, Jiang 等最早于 2014 年公布了一项专利技术, 在 BiFeO_3 薄膜表面通过微纳加工的方法制备了纳米级的电极间隙, 成功获得了表面型畴壁存储器。如图 8d 所示, 通过电畴成像, 证实了在电场下可以控制器件电极之间纳米级的电畴翻转, 并测试了器件的开关特性(图 8e)^[87]。实验结果显示, 相较于当时普遍的 pA 级畴壁电流, 该工作成功实现了 nA 级别的畴壁电流, 以及超过 10^7 次的耐久性。

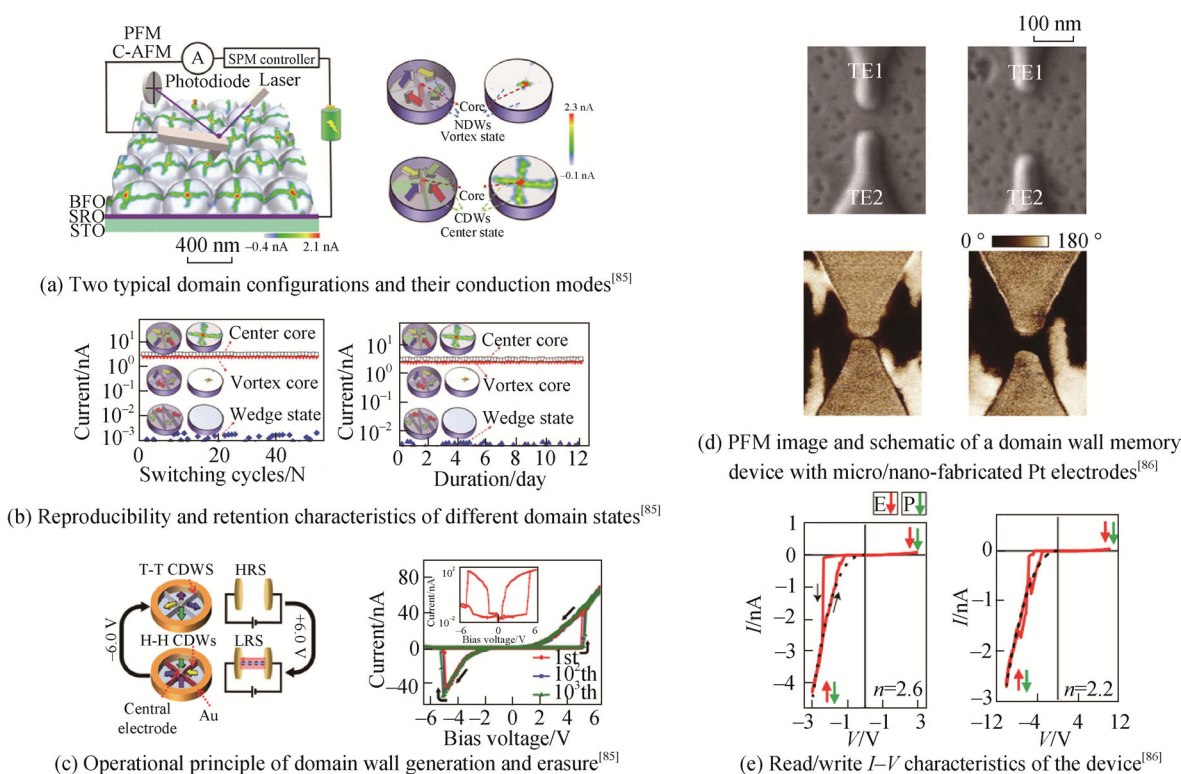


图 8 BiFeO_3 畴壁存储器电学可靠性测试

Fig. 8 Electrical reliability testing of BiFeO_3 domain wall memory

2018 年, Ma 等^[88]在 $(\text{La}, \text{Sr})\text{MnO}_3$ 上通过脉冲激光沉积的方法制备了自组装的 BiFeO_3 纳米岛, 并在纳米岛上发现了 4 瓣畴结构, 如图 9a 所示。利用 c-AFM 可以对纳米岛上的畴壁进行操控, 从而形成

不同的畴壁结构模式, 能可控地形成不同类型的畴壁, 根据不同畴壁类型的导电性差异在纳米岛中实现了多态存储。在 BiFeO_3 纳米岛畴壁存储器的单器件研究基础上, 该团队继续开展了 BiFeO_3 纳米岛畴

壁存储阵列研究, 如图 9b 所示, 成功在 1 个纳米岛上通过电场控制畴壁重构, 实现了带电和中性畴壁之间的可逆控制^[89]。图 9c 演示了通过畴壁重构实现的可编程逻辑门(如 NOT、OR、AND)和逻辑电路, 并且比较了 CMOS 电路和畴壁逻辑电路的操作方法, 提出了将畴壁逻辑门和电路集成到纳米岛阵列

中的方案, 如图 9d 所示。2 个晶体管以串联或并联的方式连接可以形成基本的逻辑门, 并且可以通过逻辑门之间的适当连接形成各种逻辑模块或电路。后续基于不同类型的纳米岛畴壁对太赫兹红外波的吸收能力不同进一步开发了基于纳米岛畴壁的红外显示器^[90], 展现了畴壁在新型光电子领域应用的潜力。

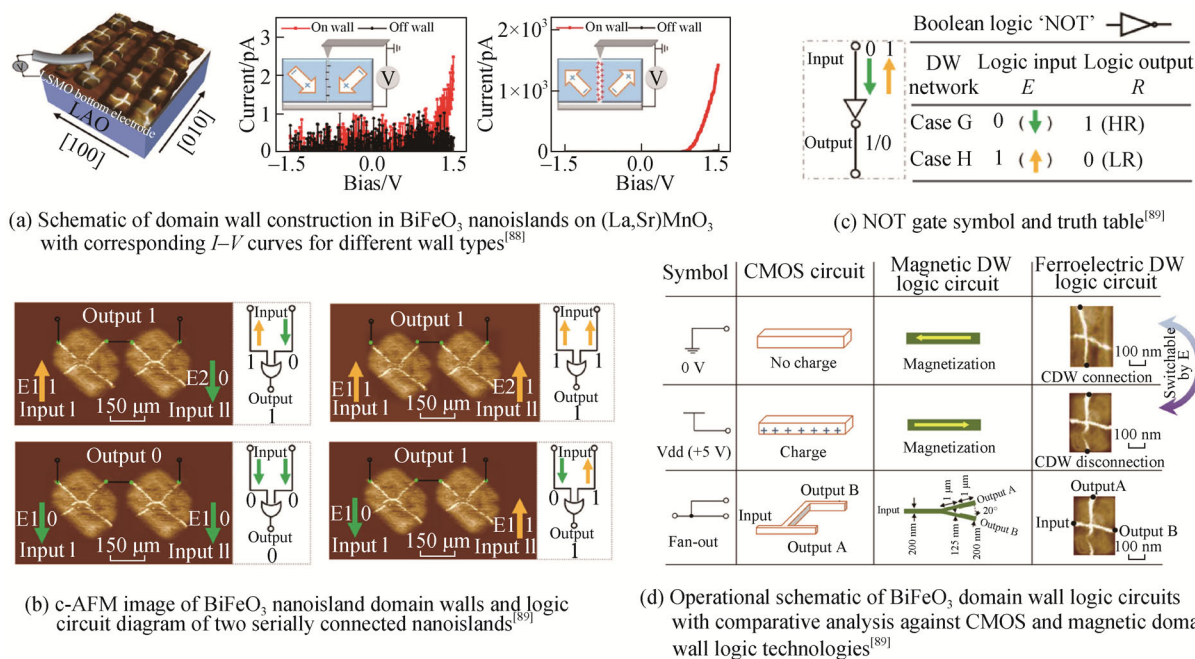


图 9 BiFeO₃ 薄膜纳米岛畴壁构建示意图及逻辑电路实现

Fig. 9 Schematic illustration of nanoscale domain wall engineering in BiFeO₃ thin-film nanoislands and logic circuit implementation

3.2 LiNbO₃ 畴壁存储器

尽管 BiFeO₃ 畴壁存储器已完成了原型器件的演示且实现了较优异的非易失信息存储特性, 但 BiFeO₃ 存在畴壁结构复杂、畴壁难以精确控制、薄膜大面积制备困难、以及外延薄膜生长温度过高、难以与 CMOS 工艺兼容等问题。而 LiNbO₃ 单晶材料的居里温度较高(1100~1200 °C), 并且具有单畴特性, 因此器件一致性较好, 这有利于对于畴壁的稳定操作及控制。此外, 硅基铌酸锂单晶薄膜的制备技术已趋于成熟, 近年来, 山东大学的胡卉等在铌酸锂与硅衬底的离子键合技术方面做了很多研究, 也为铌酸锂器件与 CMOS 工艺的兼容提供了可能^[91–94]。离子键合技术是通过提前在铌酸锂单晶表面离子注入一定深度的 He 离子或者 H 离子, 之后在铌酸锂表面生长 1 层氧化硅黏附层, 将有氧化硅黏附层的铌酸锂与有氧化硅黏附层的硅衬底在一定温度下(约 350 °C)进行键合。键合之后将样品放入退火炉中进行退火处理, 随着 He 离子或者 H 离子变为 He 气或者 H₂ 气逸出, 被氧化硅黏附在硅衬底的一层薄

膜铌酸锂即被分割出来。后续通过化学机械抛光技术进行表面抛光, 最终使铌酸锂薄膜达到目标厚度, 这一技术为 LiNbO₃ 器件从实验室原型走向产业化奠定了基础。

随着市场上大面积 LiNbO₃ 单晶制备技术趋于成熟, 近年来关于铁电畴壁存储器的研究开始转向 LiNbO₃ 单晶材料^[95–100]。2020 年, Jiang 等^[29]在 LiNbO₃ 单晶薄膜表面上通过刻蚀形成 LiNbO₃ 台面状存储单元, 然后在存储单元两侧制备电极, 在电极之间施加电场控制台面电畴的翻转, 而衬底作为参考电畴层。在电场作用下, LiNbO₃ 台面电畴与衬底电畴形成平行或反平行结构, 从而实现对上、下电畴间导电畴壁的生成与擦除的可逆控制, 实现了高阻态和低阻态的切换。另外, 该团队发现 LiNbO₃ 侧面与金属电极接触区域存在非常薄的界面层, 界面层中的电畴是易失的, 只有当读取电压高于起始电压(V_{on})时才能读取导电畴壁电流。该界面层可以作为存储器的天然选通管, 适用于存储器三维堆叠, 具体的工作原理如图 10a 所示。该研究团队成功制

备了夹持形和孤岛形 2 种台面状存储单元, 并通过电压电力显微镜(PFM)电畴成像表征, 观察到了不同电压下畴壁的生成与擦除情况, 如图 10b。电学性能测试结果表明, 孤岛型存储单元的矫顽电场显著低于夹持型。如图 10c 所示, 存储单元实现了 μA 级别的畴壁电流和二极管的单向导通特性。该研究团队还进一步对存储器的疲劳性能和写入速度进行了验证, 结果表明, 存储器疲劳次数可达 10^8 次, 并且在 7 V 的写入电压下, 写入速度可达到几十 ns 的级别, 该团队在随后的工作中进一步开展了畴壁存储器的阵列集成研究, 图 10d 显示了 4×4 交叉棒存储结构的 SEM 照片^[101], 存储阵列各存储单元的

读写操作表现出良好的一致性, 展示了集成高密度存储阵列的潜力。铌酸锂畴壁存储器天然的选通管特性^[23]也为铁电畴壁存储器的三维集成提供了可能性, Sun 等^[102]于 2023 年提出铁电畴壁存储器三维堆叠的一种策略, 通过在 LiNbO_3 薄膜的表面上制造周期性的深孔和沟槽, 随后使用金属(BL)填充垂直通孔, 水平沟槽交替堆叠金属层(WL)和绝缘体层, 如图 10e 所示, 最终可在寻址的字线和位线之间创建和擦除畴壁导电通道。通过这种方式, 三维堆叠的铁电畴壁存储器具有足够高的存储容量, 理论上将远远大于 DRAM 的存储密度, 同时操作速度和疲劳性能将远优于 3D NAND 技术。

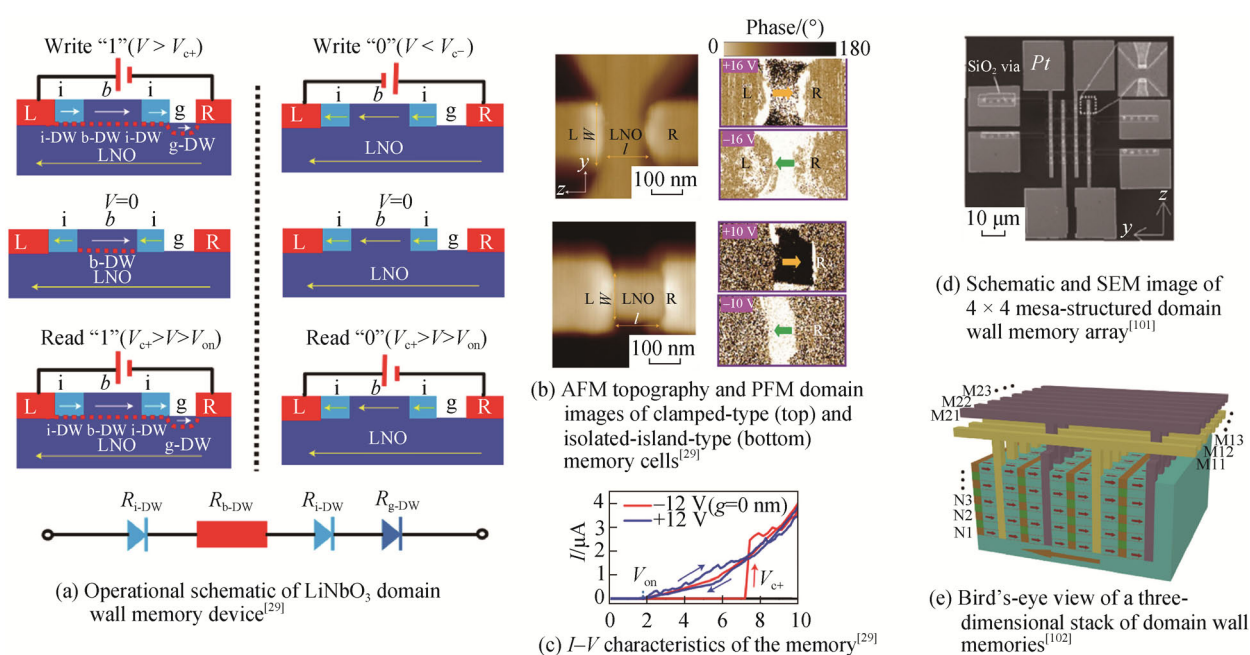


图 10 自带选择管的 LiNbO_3 铁电单晶畴壁存储器

Fig. 10 LiNbO_3 ferroelectric single-crystal domain wall memory with embedded selector

同期, 该团队在 LiNbO_3 两端畴壁存储器基础上, 采用微纳加工技术制备了栅电极, 构建了三端 LiNbO_3 全铁电效应晶体管, 如图 11a 所示^[103]。导电畴壁在漏极(D)、栅极(G)和源极(S)之间可反复生成和擦除, 并通过 PFM 电畴成像表征了导电畴壁在源、漏和栅级之间的形成(图 11b)。图 11c 显示了源漏间畴壁电流随栅电压的变化关系图, 可实现类似于传统的 n 型场效应管功能。随后, 该团队在该三端器件的基础上利用界面层效应构筑了多个二极管, 如图 11d 所示^[69]。通过组合多个畴壁二极管, 成功地实现了非门(NOT)、异或门(NOR)和与非门(NAND)等逻辑功能(图 11e), 未来可应用于铁电畴壁存算一体化器件, 该研究成果为高可靠性、低功耗

耗存储器在计算领域的应用提供了前沿解决方案, 推动了未来畴壁纳米电子学的发展。

除此之外, 研究人员还将畴壁导电性应用于忆阻器。2020 年, 美国内布拉斯加大学 Chaudhary 等^[104]通过在铌酸锂表面集成石墨烯电极, 开发出新型畴壁器件。该团队首先采用超矫顽电压(>32 V)调控畴壁密度, 实现了 4 个数量级的电阻切换(图 12a)。+31 V 电压脉冲引发局域成核, +32 V 促使畴扩张, +33~34 V 畴开始合并, 当电压升至+37 V 时形成极化方向向下的单畴态, 而施加-10 V 电压可逆切换至高阻态, 然而这种方法存在功耗过高的问题。为解决这一问题, 该团队创新性地引入亚矫顽电压($-4 \sim 8$ V)调控机制。实验表明, 在预先施加+33 V

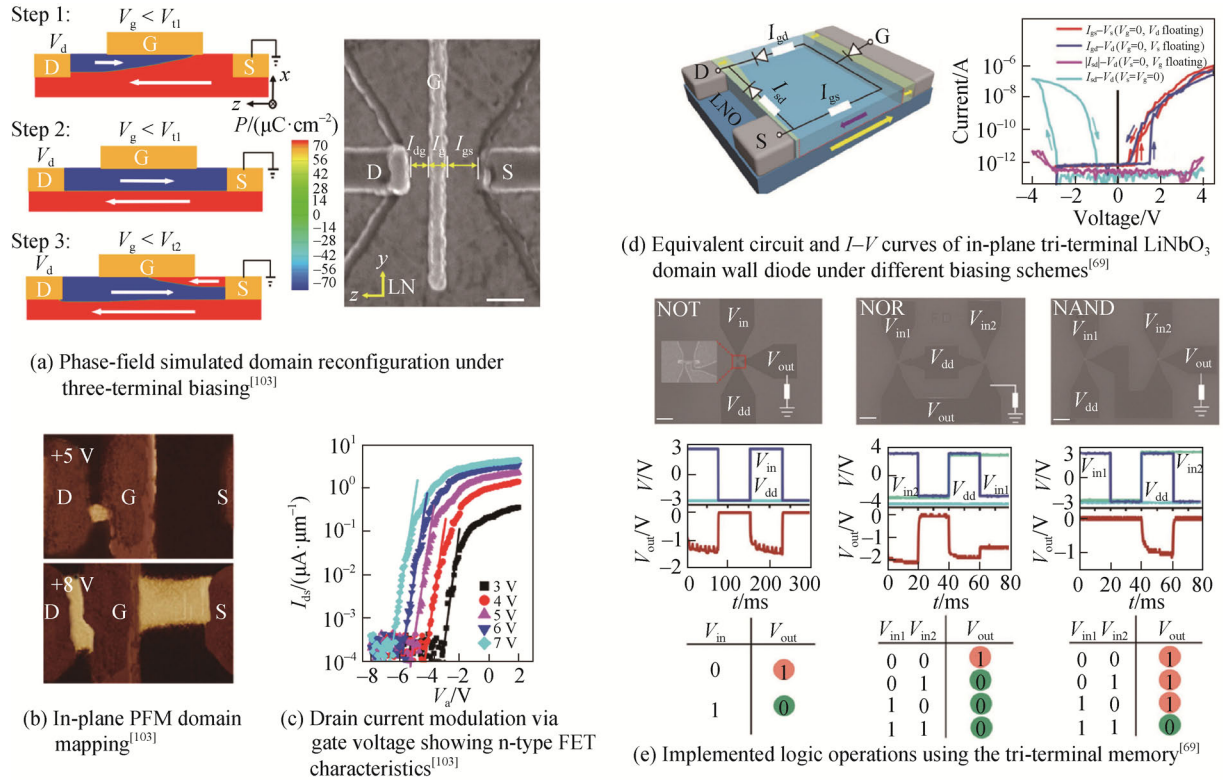


图 11 基于铌酸锂的全铁电畴壁晶体管

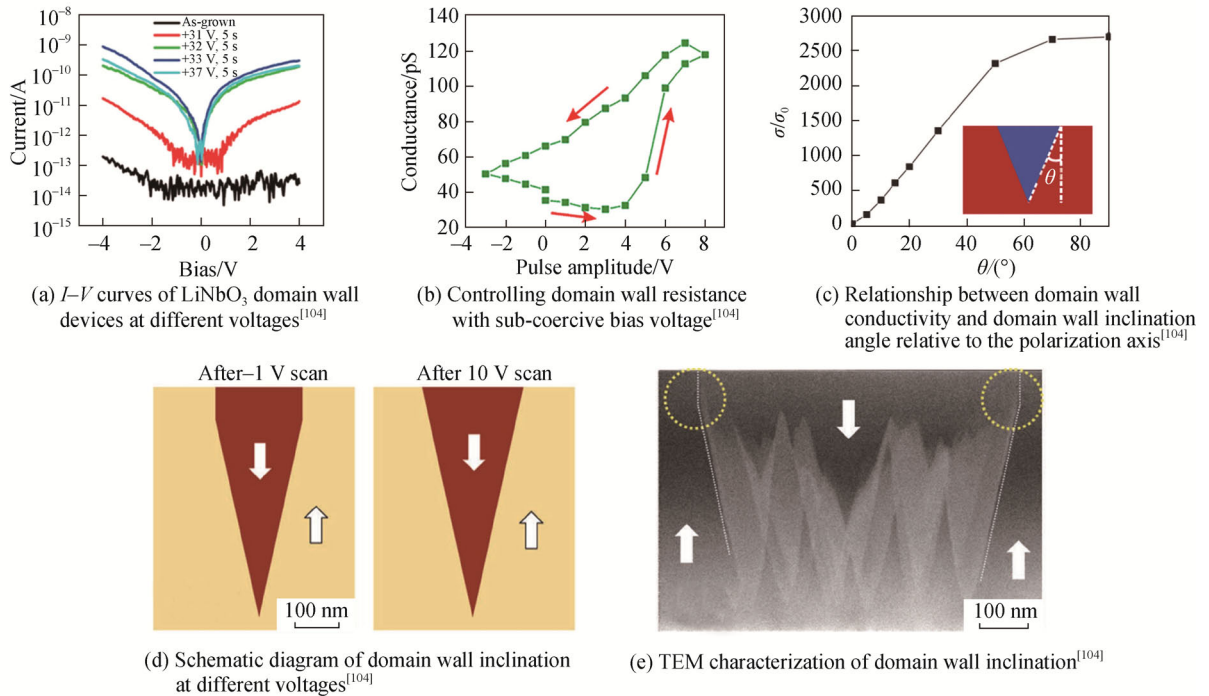
Fig. 11 All-ferroelectric domain wall transistor in LiNbO_3 

图 12 在表面引入石墨烯调控铌酸锂畴壁电导率成功实现畴壁忆阻器

Fig. 12 Graphene-mediated domain wall conductivity modulation in LiNbO_3 enabling successful realization of domain-wall memristors

生成畴壁后,通过调节亚矫顽电压幅值和脉冲时间,可实现 1~2 个数量级的可逆电导变化,且基本不改变电畴状态(图 12b),这种电阻变化源于亚矫顽电压

诱导的畴壁弯曲和界面自由电荷积累(图 12c~图 12e),该研究通过亚矫顽机制显著降低了器件功耗,为发展高精度多位存储和神经形态计算器件提供了重要

技术路径。此外, Kampfé 等^[105]利用相场模拟(图 13)发现铌酸锂畴壁倾角随写入电压的增大而减小, 进而导致畴壁电导率下降; 基于此, 该团队在铌酸锂薄膜中通过精确地控制写入电压来调控畴壁倾角,

实现了电导率连续可调、高开关比($>10^7$)的非易失性多态存储器, 其超低开关电压波动(0.1%)和 10 年的数据保持时间为高精度神经形态器件奠定了基础。

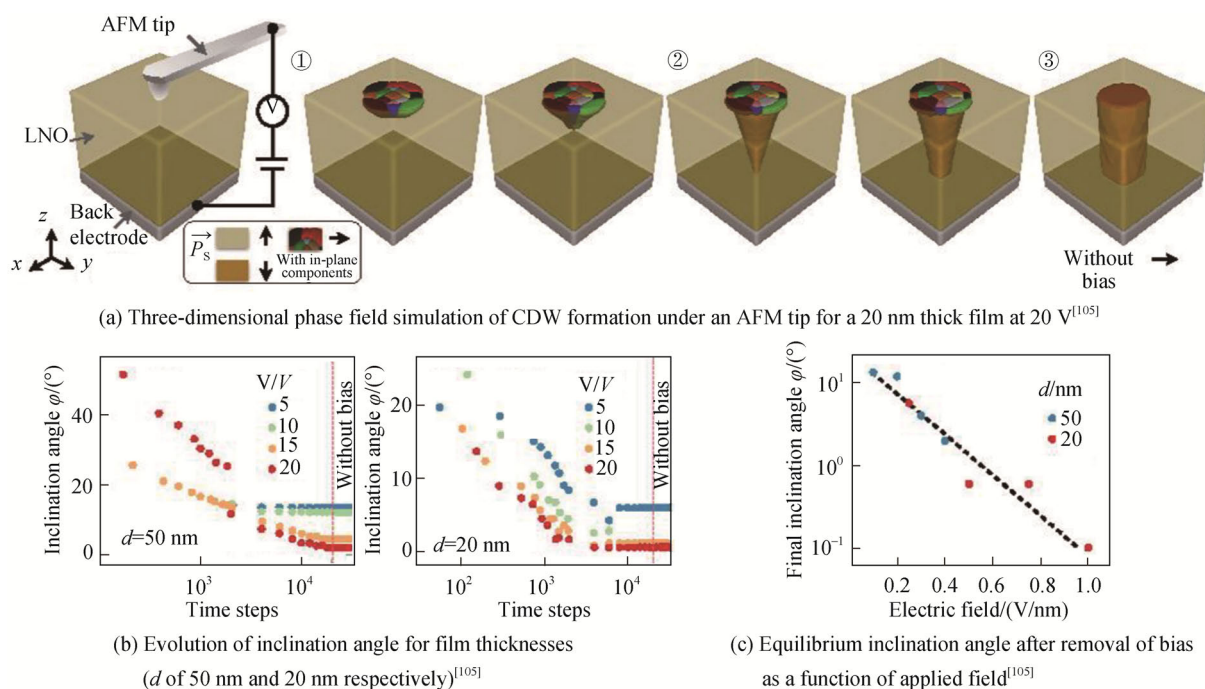


图 13 相场模拟 LiNbO₃ 畴壁倾角随写入电压的变化

Fig. 13 Phase-field simulation results showing the variation of domain wall tilt angle in LiNbO₃ with writing voltage

3.3 其他铁电畴壁存储器

除了 BiFeO₃ 和 LiNbO₃ 以外, 基于 BaTiO₃^[106–109]、 α -In₂Se₃^[110]、ScGa₂N^[111] 及 HfO₂^[112] 的铁电畴壁存储器也取得了相应的进展。例如, Sun 等^[106]将 BaTiO₃ 薄膜转移到硅基底上, 利用应变松弛和去极化场的协同效应, 成功地实现了面内多畴结构的调控, 并展示了导电畴壁的可控创建与擦除功能, 为硅基非易失性畴壁存储器的发展提供了新策略。

除了直接利用畴壁的高导电通道作为信息载体以外, 另一类基于量子隧穿效应的畴壁存储器也受到了广泛的关注^[113–116]。该畴壁存储器的工作原理是头对头畴壁因晶格失配积累氧空位(Vo²⁺), 形成局域二维电子气, 该电子气受量子限域效应影响, 在畴壁界面处分裂为离散能级。当施加电压调控畴壁位置时, 离散能级随畴壁移动而发生偏移。当离散能级与费米能级 E_F 对齐时, 发生共振隧穿, 电子穿越势垒概率剧增, 器件进入低阻态(逻辑 1); 能级错位时隧穿被抑制, 器件保持高阻态(逻辑 0)。读操作仅施加微小电压检测隧穿电流, 不扰动畴壁位置, 因此该器件实现了非破坏性读取方式。但目前基于

量子隧穿的铁电畴壁存储器面临畴壁可控性和稳定性较差的问题, 如何在纳米精度精确调控畴壁位置, 抑制畴壁位置的漂移有待进一步的研究。近年来, Liu 等^[117]在原子尺度上实现了带电畴壁的精准操控, 为实现量子隧穿的畴壁器件中带电畴壁的稳定创建和控制提供了新思路。

4 总结与展望

过去 10 年, 铁电存储器研究主要集中于铁电随机存储器(FeRAM)和铁电场效应晶体管(FeFET)等器件。相比之下, 基于铁电畴壁的新型存储器采用非破坏性电流读出技术, 具有低功耗、高读写速度和优异耐久性等优势, 为下一代存储技术提供了新的思路。表 1 总结了目前新型存储器及 FeRAM、FeFET 和铁电畴壁存储器的性能之间的对比。本文回顾了铁电材料的基础物性, 阐述了铁电畴壁的导电机理与畴壁形成动力学, 总结了包括 LiNbO₃ 和 BiFeO₃ 等在内的新型铁电畴壁存储器的国内外最新研究进展。铁电畴壁存储器凭借亚纳米级厚度的导电畴壁界面, 实现了极高的

信息存储密度、纳秒量级读写速度、近乎无限的循环耐疲劳性能等，展示了其在超高密度存储和逻辑计算中的独特优势。尽管目前在铁电畴壁存储器的原型器件演示上已取得显著进展，但要将这一新型存储技术推向产业化仍面临诸多问题亟待解决，包括：

表 1 目前商业存储器件和新兴存储器件性能参数^[102]
Table 1 Benchmark performance comparison of various emerging memory devices^[102]

	MRAM	RRAM	PCRAM	FeRAM	FeFET	FTJ	DWRAM
Cell area(F^2)	6–20	4–10	4–19	6–35	5–10		4
Non-volatility	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Write time/ns	<20	<100	<100	<10	<100	<100	<10
Read time/ns	<10	<10	<10	<10	<50	<50	<10
On/off ratio	>2	>10	>10 ³		10 ⁵ –10 ⁶	>10	10 ⁵ –10 ⁶
Retention/a	>10	>10	>10	>10	>10	>10	>10
Eudurance	>10 ¹²	>10 ⁶	>10 ¹⁰	>10 ¹⁴	>10 ⁸	>10 ⁸	>10 ¹⁰

1)尽管畴壁导电性已被实验证实并展现出许多新的输运特性，但目前的理论模型尚不能完全解释这些复杂的输运行为，特别是在原子尺度上关于畴壁处载流子输运路径以及缺陷态影响的认知仍显不足。这亟须通过更系统的实验表征手段(如原位扫描探针技术等)结合第一性原理计算和相场模拟等多尺度研究方法，深入揭示畴壁导电的物理本质，为开发基于导电畴壁的新型存储器件奠定了理论基础。

2)通过应变工程、缺陷工程和特定电脉冲设计的协同调控，可实现对畴壁运动的控制。对于应变工程，畴壁处的晶格畸变或施加的外加应力会影响电畴翻转的激活场强 E_a 及畴壁的导电性^[82]。对于缺陷，一方面，缺陷的种类繁多，且难以进行精确调控^[118]；另一方面，缺陷会对畴壁起到一系列复杂的影响，包括畴壁的宽度、畴壁的运动速度以及畴壁的翻转方式等^[76,119]。此外，缺陷偶极子通过诱导局部晶格畸变降低畴壁能量，对畴壁稳定性起到关键的调控作用^[120–122]。尽管缺陷与畴壁的相互作用已经被多次研究，但如何将繁多的实验观测结果纳入多尺度建模方法以准确预测畴壁行为和改善畴壁运动的稳定性仍面临重大挑战。畴壁运动也可以通过特定电脉冲进行控制，例如，通过控制脉冲电压的幅度和持续时间可在 PZT 铁电薄膜中精确控制畴壁的成核和运动^[123]。目前，如何通过应变工程、缺陷工程和特定电脉冲设计的协同作用实现对畴壁运动的精确调控，仍需深入研究。这一问题的解决对于开发高速、高稳定性的畴壁存储器具有重要意义。

3)铁电畴壁存储器在理论上具有三维集成的巨

大潜力，但目前仍面临诸多技术挑战。在BiFeO₃材料中，虽然利用自组装纳米岛有利于CMOS工艺的兼容性，然而较高的薄膜沉积温度、较低的畴壁电流以及较差的疲劳特性和保持特性限制了其进一步的发展。相较于BiFeO₃材料，单畴特性的LiNbO₃材料有利于实现畴壁的稳定操作及控制，其具有的天然选择管功能、优异的耐疲劳特性、纳秒量级读写速度等优势为实现高密度、高速和高可靠性的存储阵列提供了可能。同时随着微纳加工技术的不断成熟，LiNbO₃畴壁器件正逐步向纳米级微缩工艺演进^[33]。但目前仍有许多问题亟待解决，例如LiNbO₃单晶的深刻蚀工艺尚未成熟，LiNbO₃单晶制备成本居高不下等^[102]。值得期待的是，随着原子层刻蚀技术的发展及大尺寸LiNbO₃单晶制备工艺的不断完善，LiNbO₃铁电畴壁器件三维集成有望在近期取得突破性进展。

(第二十七届中国科协年会学术论文)

参考文献:

[1] MO P H, LI C, ZHAO D, et al. Accurate and efficient molecular dynamics based on machine learning and non von Neumann architecture[J]. NPJ Comput Mater, 2022, 8:107.

[2] LANZA M, SEBASTIAN A, LU W D, et al. Memristive technologies for data storage, computation, encryption, and radio-frequency communication[J]. Science, 2022, 376(6597): eabj9979.

[3] WALI A, DAS S. Two-dimensional memtransistors for non-von Neumann computing: Progress and challenges[J]. Adv Funct Mater, 2024, 34(15): 2308129.

[4] CHEEMA S S, SHANKER N, HSU C H, et al. One nanometer HfO₂-based ferroelectric tunnel junctions on silicon (adv. electron. mater. 6/2022)[J]. Adv Electron Mater, 2022, 8(6): 2270025.

[5] SHAO M H, ZHAO R T, LIU H F, et al. Challenges and recent advances in HfO₂-based ferroelectric films for non-volatile memory applications[J]. Chip, 2024, 3(3): 100101.

- [6] 辛天骄, 王怡炜, 高兆猛, 等. 氧化钪基铁电电容的唤醒-疲劳效应与相结构演变[J]. 电子显微学报, 2024, 43(3): 277–282.
XIN Tianjiao, WANG Yiwei, GAO Zhaomeng, et al. J Chin Electron Microsc Soc, 2024, 43(3): 277–282.
- [7] OKUNO J, KUNIHITO T, KONISHI K, et al. 1T1C FeRAM memory array based on ferroelectric HZO with capacitor under bitline[J]. IEEE J Electron Devices Soc, 2021, 10: 29–34.
- [8] BHATTI S, SBIAA R, HIROHATA A, et al. Spintronics based random access memory: A review[J]. Mater Today, 2017, 20(9): 530–548.
- [9] IELMINI D, WONG H P. In-memory computing with resistive switching devices[J]. Nat Electron, 2018, 1: 333–343.
- [10] ZHANG W, MAZZARELLO R, WUTTIG M, et al. Designing crystallization in phase-change materials for universal memory and neuro-inspired computing[J]. Nat Rev Mater, 2019, 4: 150–168.
- [11] TYBELL T, PARUCH P, GIAMARCHI T, et al. Domain wall creep in epitaxial ferroelectric $\text{PbZr}_{0.2}\text{Ti}_{0.8}\text{O}_3$ thin films[J]. Phys Rev Lett, 2002, 89(9): 097601.
- [12] STOLICHNOV I, RIESTER S W E, TRODAHL H J, et al. Non-volatile ferroelectric control of ferromagnetism in (Ga, Mn)As[J]. Nat Mater, 2008, 7: 464–467.
- [13] JANG H W, ORTIZ D, BAEK S H, et al. Domain engineering for enhanced ferroelectric properties of epitaxial (001) BiFeO_3 thin films[J]. Adv Mater, 2009, 21(7): 817–823.
- [14] MUELLER S, MUELLER J, SINGH A, et al. Incipient ferroelectricity in Al-doped HfO_2 thin films[J]. Adv Funct Mater, 2012, 22(11): 2412–2417.
- [15] SILVA J P B, ALCALA R, AVCI U E, et al. Roadmap on ferroelectric hafnia- and zirconia-based materials and devices[J]. APL Mater, 2023, 11(8): 089201.
- [16] ZHENG Y Z, ZHAO Q, GAO Z M, et al. Polarization degradation and recovery strategies of hafnia-based ferroelectric capacitors after thermal budget in back-end of line process[C]//2024 IEEE International Electron Devices Meeting (IEDM). San Francisco, CA, USA. IEEE, 2024: 1–4.
- [17] LUO Q, GONG T C, CHENG Y, et al. Hybrid 1T e-DRAM and e-NVM Realized in One 10 nm node Ferro FinFET device with Charge Trapping and Domain Switching Effects[C]//2018 IEEE International Electron Devices Meeting (IEDM). San Francisco, CA, USA. IEEE, 2018: 2.6.1–2.6.4.
- [18] JO S, LEE H, CHOE D H, et al. Negative differential capacitance in ultrathin ferroelectric hafnia[J]. Nat Electron, 2023, 6: 390–397.
- [19] YANG J G, LUO Q, XUE X Y, et al. A 9Mb HZO-based embedded FeRAM with 1012-cycle endurance and 5/7ns read/write using ECC-assisted data refresh and offset-canceled sense amplifier[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA. IEEE, 2023: 1–3.
- [20] RAMASWAMY N, CALDERONI A, ZAHURAK J, et al. NVDRAM: A 32Gb dual layer 3D stacked non-volatile ferroelectric memory with near-DRAM performance for demanding AI workloads[C]//2023 International Electron Devices Meeting (IEDM). San Francisco, CA, USA. IEEE, 2023: 1–4.
- [21] PARK J Y, CHOE D H, LEE D H, et al. Revival of ferroelectric memories based on emerging fluorite-structured ferroelectrics[J]. Adv Mater, 2023, 35(43): 2204904.
- [22] XU R J, KARTHIK J, DAMODARAN A R, et al. Stationary domain wall contribution to enhanced ferroelectric susceptibility[J]. Nat Commun, 2014, 5: 3120.
- [23] ROJAC T, URSIC H, BENCAN A, et al. Mobile domain walls as a bridge between nanoscale conductivity and macroscopic electromechanical response[J]. Adv Funct Mater, 2015, 25(14): 2099–2108.
- [24] YANG M M, BHATNAGAR A, LUO Z D, et al. Enhancement of local photovoltaic current at ferroelectric domain walls in BiFeO_3 [J]. Sci Rep, 2017, 7: 43070.
- [25] SHARMA P, ZHANG Q, SANDO D, et al. Nonvolatile ferroelectric domain wall memory[J]. Sci Adv, 2017, 3(6): e1700512.
- [26] CHEN Z H, PENG R H, WANG Y W, et al. Grating coupler on lithium niobate thin film waveguide with a metal bottom reflector[J]. Opt Mater Express, 2017, 7(11): 4010.
- [27] WANG C, ZHANG M, STERN B, et al. Nanophotonic lithium niobate electro-optic modulators[J]. Opt Express, 2018, 26(2): 1547–1555.
- [28] LI J H, YAO H, DENG J Y, et al. Electro-optic tunable optical filter based on long-period waveguide grating in lithium niobate on insulator with absorption ribbons[J]. Opt Express, 2023, 31(19): 30658–30668.
- [29] JIANG A Q, GENG W P, LV P, et al. Ferroelectric domain wall memory with embedded selector realized in LiNbO_3 single crystals integrated on Si wafers[J]. Nat Mater, 2020, 19(11): 1188–1194.
- [30] HU D, SHEN B W, SUN J, et al. Cryogenic ferroelectric LiNbO_3 domain wall memory[J]. IEEE Electron Device Lett, 2024, 45(3): 380–383.
- [31] SUN J, LI Y M, ZHANG B Y, et al. High-power LiNbO_3 domain-wall nanodevices[J]. ACS Appl Mater Interfaces, 2023, 15(6): 8691–8698.
- [32] FAN H C, SHEN B W, ZHANG W D, et al. Adjustable onset voltages of embedded LiNbO_3 domain-wall selectors for large-scale memory integration[J]. Appl Phys Lett, 2024, 124(11): 112902.
- [33] LIAN J W, CHAI X J, WANG C, et al. Sub 20 nm-node LiNbO_3 domain-wall memory[J]. Adv Mater Technol, 2021, 6(7): 2001219.
- [34] LI Y M, HU D, SUN J, et al. Ferroelectric domain wall delay and low-dropout regulator[J]. ACS Appl Mater Interfaces, 2024, 16(15): 19691–19698.
- [35] VALASEK J. Piezo-electric and allied phenomena in Rochelle salt[J]. Phys Rev, 1921, 17(4): 475–481.
- [36] JIANG B B, IOCOZZIA J, ZHAO L, et al. Barium titanate at the nanoscale: Controlled synthesis and dielectric and ferroelectric properties[J]. Chem Soc Rev, 2019, 48(4): 1194–1228.
- [37] NEATON J B, RABE K M. Theory of polarization enhancement in epitaxial $\text{BaTiO}_3/\text{SrTiO}_3$ superlattices[J]. Appl Phys Lett, 2003, 82(10): 1586–1588.
- [38] SAI N, MEYER B, VANDERBILT D. Compositional inversion symmetry breaking in ferroelectric perovskites[J]. Phys Rev Lett, 2000, 84(24): 5636–5639.
- [39] CHANG K, LIU J W, LIN H C, et al. Discovery of robust in-plane ferroelectricity in atomic-thick SnTe [J]. Science, 2016, 353(6296): 274–278.
- [40] Cady W G. Piezoelectricity[M]. McGraw-Hill Book Co., 1946.
- [41] Lines M E, Glass A M. Principles and Applications of Ferroelectrics and Related Materials[M]. Oxford, UK: Oxford University Press, 2001.
- [42] DAMJANOVIC D. Ferroelectric, dielectric and piezoelectric properties of ferroelectric thin films and ceramics[J]. Rep Prog Phys, 1998, 61(9): 1267.
- [43] LANDAU L D, LIFSHITZ E M. Chemical reactions[M]//Course of Theoretical Physics. Amsterdam: Elsevier, 1980: 305–316.
- [44] COCHRAN W. Crystal stability and the theory of ferroelectricity[J].

- Phys Rev Lett, 1959, 3(9): 412–414.
- [45] RESTA R. Macroscopic polarization in crystalline dielectrics: The geometric phase approach[J]. *Rev Mod Phys*, 1994, 66(3): 899–915.
- [46] LIU S, COHEN R E. Origin of stationary domain wall enhanced ferroelectric susceptibility[J]. *Phys Rev B*, 2017, 95(9): 094102.
- [47] SEIDEL J, MARTIN L W, HE Q, et al. Conduction at domain walls in oxide multiferroics[J]. *Nat Mater*, 2009, 8(3): 229–234.
- [48] YANG S Y, SEIDEL J, BYRNES S J, et al. Above-bandgap voltages from ferroelectric photovoltaic devices[J]. *Nat Nanotechnol*, 2010, 5(2): 143–147.
- [49] MEIER D, SEIDEL J, CANO A, et al. Anisotropic conductance at improper ferroelectric domain walls[J]. *Nat Mater*, 2012, 11(4): 284–288.
- [50] SLUKA T, TAGANTSEV A K, BEDNYAKOV P, et al. Free-electron gas at charged domain walls in insulating BaTiO₃[J]. *Nat Commun*, 2013, 4: 1808.
- [51] MCCARTAN J, TURNER P W, MCCONVILLE J P V, et al. Fundamental aspects of conduction in charged ErMnO₃ domain walls[J]. *Adv Electron Mater*, 2024, 10(10): 2400091.
- [52] LEE D, BEHERA R K, WU P P, et al. Mixed Bloch-Néel-Ising character of 180° ferroelectric domain walls[J]. *Phys Rev B*, 2009, 80(6): 060102.
- [53] ZHANG Y C, QIAN Y Z, JIAO Y J, et al. Conductive domain walls in x-cut lithium niobate crystals[J]. *J Appl Phys*, 2022, 132(6): 044102.
- [54] WERNER C S, HERR S J, BUSE K, et al. Large and accessible conductivity of charged domain walls in lithium niobate[J]. *Sci Rep*, 2017, 7: 9862.
- [55] ELISEEV E A, MOROZOVSKA A N, SVECHNIKOV G S, et al. Static conductivity of charged domain walls in uniaxial ferroelectric semiconductors[J]. *Phys Rev B*, 2011, 83(23): 235313.
- [56] GUREEV M Y, MOKRÝ P, TAGANTSEV A K, et al. Ferroelectric charged domain walls in an applied electric field[J]. *Phys Rev B*, 2012, 86(10): 104104.
- [57] CHAI X J, LIAN J W, WANG C, et al. Conductions through head-to-head and tail-to-tail domain walls in LiNbO₃ nanodevices[J]. *J Alloys Compd*, 2021, 873: 159837.
- [58] NATAF G F, GUENNOU M, GREGG J M, et al. Domain-wall engineering and topological defects in ferroelectric and ferroelastic materials[J]. *Nat Rev Phys*, 2020, 2: 634–648.
- [59] MATZEN S, FUSIL S. Functional multiferroic domain walls in multiferroics[J]. *C R Phys*, 2015, 16(2): 227–240.
- [60] CAMPBELL M P, MCCONVILLE J V, MCQUAID R P, et al. Hall effect in charged conducting ferroelectric domain walls[J]. *Nat Commun*, 2016, 7: 13764.
- [61] MUNDY J A, SCHAAB J, KUMAGAI Y, et al. Functional electronic inversion layers at ferroelectric domain walls[J]. *Nat Mater*, 2017, 16(6): 622–627.
- [62] CHOI T, HORIBE Y, YI H T, et al. Insulating interlocked ferroelectric and structural antiphase domain walls in multiferroic YMnO₃[J]. *Nat Mater*, 2010, 9(3): 253–258.
- [63] DU Y, WANG X L, CHEN D P, et al. Domain wall conductivity in oxygen deficient multiferroic YMnO₃ single crystals[J]. *Appl Phys Lett*, 2011, 99(25): 252107.
- [64] SCHAAB J, SKJÆRVØ S H, KROHNS S, et al. Electrical half-wave rectification at ferroelectric domain walls[J]. *Nat Nanotechnol*, 2018, 13(11): 1028–1034.
- [65] ELISEEV E A, MOROZOVSKA A N, GU Y J, et al. Conductivity of twin-domain-wall/surface junctions in ferroelastics: Interplay of deformation potential, octahedral rotations, improper ferroelectricity, and flexoelectric coupling[J]. *Phys Rev B*, 2012, 86(8): 085416.
- [66] LANDAUER R. Electrostatic considerations in BaTiO₃ domain formation during polarization reversal[J]. *J Appl Phys*, 1957, 28(2): 227–234.
- [67] SHIN Y H, GRINBERG I, CHEN I W, et al. Nucleation and growth mechanism of ferroelectric domain-wall motion[J]. *Nature*, 2007, 449(7164): 881–884.
- [68] TAGANTSEV A K, STOLICHNOV I, SETTER N, et al. Non-Kolmogorov-Avrami switching kinetics in ferroelectric thin films[J]. *Phys Rev B*, 2002, 66(21): 214109.
- [69] SUN J, LI Y M, OU Y J, et al. In-memory computing of multilevel ferroelectric domain wall diodes at LiNbO₃ interfaces[J]. *Adv Funct Mater*, 2022, 32(49): 2207418.
- [70] MERZ W J. Domain formation and domain wall motions in ferroelectric BaTiO₃ single crystals[J]. *Phys Rev*, 1954, 95(3): 690–698.
- [71] SCHULTHEISS J, PICHT G, WANG J, et al. Ferroelectric polycrystals: Structural and microstructural levers for property-engineering via domain-wall dynamics[J]. *Prog Mater Sci*, 2023, 136: 101101.
- [72] LI W, ALEXE M. Investigation on switching kinetics in epitaxial Pb(Zr_{0.2}Ti_{0.8})O₃ ferroelectric thin films: Role of the 90° domain walls[J]. *Appl Phys Lett*, 2007, 91(26): 262903.
- [73] RANDALL C A, BARBER D J, WHATMORE R W. Ferroelectric domain configurations in a modified-PZT ceramic[J]. *J Mater Sci*, 1987, 22(3): 925–931.
- [74] LI Y W, WANG J, LI F X. Intrinsic polarization switching in BaTiO₃ crystal under uniaxial electromechanical loading[J]. *Phys Rev B*, 2016, 94(18): 184108.
- [75] LI Y W, LI F X. Domain switching criterion for ferroelectric single crystals under uni-axial electromechanical loading[J]. *Mech Mater*, 2016, 93: 246–256.
- [76] ZHANG W D, JIANG J, JIANG A Q. Size-driven transition of domain switching kinetics in LiNbO₃ domain-wall memory[J]. *J Appl Phys*, 2022, 131(2): 024101.
- [77] MANKOWSKY R, VON HOEGEN A, FÖRST M, et al. Ultrafast reversal of the ferroelectric polarization[J]. *Phys Rev Lett*, 2017, 118(19): 197601.
- [78] SHARMA P, SANDO D, ZHANG Q, et al. Conformational domain wall switch[J]. *Adv Funct Mater*, 2019, 29(18): 1807523.
- [79] TIAN G, YANG W D, SONG X, et al. Manipulation of conductive domain walls in confined ferroelectric nanoislands[J]. *Adv Funct Mater*, 2019, 29(32): 1807276.
- [80] WANG C, WANG T Y, ZHANG W D, et al. Analog ferroelectric domain-wall memories and synaptic devices integrated with Si substrates[J]. *Nano Res*, 2022, 15(4): 3606–3613.
- [81] JIANG J, WANG C, CHAI X J, et al. Surface-bound domain penetration and large wall current[J]. *Adv Electron Mater*, 2021, 7(3): 2000720.
- [82] HU X B, ZHENG S Z, ZHANG W D, et al. Mechanical strain modulation of domain wall currents across LiNbO₃ nanosensors[J]. *Ceram Int*, 2022, 48(18): 26294–26302.
- [83] SUNA A, BAXTER O E, MCCONVILLE J P V, et al. Conducting ferroelectric domain walls emulating aspects of neurological behavior[J]. *Appl Phys Lett*, 2022, 121(22): 222902.
- [84] ZHANG Y, LU H D, YAN X X, et al. Intrinsic conductance of domain

- walls in BiFeO₃[J]. *Adv Mater*, 2019, 31(36): 1902099.
- [85] YANG W D, TIAN G, ZHANG Y, et al. Quasi-one-dimensional metallic conduction channels in exotic ferroelectric topological defects[J]. *Nat Commun*, 2021, 12(1): 1306.
- [86] YANG W D, TIAN G, FAN H, et al. Nonvolatile ferroelectric domain-wall memory embedded in a complex topological domain structure[J]. *Adv Mater*, 2022, 34(10): 2107711.
- [87] JIANG J, BAI Z L, CHEN Z H, et al. Temporary formation of highly conducting domain walls for non-destructive read-out of ferroelectric domain-wall resistance switching memories[J]. *Nat Mater*, 2018, 17(1): 49–56.
- [88] MA J, MA J, ZHANG Q H, et al. Controllable conductive readout in self-assembled, topologically confined ferroelectric domain walls[J]. *Nat Nanotechnol*, 2018, 13(10): 947–952.
- [89] WANG J, MA J, HUANG H B, et al. Ferroelectric domain-wall logic units[J]. *Nat Commun*, 2022, 13(1): 3255.
- [90] WANG J, LIANG D S, MA J, et al. Polar Solomon rings in ferroelectric nanocrystals[J]. *Nat Commun*, 2023, 14(1): 3941.
- [91] HU H, RICKEN R, SOHLER W. High refractive index contrast ridge waveguides in LiNbO₃ thin films[C]//CLEO/Europe-EQEC 2009-European Conference on Lasers and Electro-Optics and the European Quantum Electronics Conference. Munich, Germany. IEEE, 2009: 1.
- [92] HU H, RICKEN R, SOHLER W. Large area, crystal-bonded LiNbO₃ thin films and ridge waveguides of high refractive index contrast [C]//Topical Meeting "Photorefractive Materials, Effects, and Devices-Control of Light and Matter" (PR09), Bad Honnef, Germany, 2009: 1.
- [93] PIJOLAT M, REINHARDT A, DEFAY E, et al. Large Qxf product for HBAR using Smart Cut™ transfer of LiNbO₃ thin layers onto LiNbO₃ substrate[C]//2008 IEEE Ultrasonics Symposium. Beijing, China. IEEE, 2008: 201–204.
- [94] TAKIGAWA R, HIGURASHI E, KAWANISHI T, et al. Lithium niobate ridged waveguides with smooth vertical sidewalls fabricated by an ultra-precision cutting method[J]. *Opt Express*, 2014, 22(22): 27733–27738.
- [95] ZHANG W D, ZHUANG X, JIANG J, et al. Polarization retention dependence of imprint time within LiNbO₃ single-crystal domain wall devices[J]. *J Appl Phys*, 2022, 132(22): 224103.
- [96] AO M H, LI Y M, ZHONG Q L, et al. Nanometer-sized etching of lithium niobate domain wall devices[J]. *Ceram Int*, 2023, 49(4): 6190–6198.
- [97] ZHUANG X, JIANG A Q. Estimation of interfacial-layer thickness from voltage-dependent domain switching times in LiNbO₃ single-crystal domain wall memory[J]. *Europhys Lett*, 2023, 141(3): 36002.
- [98] SUNA A, MCCLUSKEY C J, MAGUIRE J R, et al. Tuning local conductance to enable demonstrator ferroelectric domain wall diodes and logic gates[J]. *Adv Phys Res*, 2023, 2(5): 2200095.
- [99] SHEN B W, TAN X J, WANG C, et al. Hybrid dry and wet etching of LiNbO₃ domain-wall memory devices with 90° etching angles and excellent electrical properties[J]. *ACS Appl Mater Interfaces*, 2023.
- [100] 陈宇能, 陈昆峰, 薛冬峰. 铌酸锂晶体铁电畴调控及器件应用研究进展[J]. *无机盐工业*, 2024, 56(6): 1–13.
CHEN Yuneng, CHEN Kunfeng, XUE Dongfeng. *Inorg Chem Ind*, 2024, 56(6): 1–13.
- [101] ZHANG W J, SHEN B W, FAN H C, et al. Nonvolatile ferroelectric LiNbO₃ domain wall crossbar memory[J]. *IEEE Electron Device Lett*, 2023, 44(3): 420–423.
- [102] SUN J, LI Y M, HU D, et al. Roadmap for ferroelectric domain wall memory[J]. *Microstructures*, 2024, 4(1): 2024007.
- [103] CHAI X J, JIANG J, ZHANG Q H, et al. Nonvolatile ferroelectric field-effect transistors[J]. *Nat Commun*, 2020, 11(1): 2811.
- [104] CHAUDHARY P, LU H, LIPATOV A, et al. Low-voltage domain-wall LiNbO₃ memristors[J]. *Nano Lett*, 2020, 20(8): 5873–5878.
- [105] KÄMPFE T, WANG B, HAUßMANN A, et al. Tunable non-volatile memory by conductive ferroelectric domain walls in lithium niobate thin films[J]. *Crystals*, 2020, 10(9): 804.
- [106] SUN H Y, WANG J R, WANG Y S, et al. Nonvolatile ferroelectric domain wall memory integrated on silicon[J]. *Nat Commun*, 2022, 13(1): 4332.
- [107] BEDNYAKOV P S, HLINKA J. Charged domain walls in BaTiO₃ crystals emerging from superdomain boundaries[J]. *Adv Electron Mater*, 2023, 9(6): 2300005.
- [108] BEDNYAKOV P S, RAFALOVSKYI I, HLINKA J. Fragmented charged domain wall below the tetragonal-orthorhombic phase transition in BaTiO₃[J]. *Appl Phys Lett*, 2025, 126(1): 012909.
- [109] HUANG Q W, YANG J Y, CHEN Z B, et al. Formation of head/tail-to-body charged domain walls by mechanical stress[J]. *ACS Appl Mater Interfaces*, 2023, 15(1): 2313–2318.
- [110] XUE F, HE X, LIU W H, et al. Optoelectronic ferroelectric domain wall memories made from a single van der waals ferroelectric[J]. *Adv Funct Mater*, 2020, 30(52): 2004206.
- [111] WANG D, WANG D H, MOLLA M, et al. Electric-field-induced domain walls in wurtzite ferroelectrics[J]. *Nature*, 2025, 641(8061): 76–82.
- [112] PENG R C, WEN S B, CHENG X X, et al. Revealing the role of spacer layer in domain dynamics of Hf_{0.5}Zr_{0.5}O₂ thin films for ferroelectrics[J]. *Adv Funct Mater*, 2024, 34(40): 2403864.
- [113] TSYMBAL E Y, VELEV J P. Crossing the wall[J]. *Nat Nanotechnol*, 2017, 12(7): 614–615.
- [114] SANCHEZ-SANTOLINO G, TORNOS J, HERNANDEZ-MARTIN D, et al. Resonant electron tunnelling assisted by charged domain walls in multiferroic tunnel junctions[J]. *Nat Nanotechnol*, 2017, 12(7): 655–662.
- [115] YANG Q, TAO L L, ZHANG Y K, et al. Ferroelectric tunnel junctions enhanced by a polar oxide barrier layer[J]. *Nano Lett*, 2019, 19(10): 7385–7393.
- [116] LI M, TAO L L, TSYMBAL E Y. Domain-wall tunneling electroresistance effect[J]. *Phys Rev Lett*, 2019, 123(26): 266602.
- [117] LIU Z R, WANG H, LI M, et al. In-plane charged domain walls with memristive behaviour in a ferroelectric film[J]. *Nature*, 2023, 613(7945): 656–661.
- [118] PRAMANICK A, PREWITT A D, FORRESTER J S, et al. Domains, domain walls and defects in perovskite ferroelectric oxides: A review of present understanding and recent contributions[J]. *Crit Rev Solid State Mater Sci*, 2012, 37(4): 243–275.
- [119] GRUVERMAN A, RODRIGUEZ B J, KINGON A I, et al. Spatial inhomogeneity of imprint and switching behavior in ferroelectric capacitors[J]. *Appl Phys Lett*, 2003, 82(18): 3071–3073.
- [120] PÖYKKÖ S, CHADI D J. Dipolar defect model for fatigue in ferroelectric perovskites[J]. *Phys Rev Lett*, 1999, 83(6): 1231–1234.
- [121] HE L X, VANDERBILT D. First-principles study of oxygen-vacancy

- pinning of domain walls in PbTiO_3 [J]. *Phys Rev B*, 2003, 68(13): 134103.
- [122] HONG L, SOH A K, DU Q G, et al. Interaction of O vacancies and domain structures in single crystal BaTiO_3 : Two-dimensional ferroelectric model[J]. *Phys Rev B*, 2008, 77(9): 094104.
- [123] MCGILLY L J, YUDIN P, FEIGL L, et al. Controlling domain wall motion in ferroelectric thin films[J]. *Nat Nanotechnol*, 2015, 10(2): 145–150.

Progresses in High-Density Ferroelectric Domain Wall Memories

SONGJIAN Kangping, WANG Xinglong, HU Di, JIANG Anquan

(College of Integrated Circuits and Micro-Nano Electronics, Fudan University, Shanghai 200433, China)

Extended Abstract

Computers have become an indispensable part of modern society and are widely used in various fields. However, with the rapid development of data-intensive applications such as big data, the Internet of Things (IoT), artificial intelligence (AI), and automated devices, the demand for increasing computer performance continues to grow. This includes requirements of the memories for low latency, high capacity, high bandwidth, low cost, and the ability to perform human-like processing tasks. To overcome the inherent limitations of von Neumann architecture, emerging non-volatile memory (NVM) technologies have been progressively developed, including ferroelectric random-access memory (FeRAM), magnetic random-access memory (MRAM), resistive random-access memory (RRAM), and phase-change random-access memory (PCRAM). These next-generation NVM technologies aim to develop memory devices that simultaneously possess a high speed, high reliability, low power consumption, high density, and compatibility with CMOS fabrication processes. Among various emerging non-volatile memory solutions, the FeRAM has emerged as a highly promising candidate technology due to its fast write speeds, low power, and high endurance. Currently, the commercial FeRAM devices are operated based on a destructive charge integration principle, where the data are recognized by detecting different charges within bipolar ferroelectric capacitors. However, as device dimensions are scaled down, the detectable charge levels decrease proportionally to the scaled cell area, fundamentally constraining their applicability in high-capacity memory markets with the planar cell sizes above 260 nm. Meanwhile, Ferroelectric field-effect transistors (FeFETs), especially HfO_2 -based devices, face challenges like small memory windows, poor retention, and limited endurance from polarization instability. The problems of switching variability and cycling reliability further hinder their adoption. Recently, researchers have increasing interest on a novel nondestructive current readout scheme in a ferroelectric domain wall memory, where the erasable domain walls under stimulating electric fields are considered as a promising platform for developing high-density ferroelectric memory devices. Though many efforts have been devoted to designing domain-wall-based memory architectures, a comprehensive review of this emerging field remains lacking.

This review firstly summarizes the current research progress on the physics of ferroelectric domain walls. Ferroelectric domain walls, serving as two-dimensional interfaces separating domains with different polarization orientations, exhibit unique physical and chemical properties due to broken local symmetry. These domain walls demonstrate enhanced conductivity, unconventional magnetism, and novel optical responses compared to the bulk ferroelectric counterparts, making them promising for nanoelectronic and optoelectronic applications, including memory and sensing devices. The walls possess the atomic-scale thicknesses (a few unit cells) and can be controllably created, displaced, and erased under external stimuli (electric/mechanical fields), enabling exceptional operational flexibility in future nanodevices. Based on polarization rotation mechanisms differing in various ferroelectric materials, ferroelectric domain walls are classified into four types: Ising (gradual polarization change), Bloch (in-plane rotation), Néel (out-of-plane rotation), and mixed Ising-Néel. Ferroelectric domain walls, can be further categorized by the relative polarization angles between adjacent domains: head-to-tail/tail-to-head neutral walls, and head-to-head (H-H) or tail-to-tail (T-T) charged walls (angle α). Neutral walls exhibit zero net bound charge, while H-H/T-T charged walls accumulate free carriers (electrons/holes), leading to the enhancement of conductivity. Three mechanisms are considered to explain the enhanced domain wall conductivity: 1) defect-mediated conduction, 2) intrinsic band structure modification, and 3) local band bending induced by polarization discontinuity. The wall formation stems from the local polarization reversal, and domain switching involves nucleation, forward growth, and lateral expansion of domains. Domain wall dynamics, governed by nucleation and growth under electric fields, follow Merz's law and are influenced by stress, temperature, and defects. Understanding these dynamics is crucial for optimizing domain wall memory performance, enabling fast switching, low power consumption, and high reliability of memory devices through defect engineering.

The discovery of conductive ferroelectric domain walls in insulating ferroelectrics has spurred significant interest in domain-wall-based memory devices, which utilize the creation and erasure of domain walls to produce on and off currents. After inheriting all advantages of the FeRAM and FeFETs, domain wall memories employ diverse architectures to increase the density significantly. For example, the memory cells adopting coplanar electrodes, nanostructured islands, and mesa configurations can precisely control conductive domain walls in BiFeO_3 and LiNbO_3 . Pioneering work on BiFeO_3 upon the creation and erasure of nonvolatile 71° domain walls within each cell achieved on/off ratios of $>10^3$ and multi-level storing states by modulating domain wall paths. Subsequent advances in topological domain walls (among vortex/center-type domains) increase the ratios further to 10^4 with

endurance cycles of 10^8 . However, the deposition of epitaxial BiFeO_3 thin films at high temperatures faces challenges in integration compatible to the CMOS technologies and control of local domain switching within each cell independently. In contrast, LiNbO_3 -based mesa devices using ferroelectric single crystals exhibit the excellent performance, featuring μA -scale read currents, intrinsic selector functionality for 3D stacking (enabling self-rectifying wall currents within 4×4 crossbar arrays), and 10 ns-operation speeds. Moreover, gate-tunable wall currents within three-terminal LiNbO_3 transistors have exhibited logic-in-memory operations (NOT/NAND/NOR). Domain wall-based memristors have been demonstrated using sub-coercive voltage modulation for low-power operation (4 orders resistance switching) and multi-state storage. These breakthroughs highlight ferroelectric domain wall memories as a transformative technology for the development of high-density and low-power data storage devices applicable in neuromorphic computing.

Summary and prospects Making use of erasable conductive channels of atomically thin domain walls, ferroelectric domain-wall memory devices achieve exceptionally high storage densities and ultrafast write/read speeds ranging from nanoseconds to picoseconds. These devices also exhibit outstanding performance of high fatigue endurance number and long-term data retention. While demonstrations of prototypical devices have validated the fundamental operation principle of domain-wall-based memories, several critical issues must be resolved before practical application. First, many novel transport phenomena observed at conductive domain walls remain inadequately understood, demanding thorough studies of domain-wall motion kinetics and the interplay between polarization, defects, and lattice coupling. Second, the domain nucleation and domain wall motion are correlated to the device reliability; therefore, precise control over domain-wall creation, propagation, and pinning is essential for ensuring fast operations and long-term data retention. Finally, in vertically stacked three-dimensional architectures, potential cross-talks between adjacent cells must be systematically evaluated especially for stable and reliable operations of multilevel memories. These challenges are crucial for advancing ferroelectric domain-wall memories toward large-scale integration and commercialization.

Keywords ferroelectric memory device; domain wall; bismuth ferrite; lithium niobate