第 49 卷第 1 期
2021 年 1 月

硅 酸 盐 学 报
JOURNAL OF THE CHINESE CERAMIC SOCIETY

Vol. 49，No. 1
January，2021

http://www.gxyb.cbpt.cnki.net

DOI：10.14062/j.issn.0454-5648.20200325

Ge/Si 异质键合界面纳米级氧化层对 Ge/Si 异质结光电特性调控机制

彭 强[1]，柯海鹏[2]，李杏莲[1]，林 鑫[1]，柯少颖[1]，周锦荣[1]

(1. 闽南师范大学物理与信息工程学院，福建 漳州 363000；2. 福建省漳州第一职业中专学校，福建 漳州 363000)

摘 要：由于 Ge/Si 存在 4.2%晶格失配，Si 基外延 Ge 中的穿透位错密度(TDD)极高，导致器件暗电流偏大。低温 Ge/Si 异质键合可以通过抑制失配位错传播降低 Ge 薄膜中的 TDD，在高质量大失配薄膜制备方面展现出巨大的潜力。然而，Ge/Si 键合界面由于亲水反应形成的纳米级氧化层会对异质结性能产生影响。基于载流子基本方程，在键合界面构建载流子非局域量子隧穿模型，通过半经典近似解法研究 Ge/Si 异质键合界面氧化层厚度(d_O)对异质结暗电流、总电流、光谱响应、带宽等性能的影响，并揭示异质结性能影响机制。研究表明：随着 d_O 的增加，氧化层对载流子的阻挡效应增强，导致器件暗电流、总电流和光谱响应下降。由于氧化层的分压效应，d_O 的增加导致 Ge 层中电场下降，载流子速率降低，进而导致异质结高频特性变差。为确保键合 Ge/Si 异质结优异的光电特性，d_O 必须控制在 0.50 nm 以内。

关键词：锗/硅异质键合；晶格失配；界面氧化层；电场
中图分类号：TN315　　**文献标志码**：A　　**文章编号**：0454–5648(2021)01–180–09
网络出版时间：2020–12–18



Effect of Nano-sized Oxide Layer at Ge/Si Heterogeneous Bonded Interface on Regulatory Mechanism of Photoelectric Characteristics of Ge/Si Heterojunction

PENG Qiang[1], *KE Haipeng*[2], *LI Xinglian*[1], *LIN Xin*[1], *KE Shaoying*[1], *ZHOU Jinrong*[1]
(1. College of Physics and Information Engineering, Minnan Normal University, Zhangzhou 363000, Fujian, China;
2. Zhangzhou First Vocational Secondary School, Zhangzhou 363000, Fujian, China)

Abstract: The threading dislocation density (TDD) in Si-based Ge films prepared *via* the epitaxial growth is rather high due to 4.2% lattice mismatch between Si and Ge, leading to a large dark current of the device. However, the low-temperature Ge/Si wafer bonding can lower the TDD in Ge film by restraining the propagation of the misfit dislocations, exhibiting an enormous potential in the fabrication of high-quality large-misfit film. The oxide layer at Ge/Si bonded interface produced *via* hydrophilic reaction could affect the performance of Ge/Si heterojunction. In this work, a carrier non-local quantum tunneling model was proposed at Ge/Si bonded interface based on the carrier basic equation. The effect of the oxide layer thickness (d_O) at Ge/Si bonded interface on the dark current, total current, spectrum response, and bandwidth was investigated and the influencing mechanism of heterojunction performance was clarified by the introduction of the semi-classical approximate solution. It is indicated that the carrier blocking effect of the oxide layer becomes serious as the d_O increases, leading to the decrease of the dark current, total current, and spectrum response. In addition, the d_O in Ge layer decreases due to the increase of the electric field in the oxide layer, leading to the decrease of the carrier velocity and the high-frequency characteristic. In order to ensure the excellent photoelectric property of Ge/Si heterojunction, the d_O should be limited to be <0.50 nm.

Keywords: germanium/silicon heterogeneous bonding; lattice mismatch; interface oxide layer; electric field

收稿日期：2020–05–08。　修订日期：2020–06–23。
基金项目：国家自然科学基金(62004087)；福建省自然科学基金(2020J01815)；漳州市自然科学基金(ZZ2020J32)；闽南师范大学校长基金(KJ19014)；教育部产学合作协同育人项目(201802071003，201901253005，201901256013)。
第一作者：彭 强(1997—)，男，本科生。
通信作者：柯少颖(1989—)，男，博士，副教授；
周锦荣(1974—)，男，硕士，副教授。

Received date: 2020–05–08.　**Revised date:** 2020–06–23.
First author: PENG Qiang (1997–), male, Undergraduate.
E-mail: 1017846617@qq.com
Correspondent authors: KE Shaoying (1989–), male, Ph.D., Associate Professor;
ZHOU Jinrong (1974–), Master, Associate Professor.
E-mail: syke@mnnu.edu.cn; jinrongzhou@163.com

随着微电子和光电子技术的发展，半导体器件的综合性能不断提高，作为光纤通信接收端的核心部件，近红外光电探测器正朝着高集成度、低功耗及高速方向发展[1–3]。将近红外探测器与 Si 片进行集成是目前主流的研究方向，这不仅可以充分利用成熟的互补金属氧化物半导体(CMOS)工艺，通过器件的单片集成极大地降低制造成本，且在光互联、深空探测、量子通信等领域具有重要的应用前景[4–6]。III–V 族材料具备直接带隙的优势，其制备的近红外探测器可以大幅提高器件量子效率，但该材料同时存在成本高、污染大、与 CMOS 工艺无法相兼容等缺点[7–9]。因此，为了更好的实现器件的单片集成，近十几年来，科研人员一直致力于寻找与 CMOS 工艺相兼容的近红外探测材料。传统的 Si 材料带隙为 1.12 eV，其对近红外光的吸收系数极低，截止波长仅约为 1 μm，难以应用于近红外通信波段[10–11]。而 Ge 材料带隙约为 0.67 eV，在近红外波段具有极高的吸收系数[12]。Ge 材料的电子迁移率比 Si 高出 2 倍以上[13]。更为重要的是，Ge 材料与 Si 材料同属于 IV 族材料，因此 Ge 材料与 Si CMOS 工艺完全兼容[14]。综上可得，以 Ge 材料作为吸收层的近红外探测器是实现 Si 基近红外探测的最佳选择之一。

目前外延技术是制备 Si 基 Ge 薄膜的主要技术，然而 Ge/Si 之间存在 4.2%的晶格失配，直接在 Si 上外延 Ge 会在 Ge 薄膜中引入极高的穿透位错密度(TDD)，并形成表面起伏，导致器件性能恶化。过去十几年中，科研人员提出不同的改良外延技术来降低 Ge 薄膜中的 TDD，包括 Ge/SiGe 多量子阱隔离法[15]、选区外延法[16]、低高温两步生长法[17]以及 SiGe 缓冲层生长法[18]等。然而这些外延技术均难以突破晶格失配的限制，无法对晶格失配带来的影响进行有效的调控，目前采用外延技术制备的 Si 基 Ge 薄膜中的 TDD 最低仅为~10^6 cm^{-2}，无法实现进一步的突破。

为进一步降低 Ge 薄膜中的 TDD，近几年研究人员提出采用 Ge/Si 异质键合技术，通过对材料制备过程进行低温调控实现无界面位错的 Ge/Si 键合[19–25]。该技术与 Ge/Si 异质外延最大的区别在于可以在键合界面插入 1 层非晶或者是多晶中间层对键合界面失配晶格进行彻底阻断。可在低温下进行(<300 ℃)，而传统异质外延生长 Ge 薄膜需要在高温 600 ℃进行，因此低温键合技术可降低失配位错的传播速率。更重要的是，Ge/Si 异质键合无需在超高洁净条件下进行，外延则需要在超高真空或超高纯净环境下进行。因此，低温 Ge/Si 键合技术是一种潜在的新型材料通用制备技术，在超高质量大失配薄膜材料低温制备方面展现出巨大的应用潜力。

目前 Ge/Si 异质键合方法主要分为：湿法键合[19–20]、干法键合[21–22]、等离子活化键合[23–24]、高真空离子轰击键合[25]。Kanbe 等[20]通过高温退火研究了 Ge/Si 湿法亲水键合，采用该方法制备的 Ge/Si 键合界面存在几十纳米的过渡层，过渡层内存在岛状结构、TD 和晶格扭曲，更重要的是，键合界面存在 40 nm 左右的氧化层。基于该方法制备的器件暗电流较大，无法满足器件制备要求。Lee 等[21]提出 Ge/Si 湿法疏水键合，通过非晶 Ge(a-Ge)薄膜的高温晶化和 HF 溶液中的自然贴合实现低温 Ge/Si 键合，然而采用该方法制备的 Ge/Si 键合界面存在 7 nm 氧化层。基于该技术的波导型 Ge/Si p-i-n 探测器的 3 dB 带宽仅为 16 GHz，远低于 Ge/Si 外延器件的性能指标。Byun 等[23]和 Gity 等[24]提出等离子体活化键合，采用该技术虽然可以获得高强度、无气泡的键合界面，然而由于亲水反应，键合界面存在 2~3 nm 氧化层。基于该技术的 Ge/Si 异质结理想因子高达 5.48，开关比仅为 5×10^4，Razek 等[25]提出高真空离子轰击键合，采用该方法制备的器件性能较好，异质结开启电压仅为 0.3 V，理想因子低至 1.1，然而键合界面仍然存在纳米级氧化层，导致器件性能下降。

综上所述，虽然近几年 Ge/Si 键合技术逐渐引起科研人员的关注，然而目前还没有较为成熟的键合方案，亲水键合和疏水键合是目前实现 Ge/Si 键合的主要手段，但这些方案总会在 Ge/Si 键合界面形成一层极薄的 GeO_2 层(1~3 nm)。虽然目前研究人员已通过实验获得了键合 Ge/Si 异质结的部分电学特性，但是并未专门设计实验研究键合界面 GeO_2 层厚度(d_O)对键合 Ge/Si 异质结性能的影响。其次，GeO_2 层对键合异质结内部载流子输运、电场分布、电荷堆积等特性的影响机制目前还尚不清楚，国际上关于键合 Ge/Si 异质结的理论研究目前也未见报道。因此，为推动大失配异质键合技术在光电子领域的应用，本工作基于 Poisson 方程、载流子连续性方程、载流子传输方程，通过在键合界

面构建载流子非局域量子隧穿模型[26]，并采用半经典 Wentzel-Kramers-Brillouin (WKB)近似解法[27]模拟了 Ge/Si 键合界面氧化层厚度对键合 Ge/Si 异质结暗电流、总电流、光谱响应、带宽等性能的影响，并探索载流子隧穿、电场分布、电荷堆积、载流子停滞等现象对各性能的影响，为制备高质量 Si 基 Ge 薄膜及高性能 Ge/Si 光电探测器提供理论指导。

1 计算方法

Ge/Si 键合异质结光电性能的计算主要是基于 Poisson 方程、载流子连续性方程、载流子传输方程等基本理论，利用浓度依赖带隙缩小模型、俄歇复合模型、平行电场依赖模型、SRH 产生复合模型、浓度和温度依赖迁移率模型等进行异质结性能迭代计算。

由于 Ge/Si 键合界面存在纳米级氧化层，因此当模拟载流子在键合界面的电学输运特性时需引入非局域量子势垒隧穿模型，将键合界面定义为网格精细的特殊非局域隧穿区。载流子在 Ge/Si 键合界面氧化层内电学传输过程的计算是基于 Price 和 Radcliffe 提出的有效质量模型[26]。该模型规定了求解 Schrödinger's 方程的有效质量近似，进而求解获得载流子在键合界面的隧穿概率、隧穿电流，再利用上述 6 个基本计算方程获得总电流、复合率、迁移率等参数的理论图像。

当求解载流子在氧化层势垒间的隧穿时，为了简化计算并获得收敛的模拟结果，本模拟在氧化层位置采用 Wentzel-Kramers-Brillouin (WKB)近似模型对隧穿过程进行模拟[27]，从而获得载流子在键合界面的输运结果。由于在求解过程中将氧化层位置的网格进行细化，并且引入了非局域隧穿模型和 WKB 近似，若用 Fermi 分布函数进行求解，程序很容易趋于发散，因此在求解过程中采用 Boltzmann 求解替代 Fermi 求解进行键合界面复杂的迭代运算。

2 结果与讨论

键合 Ge/Si 异质结的结构模型如图 1 所示。参数设置为：Ge 层厚度 0.2 μm，上台面直径 30.0 μm，掺杂浓度 1×10^{18} cm^{-3}。Si 层厚度 1.0 μm，下台面直径 44.0 μm，掺杂浓度 1×10^{19} cm^{-3}，Ge/Si 键合界面 d_O 预设为 0.5 nm。定义电极接触类型为 Ohmic 接触，键合界面 GeO_2 参数取自参考文献：介电常数 5.5[28]，禁带宽度 5 eV[29]，电子亲和能 1 eV[30]，折射系数率 1.6[31]。

首先模拟了键合 Ge/Si 异质结的暗电流和总电流随 d_O 的变化，如图 2 所示。从图 2 可见，随着 d_O 的增加，Ge/Si 异质结的暗电流逐渐降低，值得注意的是，当 d_O 从 1.75 nm 增加到 2.00 nm，异质结的暗电流急剧降低接近 1 个数量级。随着 d_O 的增加，Ge/Si 异质结的总电流变化较小，保持在 1×10^{-5} A 附近，只在偏压接近 0 V 时略有下降趋势。

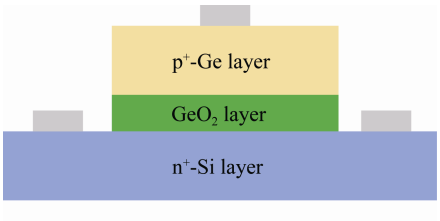
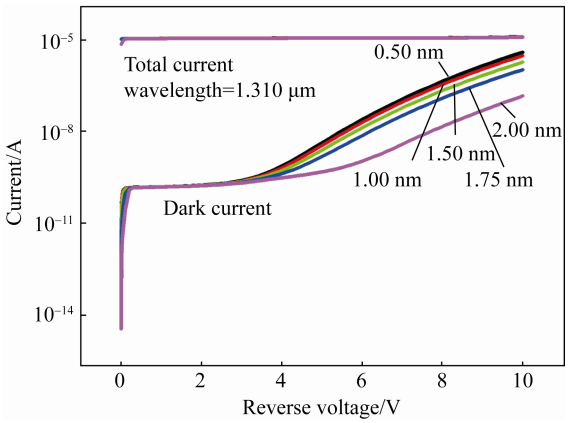


图 1 Ge/Si 异质结的结构模型

Fig. 1 Schematic diagram of the Ge/Si heterojunction



d_O is thickness of oxide layer.

图 2 Ge/Si 异质结的暗电流和总电流随 d_O 的变化

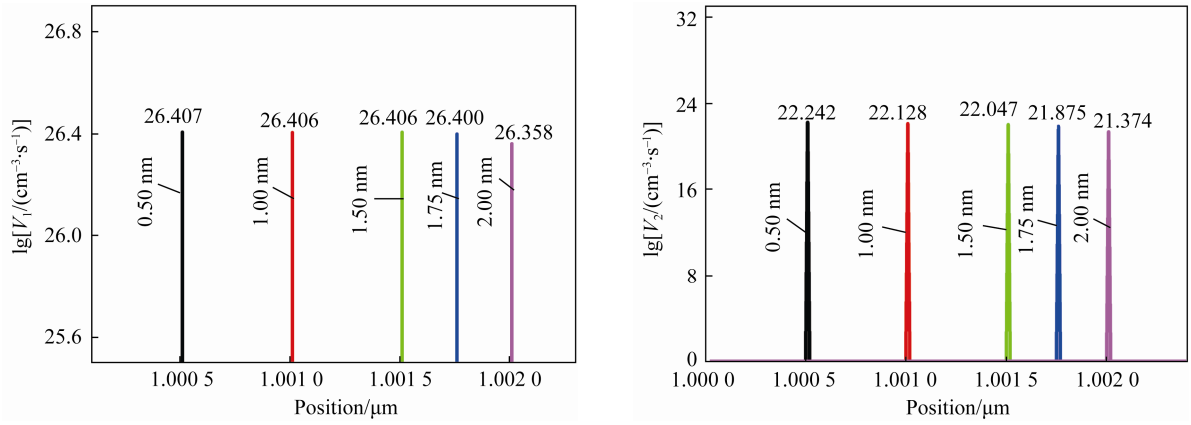
Fig. 2 Effect of d_O on the dark current and total current of the Ge/Si heterojunction

为探究键合 Ge/Si 异质结的暗电流随 d_O 变化的原因，在–1 V 无光照条件下模拟了 d_O 对 Ge/Si 键合界面电子和空穴隧穿率的影响，如图 3 所示。从图 3 可见，随着 d_O 的增加，键合界面电子空穴隧穿率均呈现下降趋势，这主要是由于随着 d_O 的增加，GeO_2 层对载流子的阻挡效应增强。载流子隧穿率的变化与异质结中载流子的复合率密切相关，为探究两者的关系，模拟了键合界面复合率随 d_O 的变化，如图 4 所示。从图 4 可见，随着 d_O 的增加，Ge/GeO_2 界面和 GeO_2/Si 界面的总复合率均呈现下降趋势，

但通过对比可以得出，Ge/Si 异质结中载流子的复合主要发生在 GeO_2/Si 界面。

为探究 Ge/Si 键合界面复合率下降的原因，模拟了 d_O 对 Ge/Si 异质结载流子浓度的影响，如图 5 所示。从图 5 可见，随着 d_O 的增加，Ge 层及 Ge/GeO_2 界面电子浓度逐渐上升，电子在键合界面出现严重的堆积，而空穴浓度逐渐下降，但相较电子浓度而言，空穴浓度下降趋势并不明显。随着 d_O 的增加，Si 层及 GeO_2/Si 界面空穴浓度呈现上升趋势，空穴同样在键合界面出现了严重的堆积，而电子浓度逐渐下降。由此可得，Ge 层及 Ge/GeO_2 界面电子堆积导致 Si 层及 GeO_2/Si 界面的电子浓度下降，而空穴在 Si 层及 GeO_2/Si 界面堆积导致 Ge/GeO_2 界面空穴减少，两者相互影响导致氧化层两端漂移载流子浓度降低，使得电子空穴复合几率下降。

为探究载流子浓度随 d_O 变化的原因，对器件中的电场进行模拟，如图 6 所示。从图 6 可见，随着 d_O 的增加，Ge 层中电场逐渐降低，而 Si 层中电场逐渐增加。值得注意的是，键合界面 GeO_2 层很薄，但分担的电场却非常的大，这主要是由于 GeO_2 层的大电阻和载流子的阻挡效应导致的。电场的变化会导致电子速率发生变化，因此模拟了 d_O 对 Ge/Si

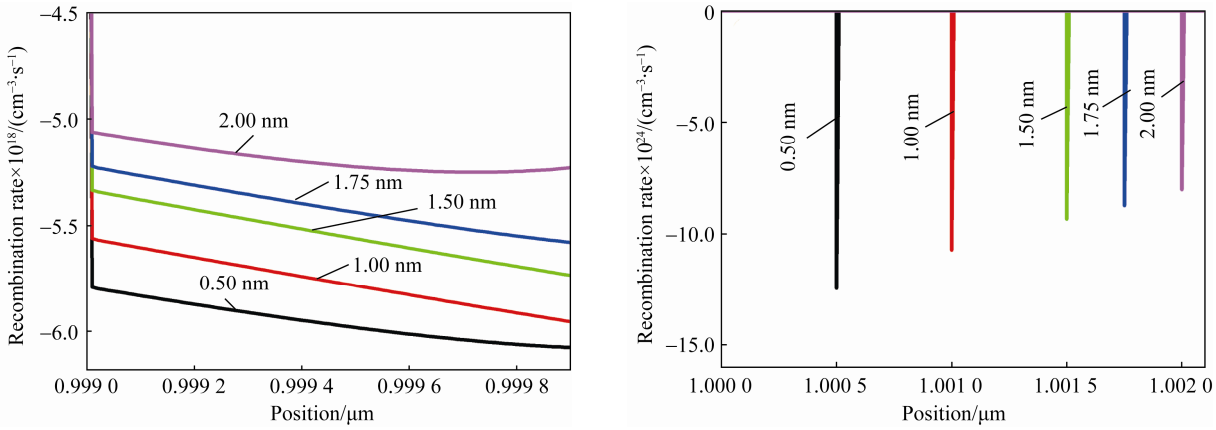


(a) Electron tunneling rate V_1　　(b) Hole tunneling rate V_2

Temperature is 300 K; Reverse voltage is 1 V.

图 3　Ge/Si 异质结键合界面电子隧穿率和空穴隧穿率随 d_O 的变化

Fig. 3　Effect of d_O on the electron and hole tunneling rates at bonded interface of the Ge/Si heterojunction

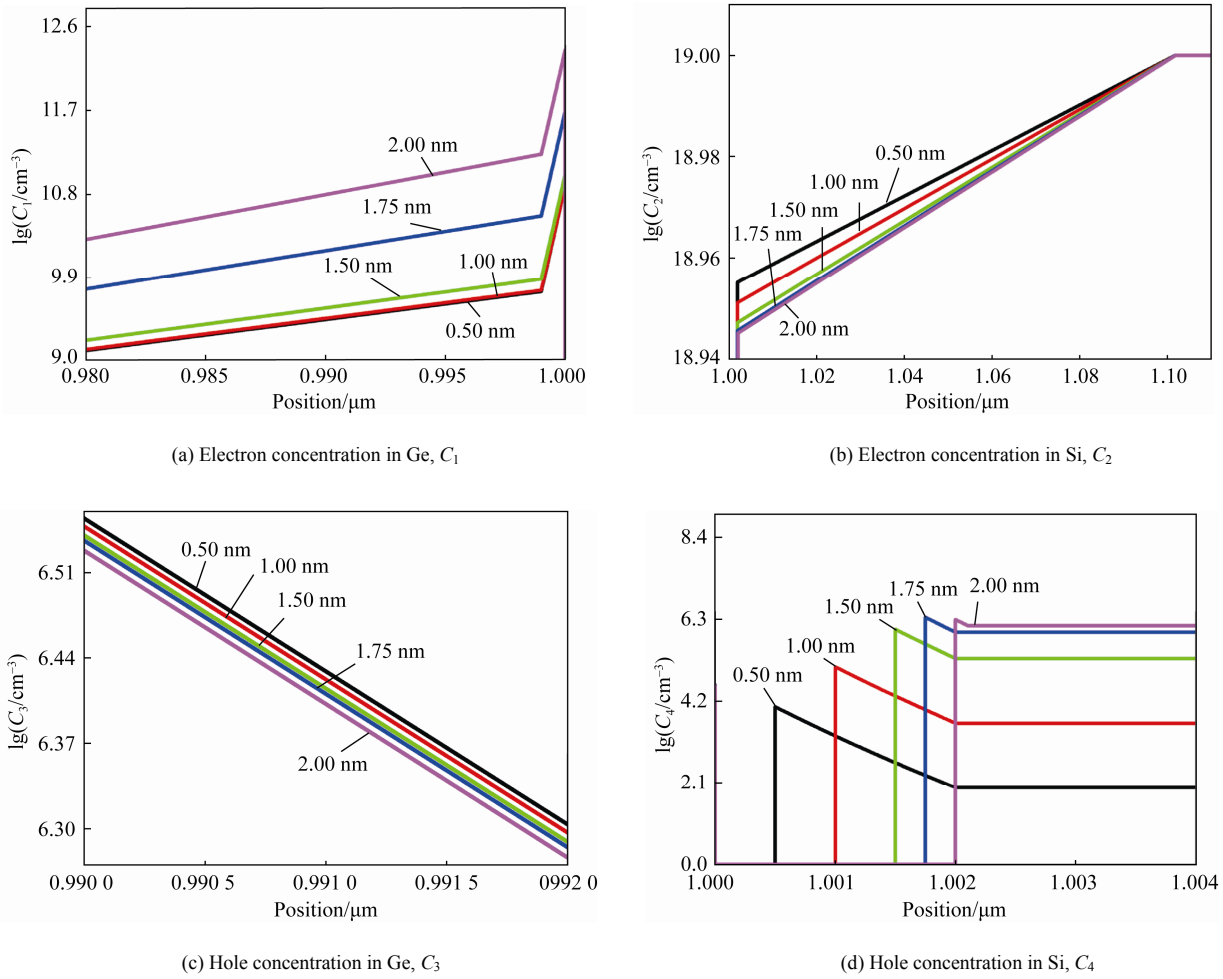


(a) Ge/GeO_2　　(b) GeO_2/Si

Temperature is 300 K; Reverse voltage is 1 V.

图 4　Ge/GeO_2 和 GeO_2/Si 界面复合率随 d_O 的变化

Fig. 4　Effect of d_O on the recombination rates at Ge/GeO_2 and GeO_2/Si interfaces



(a) Electron concentration in Ge, C_1

(b) Electron concentration in Si, C_2

(c) Hole concentration in Ge, C_3

(d) Hole concentration in Si, C_4

Temperature is 300 K; Reverse voltage is 1 V.

图 5 Ge 层和 Si 层的电子浓度、空穴浓度随 d_O 的变化

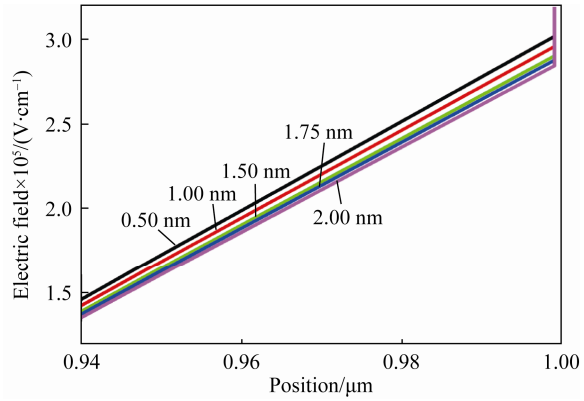
Fig. 5 Effect of d_O on electron concentrations and hole concentrations in Ge layer and Si layer

异质结电子速率的影响，如图 7 所示。从图 7 可见，随着 d_O 的增加，Ge 层内电子速率逐渐降低，而 Si 层内电子速率逐渐增加，该变化趋势正好与 Ge/Si 异质结内电场分布一致。由此可以得出，随着 d_O 的增加，Ge 层内载流子越来越难隧穿过 GeO_2 层，导致氧化层两端相应的漂移载流子浓度下降，同时 GeO_2 层的分压效应导致 Ge 层中电场逐渐下降，Si 层中电场上升，导致电子在 Ge 层和 Ge/GeO_2 界面发生堆积，空穴在 Si 层和 GeO_2/Si 界面堆积，使得界面的载流子复合率下降。

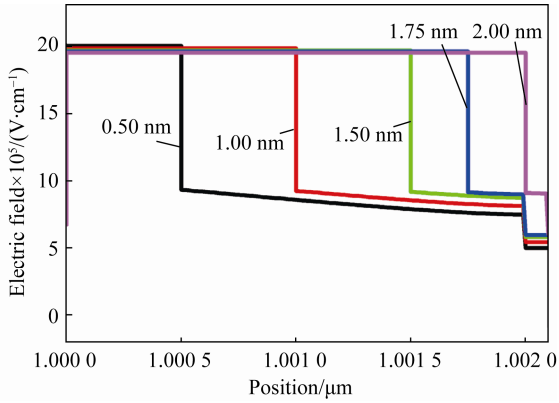
接着在 1.31 μm 近红外光照下模拟了 d_O 对 Ge/Si 异质结总电流的影响，电压设置为–10 V，如图 8 所示。从图 8 可见，当 d_O 低于 1.50 nm 时，Ge/Si 异质结的总电流几乎不受 d_O 的影响，保持在 1.2×10^{-5} A 附近，但当 d_O 超过 1.75 nm，在接近 0 V 时总电流急剧下降。为探究总电流下降的原因，对光照下载流子隧穿率进行模拟，如图 9 所示。从图 9 可见，随着 d_O 的增加，Ge/GeO_2 界面电子和空穴隧穿率逐渐降低，导致总电流下降。从图 6 和图 7 可见，随着 d_O 的增加，Ge 层内电场下降，导致载流子速率下降，载流子出现堆积，进而引起总电流的降低。由此可知，由 d_O 的增加引发的隧穿率下降和电场降低是导致总电流下降的主要原因。

图 10 为在 0 V 下模拟了 Ge/Si 异质结光谱响应随 d_O 的变化如图 10 所示。从图 10 可见，随着 d_O 的增加，Ge/Si 异质结的光谱响应电流逐渐降低，当 d_O 从 1.75 nm 增加到 2.00 nm 时，光谱响应电流急剧降低。这与总电流随 d_O 的变化趋势一致，说明总电流的降低导致光谱响应电流的下降。当氧化层较厚时，在 0 V 下，器件光谱响应将受到极大的影响，

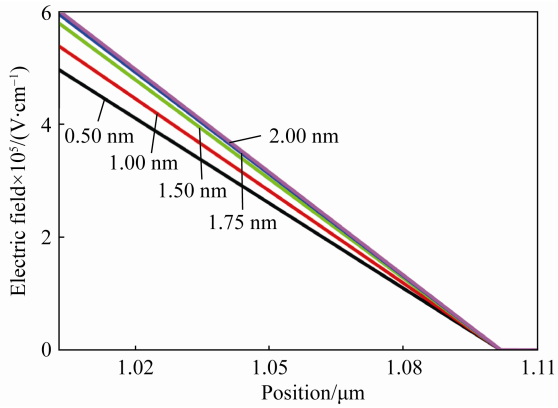
即由于氧化层的载流子阻挡作用，存在氧化层的 Ge/Si 异质结的开关比大于无氧化层的异质结，因此存在氧化层的 Ge/Si 异质结不适合用于制备低电压器件。然而对于具备雪崩特性的器件，如雪崩光电二极管，由于需要对雪崩条件下的暗电流进行控制，因此氧化层的阻挡效应可以很好的限制器件的暗电流。



(a) Ge



(b) GeO_2 l

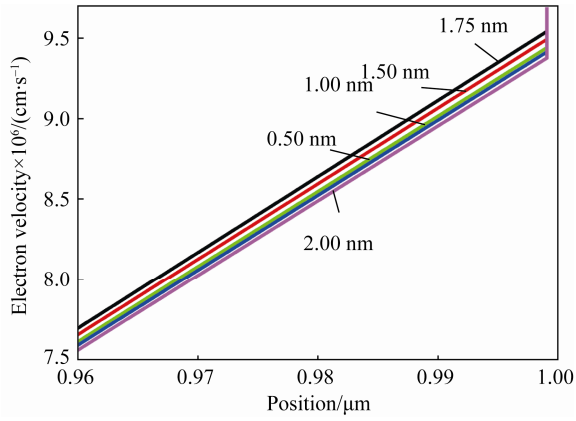


(c) Si

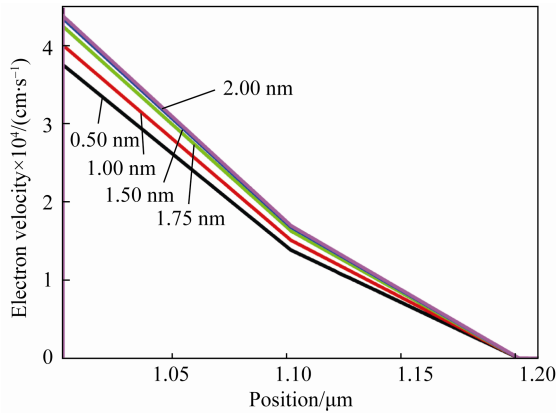
Temperature is 300 K; Reverse voltage is 1 V.

图 6　Ge 层电场、GeO_2 内电场、Si 层电场随 d_O 的变化

Fig. 6　Effect of d_O on the electric field in (a) Ge layer, (b) GeO_2 layer, and (c) Si layer



(a) Ge

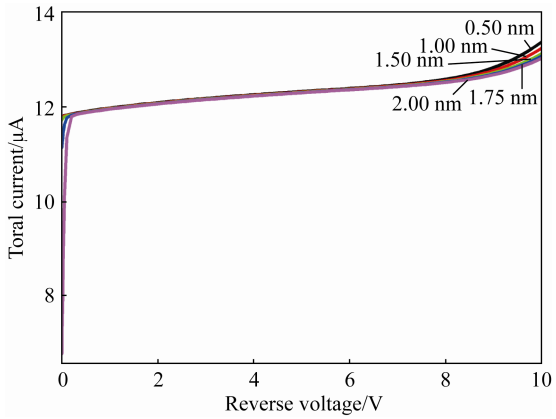


(b) Si

Temperature is 300 K; Reverse voltage is 1 V.

图 7　Ge 层和 Si 层电子速率随 d_O 的变化

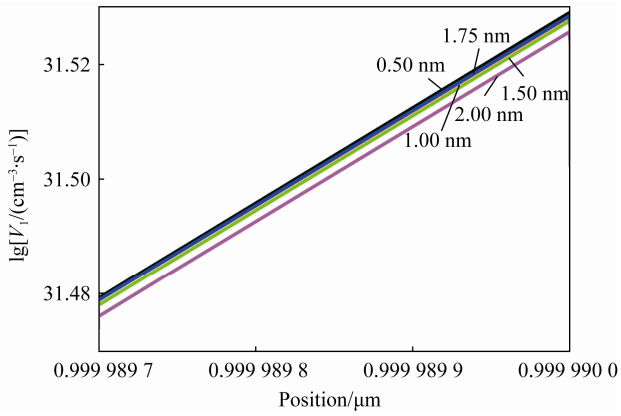
Fig. 7　Effect of d_O on the electron velocity in Ge layer and Si layer



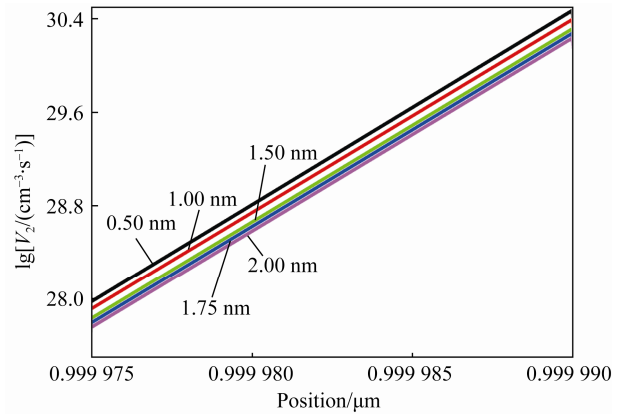
Temperature is 300 K; Reverse voltage is 10 V; Wavelength is 1.310 μm.

图 8　Ge/Si 异质结的总电流随 d_O 的变化

Fig. 8　Effect of d_O on the total current of the Ge/Si heterojunction



(a) Electron tunneling rate V_1

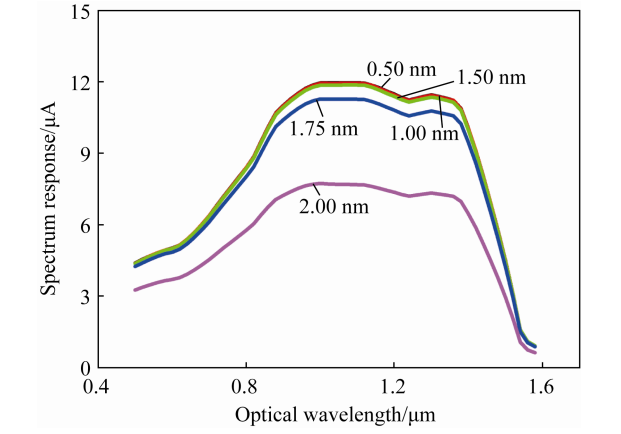


(b) Hole tunneling rate V_2

Temperature is 300 K; Reverse voltage is 10 V; Wavelength is 1.310 μm.

图 9 Ge/GeO_2 界面电子隧穿率、空穴隧穿率随 d_O 的变化

Fig. 9 Effect of d_O on the electron and hole tunneling rates at Ge/GeO_2 interface



Temperature is 300 K; Reverse voltage is 0 V; Wavelength is 1.310 μm.

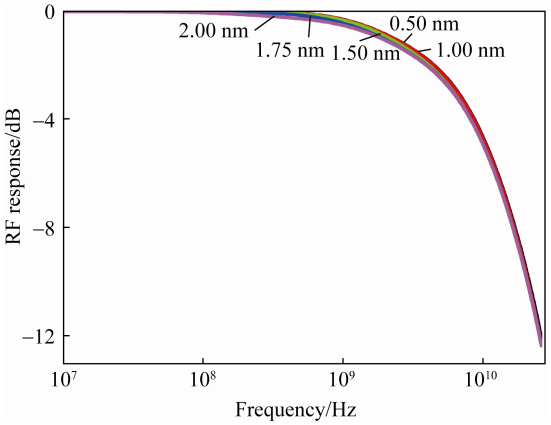
图 10 Ge/Si 异质结光谱响应随 d_O 的变化

Fig. 10 Effect of d_O on the spectrum response of the Ge/Si heterojunction

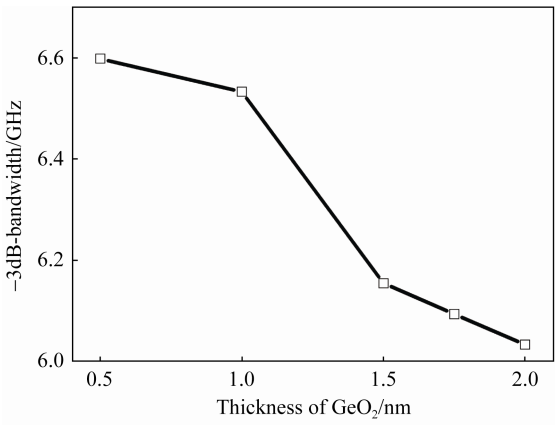
为研究 d_O 对器件高频特性的影响，采用 1.31 μm 的近红外光照射键合 Ge/Si 异质结，获得总电流随频率的变化趋势，器件的带宽 d_b 计算表达式如式(1)所示：

$$d_b=10\lg\left(\frac{I}{I_m}\right) \tag{1}$$

其中：I 为总电流随频率的变化；I_m 为最大的总电流，计算结果如图 11 所示。从图 11a 可见，随着 d_O 的增加，Ge/Si 异质结的频率响应逐渐降低，从中提取了 Ge/Si 异质结的 3 dB 带宽，如图 11b 所示。从图 11b 可见，随着 d_O 的增加，Ge/Si 异质结的 3 dB 带宽逐渐下降。载流子速率是影响器件 3 dB 带宽的主要因素，从图 6a 和图 7 可见，随着 d_O 的增加，Ge 层电场逐渐降低，导致载流子速率下降，使得 Ge/Si 异质结 3 dB 带宽下降。



(a) Frequency response



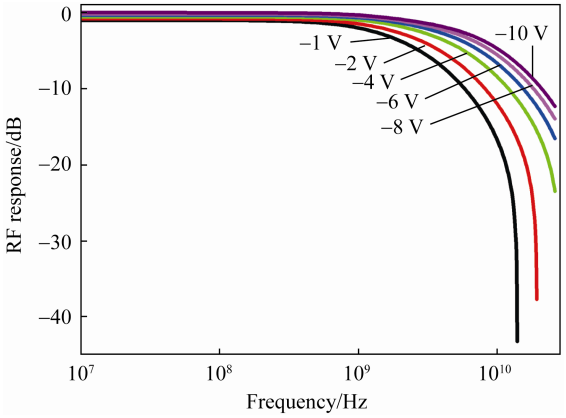
(b) 3 dB bandwidth

Temperature is 300 K; Reverse voltage is 10 V; Wavelength is 1.310 μm.

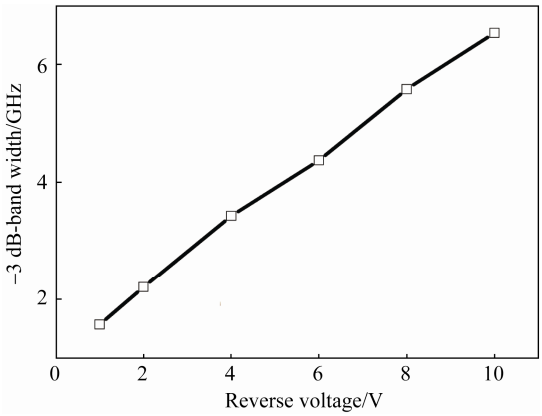
图 11 Ge/Si 异质结频率响应和 3 dB 带宽随 d_O 变化

Fig. 11 Effect of d_O on the frequency response and 3 dB bandwidth of the Ge/Si heterojunction

由于 Ge/Si 异质键合界面存在 GeO_2 层，异质结内电场分布与外延 Ge/Si 器件截然不同，为直观反映 GeO_2 层对 Ge/Si 异质结内部性能参数的影响，在 d_O 为 1 nm 的条件下模拟了不同偏压对 Ge/Si 异质结频率响应的影响，如图 12a 所示。从图 12a 可见，随着偏压的增加，Ge/Si 异质结的频率响应逐渐增加，同样提取了 Ge/Si 异质结的 3 dB 带宽，如图 12b 所示。从图 12b 可见，随着偏压的增加，异质结的 3 dB 带宽呈线性上升趋势。



(a) Frequency response



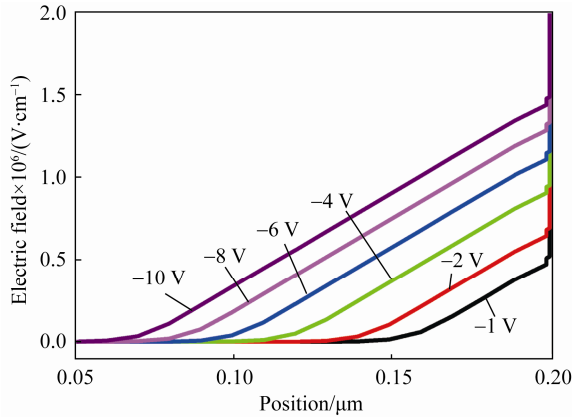
(b) 3 dB bandwidth

Temperature is 300 K; Wavelength is 1.310 μm; Thickness of GeO_2 is 1 nm.

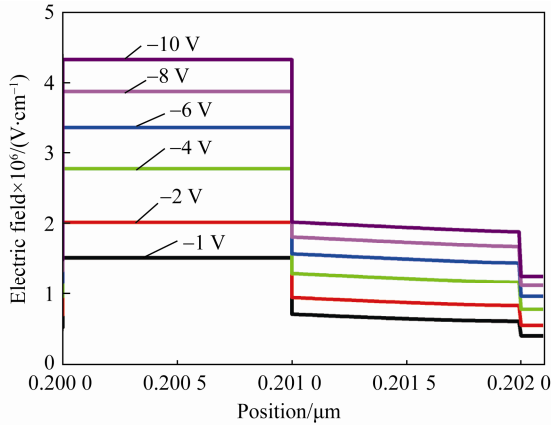
图 12　Ge/Si 异质结频率响应和 3 dB 带宽随偏压变化

Fig. 12　Effect of the bias on the frequency response and 3 dB bandwidth of the Ge/Si heterojunction

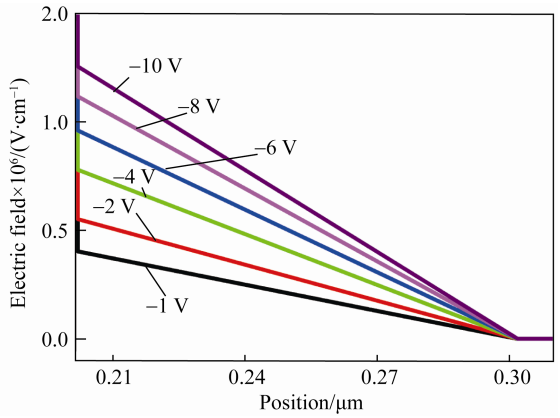
为探究带宽随偏压变化的原因，对器件中的电场进行模拟，如图 13 所示。从图 13 可见，随着偏压的增加，Ge 层、GeO_2 层和 Si 层的电场同时增加。电场增加会导致载流子速率上升，进而导致 3 dB 带宽增加。



(a) Ge



(b) GeO_2



(c) Si

Temperature is 300 K; Wavelength is 1.310 μm; Thickness of GeO_2 is 1 nm.

图 13　Ge 层、GeO_2 层和 Si 层电场随偏压的变化

Fig. 13　Effect of the bias on the electric field in Ge, GeO_2 and Si layers

3　结论

1) 随着 d_O 的增加，GeO_2 层对载流子的阻挡效应逐渐增强，电子隧穿过 GeO_2 的概率和数量降低，导致 GeO_2 层复合率降低，暗电流下降。复合率的

降低主要是由于 Ge 层电子堆积，电子浓度上升，空穴浓度下降导致的。其次，光照下 d_O 的增加导致载流子阻挡效应增强，总电流在低偏压下呈下降趋势，使得异质结光谱响应下降。

2) 光照下，随着 d_O 的增加，Ge 层的电场减小，载流子速率降低，导致 Ge/Si 异质结的 3 dB 带宽下降。而在 d_O 为 1 nm 条件下，随着反向偏压的增加，Ge 层内电场增加，载流子速率上升，导致 Ge/Si 异质结的 3 dB 带宽增加。

3) 当 d_O 为 0.5 nm 时，GeO_2 对暗电流、总电流、光谱响应、3 dB 带宽等器件性能影响不大，但当 d_O 增加到 2.0 nm，GeO_2 将会极大的削弱器件性能。因此，为了保证 Ge/Si 异质结的优异性能，Ge/Si 键合界面 d_O 必须控制在 0.5 nm 以内。

参考文献:

[1] WANG B Y, ZHU Y, DONG J T, et al. Self-powered, superior high gain silicon-based near-infrared photosensing for low-power light communication[J]. Nano Energy, 1998, 70: 104544.

[2] LI G, LIU L, WU G, et al. Self-powered UV-near infrared photodetector based on reduced graphene oxide/n-Si vertical heterojunction[J]. Small, 2016, 12(36): 5019–5026.

[3] YE L, LI H, CHEN Z, et al. Near-infrared photodetector based on MoS_2/black phosphorus heterojunction[J]. ACS Photon, 2016, 3(4): 692–699.

[4] LIAO S K, YONG H L, LIU C, et al. Long-distance free-space quantum key distribution in daylight towards inter-satellite communication[J]. Nat Photon, 2017, 11(8): 509–513.

[5] YOU L, WU J, XU Y, et al. Microfiber-coupled superconducting nanowire single-photon detector for near-infrared wavelengths[J]. Opt Express, 2017, 25(25): 31221–31229.

[6] KORZH B, ZHAO Q Y, ALLMARAS J P, et al. Demonstration of sub-3 ps temporal resolution with a superconducting nanowire single-photon detector[J]. Nat Photon, 2020, 14(4): 250–255.

[7] HE D Y, WANG S, CHEN W, et al. Sine-wave gating InGaAs/InP single photon detector with ultralow afterpulse[J]. Appl Phys Lett, 2017, 110(11): 111104.

[8] YU C, SHANGGUAN M, XIA H, et al. Fully integrated free-running InGaAs/InP single-photon detector for accurate lidar applications[J]. Opt Express, 2017, 25(13): 14611–14620.

[9] JIANG W H, LIU J H, LIU Y, et al. 1.25 GHz sine wave gating InGaAs/InP single-photon detector with a monolithically integrated readout circuit[J]. Opt Lett, 2017, 42(24): 5090–5093.

[10] 蒋玉荣, 秦瑞平, 蔡方敏, 等. 硅纳米线阵列的制备及光伏性能[J]. 硅酸盐学报, 2013, 41(1): 29–33.
JIANG Y, QING R, CAI F, et al. J Chin Ceram Soc, 2013, 41(1): 29–33.

[11] 任鹏, 杨修春. 非金属纳米材料表面等离子体共振的研究进展[J]. 硅酸盐学报, 2018, 46(10): 1383–1393.
REN Peng, YANG Xiuchun. J Chin Ceram Soc, 2018, 46(10): 1383–1393.

[12] SISTANI M, BARTMANN M G, GÜSKEN N A, et al. Nanoscale aluminum plasmonic waveguide with monolithically integrated germanium detector[J]. Appl Phys Lett, 2019, 115(16): 161107.

[13] LI Y, ZHANG R. Hole mobility in the ultra-thin-body junctionless germanium-on-insulator p-channel metal-oxide-semiconductor field-effect transistors[J]. Appl Phys Lett, 2019, 114(13): 132101.

[14] SIMOLA E T, DE I A, FRIGERIO J, et al. Voltage-tunable dual-band Ge/Si photodetector operating in VIS and NIR spectral range[J]. Opt Express, 2019, 27(6): 8529–8539.

[15] CHEN C, LI C, HUANG S, et al. Epitaxial growth of germanium on light emitters[J]. Int J Photoenergy, 2012, doi: 10.1155/2012/768605.

[16] LI Q, HAN S M, BRUECK S R, et al. Selective growth of Ge on Si (100) through vias of SiO_2 nanotemplate using solid source molecular beam epitaxy[J]. Appl Phys Lett, 2003, 83(24): 5032–5034.

[17] HUANG S, LI C, ZHOU Z, et al. Depth-dependent etch pit density in Ge epilayer on Si substrate with a self-patterned Ge coalescence island template[J]. Thin Solid Films, 2012, 520(6): 2307–2310.

[18] CURRIE M T, SAMAVEDAM S B, LANGDO T A, et al. Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing[J]. Appl Phys Lett, 1998, 72(14): 1718–1720.

[19] KANBE H, KOMATSU M, MIYAJI M. Ge/Si Heterojunction photodiodes fabricated by wafer bonding[J]. Jpn J Appl Phys, 2006, 45(7L): L644.

[20] KANBE H, HIROSE M, ITO T, et al. Crystallographic properties of Ge/Si heterojunctions fabricated by wet wafer bonding[J]. J Electron Mater, 2010, 39(8): 1248–1255.

[21] NA N, TSENG C K, KANG Y, et al. Rapid-melt-growth-based GeSi waveguide photodetectors and avalanche photodetectors[C]//Silicon Photonics IX, California, United States, 2014: 899014.

[22] TSENG C K, TIAN J D, HUNG W C, et al. Self-aligned microbonded Ge/Si PIN waveguide photodetectors[C]//The 9th International Conference on Group IV Photonics, California, United States, 2012: 1–3.

[23] BYUN K Y, COLINGE C. Overview of low temperature hydrophilic Ge to Si direct bonding for heterogeneous integration[J]. Microelectron Reliab, 2012, 52(2): 325–330.

[24] GITY F, DALY A, SNYDER B, et al. Ge/Si heterojunction photodiodes fabricated by low temperature wafer bonding[J]. Opt Express, 2013, 21(14): 17309–17314.

[25] RAZEK N, DRAGOI V, JUNG A, et al. Si-Ge Heterostructures fabricated by room temperature wafer bonding[J]. ECS Trans, 2018, 86(5): 191.

[26] PRICE P J, RADCLIFFE J M. Esaki tunneling[J]. IBM J Res Dev, 1959, 3(4): 364–371.

[27] KIEFER A M, PASKIEWICZ D M, CLAUSEN A M, et al. Si/Ge junctions formed by nanomembrane bonding[J]. ACS Nano, 2011, 5(2): 1179–1189.

[28] LI Q L, XIE Q, JIANG Y L, et al. Annealing induced hysteresis suppression for TiN/HfO_2/GeON/p-Ge capacitor[J]. Semicond Sci Tech, 2011, 26(12): 125003.

[29] KUZUM D, KRISHNAMOHAN T, NAINANI A, et al. High-mobility Ge N-MOSFETs and mobility degradation mechanisms[J]. IEEE T Electron Dev, 2010, 58(1): 59–66.

[30] GOGNA M, SUAREZ E, CHAN P Y, et al. Nonvolatile silicon memory using GeO_x-cladded Ge quantum dots self-assembled on SiO_2 and lattice-matched II–VI tunnel insulator[J]. J Electro Mater, 2011, 40(8): 1769–1774.

[31] ZHANG Q C, KELLY J C, MILLS D R. Possible high absorptance and low emittance selective surface for high temperature solar thermal collectors[J]. Appl Opt, 1991, 30(13): 1653–1658.