

一种用于无刷直流电机的栅极驱动器

冉祥涛, 于慧, 唐宁, 施博文, 王梦涵

(沈阳工业大学 信息科学与工程学院, 辽宁 沈阳 110870)

摘要: 针对应用于无刷直流电机的栅极驱动器的上电干扰脉冲和 dV/dt 噪声等可靠性问题, 设计了一款具备高可靠性、低功耗及抗 dV/dt 噪声能力的栅极驱动器。设计中, 采用了高侧 PMOS 架构, 并通过将栅极电压回馈至两组锁存器, 确保了充足的死区时间。加入偏斜设计的 SR 锁存器, 与前置逻辑组合过滤 dV/dt 噪声。在电平迁移电路中使用电流控制和电容耦合两种结构, 实现了高侧到低侧的电压回馈的同时自适应调节输入脉宽; 通过引入上电检测模块解决了在电源初始上电时产生的干扰脉冲, 增强了鲁棒性, 也降低了功耗。所设计的栅极驱动器基于 0.25 μm 工艺, 供电电压为 30~60 V。在 25 $^{\circ}\text{C}$ 典型工艺角下, 通过多级缓冲器与驱动管的连接, 确保了在驱动电流达到 1 A 时, 死区时间得到充分控制, 从而实现最小死区时间, 大约为 12 ns。

关键词: 栅极驱动器; 电平移位电路; dV/dt 噪声; 上电检测

中图分类号: TN432

文献标识码: A

DOI: 10.14106/j.cnki.1001-2028.2025.1469

引用格式: 冉祥涛, 于慧, 唐宁, 等. 一种用于无刷直流电机的栅极驱动器 [J]. 电子元件与材料, 2025, 44(10): 1185-1192.

Reference format: RAN Xiangtao, YU Hui, TANG Ning, et al. A gate driver for brushless direct current motors [J]. Electronic Components and Materials, 2025, 44(10): 1185-1192.

A gate driver for brushless direct current motors

RAN Xiangtao, YU Hui, TANG Ning, SHI Bowen, WANG Menghan

(School of Information Science and Engineering, Shenyang University of Technology, Shenyang 110870, China)

Abstract: Addressing the issues of power-on interference pulses and dV/dt noise in gate drivers for brushless direct current motors, a high-reliability, low-power gate driver with a certain degree of dV/dt noise immunity was designed. The implemented circuit employs a high-side PMOS architecture, ensuring sufficient dead-time by feeding back the gate voltage to two sets of latches. An SR latch incorporating intentional skew design was implemented and combined with the preceding logic stage to suppress dV/dt -induced noise. In the level-shifting circuit, both current mirror and capacitive coupling structures were used to achieve voltage feedback from the high side to the low side while adaptively adjusting the input narrow pulse width. The addition of a power-on detection module resolves interference pulses generated during initial power-on, enhancing robustness and reducing power consumption. The proposed gate driver was fabricated in a 0.25 μm process and operates with a supply voltage range of 30 V to 60 V. At 25 $^{\circ}\text{C}$ in the typical process corner, a minimized dead time of approximately 12 ns is achieved while driving a 1 A current-capable power stage with a multi-stage buffer, ensuring dead-time sufficiency is maintained.

Keywords: gate driver; level shifting circuit; dV/dt noise; power-on testing

无刷直流电机 (Brushless Direct Current Motor, BLDC) 因其高效率、高功率因数、高控制精度和低维

护成本, 受到了广泛的研究关注, 在空气压缩机、飞轮和高速钻削主轴等设备中得到了较多应用^[1-3]。在

收稿日期: 2024-10-29

基金项目: 辽宁省教育厅基本科研项目面上项目 (LJ212410142068)

通信作者: 于慧, 副教授, 博士, 主要从事纳电子材料与器件模拟与设计的研究。E-mail: wuliyuhui@126.com

电机系统中，驱动器可作为控制系统与电机之间的桥梁，通过调节电机电流、电压等参数，来实现电机的启动、制动、调速和保护等功能。对于 BLDC 电机，其驱动器通常由六开关逆变器构成，如图 1 所示^[4-5]。驱动电路中通常使用 MOSFET、IGBT、GaN FET 等作为开关管。为实现大电流驱动能力，开关管的尺寸不可避免地增大，进而加剧了栅电容的增大，缺少栅极驱动器将严重增加延迟时间。栅极驱动器为功率管提供了合适的驱动电压，能够有效降低开关时间，在电机系统中起着至关重要的作用。

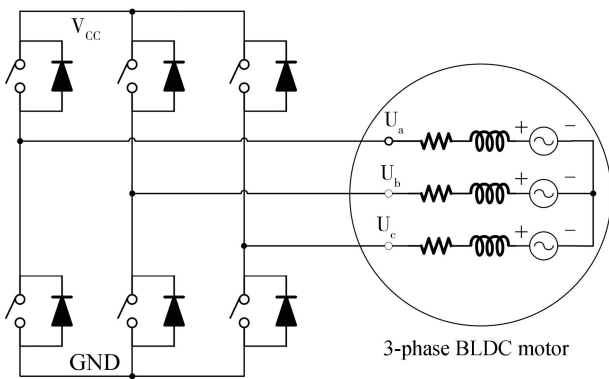


图 1 六开关逆变器实现三相无刷直流电机控制
Fig. 1 Control of three-phase brushless DC motors using a six-switch inverter

一方面，在栅极驱动器中，PMOS 和 NMOS 均可作为高侧开关管，由于电子的迁移率要比空穴的高，在相同尺寸下 NMOS 具有更高的跨导。因此，NMOS 因其优势得到广泛应用。相较于 PMOS 方案，NMOS 方案无需额外电源设计，且面积消耗更低。但由于总输出端直接作为高侧地，与高侧电路的浮阱相连，因此浮阱中的所有电路都会受到输出端 dV/dt 的干扰^[6]，且总输出端产生的高 dV/dt 会直接耦合到电源。除此之外，输出端的变化在影响自举电源时，还可能会引发逻辑错误，进而造成晶体管损坏，使其无法正常工作。

另一方面，在 BLDC 电机实际应用中，受电机中电感的影响，在电机换向时可能产生电流经驱动管体二极管流入电源^[7]。如图 1 所示，在 U_a 接电源 V_{cc} ， U_b 接地转变为 U_c 接地时，由于电感的续流效应，电流会从 U_b 对应的高侧体二极管流入 V_{cc} ，从而在 V_{cc} 电源端引发一个 dV/dt 噪声。在高侧采用 NMOS 的架构中，电感续流也会使输出节点产生 dV/dt 噪声。而对于高侧采用 PMOS 的架构，此噪声的影响大小主要取

决于电源的抗干扰能力，噪声对电路整体影响相对较小。

目前针对自举电路产生的 dV/dt 噪声已有许多处理方案：Yuan 等^[8]通过镜像电路产生与 dV/dt 噪声相反的变化电流，叠加在电阻上从而抵消其影响，但在 V_{SH} 低电平时电流 I_s 一直存在，增加了功耗，且上拉部分使用电阻，增加了节点充电延迟；Zhu 等^[9]利用差分两端电路会产生相同 dV/dt 噪声，经过特定的逻辑处理模块稳定输出，但窄脉冲直接进入高压管的栅极会使延迟增大；Yuan 等^[10]还尝试在高侧通路中逻辑端口与电源之间加入二极管接法的低压管，使其体二极管能够钳制两端电压不超过最大值，对噪声有抑制作用，但有一定局限性；Zhou 等^[11]分析了两种方向 dV/dt 噪声产生的逻辑来控制辅助电流抵消噪声影响；但由于高侧电路中的 NMOS 需要隔离，在相同的电流驱动能力下，隔离型器件的面积比普通低压型器件大很多，综合考虑后，高侧应尽量减少隔离型 NMOS 的使用。

实际上，目前无刷直流电机能达到的最高转速约为 100000 r/min。对于经典的六步换向法^[12-13]，所需最高控制频率约 10 kHz。因此，在 BLDC 的驱动应用中，传输延迟不需要控制到很低的极限，使得对可靠性有更高的要求。

本文设计了一种用于 BLDC 电机的高可靠性的栅极驱动器，其高侧采用 PMOS，利用两组锁存器确保两侧功率管栅极信号之间的死区时间，从而提高电路的安全性。在高侧设计了具有一定偏斜的 SR 锁存器，从根本上避免了 dV/dt 噪声造成的逻辑错误。为保证栅极驱动器的电压回馈功能以及电路整体功耗在可接受范围内，本文还设计了一种电平迁移电路，内含电流控制和电容耦合两种结构，电流控制结构用于低转高电平迁移电路中，通过窄脉冲的大电流快速改变逻辑状态，低延迟的同时还保持较低的功耗；而电容耦合则用于高转低电平迁移电路中，在电平迁移完成后一部分反馈回到窄脉冲当中，由此产生自适应的脉冲宽度，另一部分反馈至锁存器，控制死区时间，进一步提高了电路的稳定性。

1 传统栅极驱动器(高侧 PMOS)

1.1 整体架构

传统的高侧 PMOS 栅极驱动器采用的架构如图 2 所示，高侧电路主要包含电平迁移电路和缓冲器。电平迁移电路可以将低压控制信号从低压域转到高压域，

其传输延迟、功耗、输出驱动电流等参数在整体性能中占主导作用, 是栅极驱动器的核心电路。缓冲器旨在减少传输延迟, 增强驱动能力, 并缩短上升和下降时间, 从而有助于增大高侧功率管栅极电压的摆幅。在缓冲器末级配置的大电容能有效减弱由输出端引发的栅极 dV/dt 噪声。在此情况下, 输出端的 dV/dt 噪声借助米勒电容耦合至栅极, 以底部 NMOS 驱动管作为实例, 其简化电路如图 3 所示。

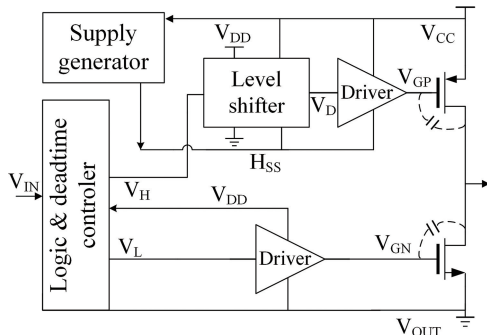


图 2 传统高侧 PMOS 驱动电路架构
Fig. 2 Traditional high-side PMOS driver circuit architecture

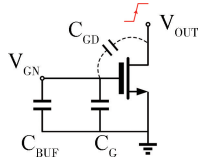


图 3 栅电容抑制输出 dV/dt 噪声的简化电路
Fig. 3 Simplified circuit for suppressing output dV/dt noise using gate capacitance

由输出 V_{OUT} 产生的 dV/dt 作用于 V_{GN} 的大小如式 (1) 所示:

$$\frac{dV_{GN}}{dt} = \frac{C_{GD}}{C_{BUF} + C_G + C_{GD}} \cdot \frac{dV_{OUT}}{dt} \quad (1)$$

式中: C_{GD} 为米勒电容; C_{BUF} 为驱动等效输出电容; C_G 为 NMOS 栅极等效寄生电容; V_{GN} 和 V_{OUT} 分别为 NMOS 栅极电压和输出端电压。因此, 栅极配置的大电容虽能有效减轻输出端电压波动的影响, 但相应地会增加电路面积。

高侧电路的逻辑低电平 H_{SS} 在电源上电后稳定输出, 电路正常工作时高侧电源两端稳定, 不存在由电源两端跳变延迟引起的高于 V_{DD} 的电压差。

死区控制模块负责产生不交叠信号, 并将其传输

至高侧和低侧电路。在标准状态下, 栅极信号 V_{GP} 和 V_{GN} 如图 4 所示, 当信号处于死区时间时, 驱动管均处于截止状态。然而, 由于路径延迟无法保证完全一致, 这可能导致信号产生交叠现象, 如图 4 高亮区域所示。此时两个驱动管均导通, 电源短路, 为此文献 [14] 中提到在低侧电路中引入延迟匹配模块, 使高、低两侧电路在一定条件下延迟尽量相等, 电路更加稳定。

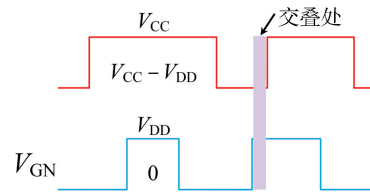


图 4 两种情况下的不交叠信号
Fig. 4 Non-overlapping signals in two cases

然而, 在考虑到温度变化、电源波动以及器件老化等因素时, 两路径的延迟将无法保证匹配, 这可能导致信号交叠的发生。通常为了兼顾各种非理想条件, 只能采用适配所有环境的最大延迟, 这也造成了不必要的面积浪费。因此, 通过传统延迟匹配的方法仍无法保证可靠性。

1.2 传统基于窄脉冲恢复的电平迁移电路

传统基于窄脉冲恢复的电平迁移电路如图 5 所示, 通过采集输入信号 V_H 的边沿分别生成两路高电平脉冲, 使高压管 M1、M2 分别导通。底部电流源在保证脉冲信号作用期间将对应节点有效拉低的前提下, 降低转换期间的功耗。同时 M5、M6 形成交叉耦合结构, 能够加速信号转换。M3 和 M4 以二极管接法分别

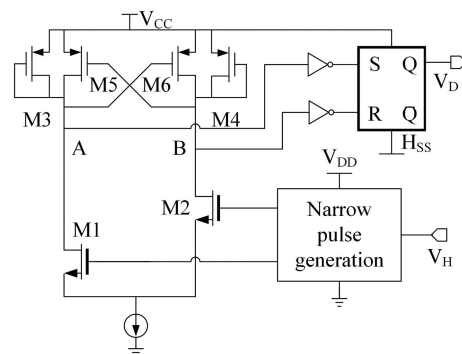


图 5 传统基于窄脉冲恢复的电平迁移电路架构
Fig. 5 Traditional level shifting circuit architecture based on narrow pulse restoration

为节点 A 和 B 供给恢复电流，确保 M1 或 M2 拉低节点电压后能够迅速恢复。A、B 节点的窄脉冲信号经 SR 锁存器恢复最终输出到驱动管。若窄脉冲发生器脉宽较小，且电路受 PVT 影响导致寄生电容增大，则可能形成低通滤波效应，将脉冲信号滤除，导致电路失效或输出错误逻辑，进而引发短路问题。相反，若窄脉冲发生器脉宽过大，则会增加功耗，造成不必要的能量损耗。除此之外，节点 A 或 B 若因电源抖动而产生同高或同低电平，将使高侧栅极信号逻辑错误，造成短路。

2 栅极驱动器的电路实现

2.1 整体架构

本文设计一种高侧 PMOS 栅极驱动器架构，如图 6 所示。该驱动器由输入级、SR 锁存器、缓冲器、延迟匹配模块和电平迁移电路组成。输入级电路运用了施密特整形技术，能将混杂噪声且变化平缓的输入信号转化为短上升/下降时间的高质量信号，进而增大噪声容限。两种 SR 锁存器负责产生非重叠信号，由电平迁移电路反馈至功率管栅极电压，确保了在低侧导通前高侧已关断，高侧导通前低侧亦已关断，以此保障充足的死区时间，防止功率管发生短路。具体实现过程如图 7 所示。

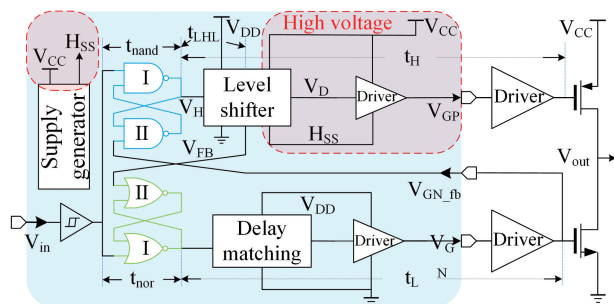


图 6 本文所设计的更可靠的高侧 PMOS 栅极驱动器架构
Fig.6 The more reliable high-side PMOS gate driver architecture designed in this paper

假设电路中经过同一路径传输延迟相等，定义在电平迁移电路中从信号输入到高侧电平回馈至低电平的传输延迟为 t_{LHL} 。当输入信号上升沿到来时，或非门 I 输出低电平。因此， V_{GN} 经过约 $t_{nor} + t_L$ 的延时后被拉至低电平。然后反馈到与非门 I 输出高电平，此时，由于 A 处于高电位状态，与非门 I 会输出低电平信号。该信号经过电平迁移电路和缓冲器处理后，依然保持低电平状态，从 V_{GN} 的下降沿至 V_{GP} 的下降沿，整个过

程的延迟时间大约为 $2t_{nand} + t_H$ 。同理，当输入信号出现下降沿时， V_{GP} 经过 $t_{nand} + t_H$ 的延迟后输出高电平信号，该信号再经过 $2t_{nor} + t_L + t_{LHL} - t_H$ 的延迟，最终使得低侧栅极信号输出高电平。只要确保这一延迟值大于零，就能保证驱动管栅极信号之间严格不发生交叠。调节延迟匹配模块使 $t_L \approx t_H$ ，则死区时间会有 $2t_{nor} + t_{LHL}$ 的裕量，以应对非理想情况下延迟变化。此外，应用于无刷直流电机时，输出信号占空比需尽可能与输入信号占空比相等。

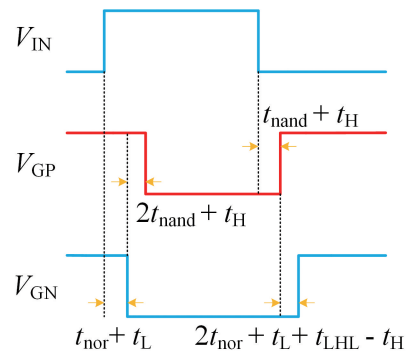


图 7 死区时间控制时序
Fig.7 Dead-time control timing sequence

为了分析占空比误差产生的原因，驱动管栅端信号至 V_{out} 的延迟忽略不计，假设 V_{GP} 信号向逻辑低电平跳变时，驱动电路输出电压立刻跳转至电源电压；同样，当 V_{GN} 信号向逻辑高电平跳变时，驱动电路输出电压立刻跳转至地，此时从输入 V_{IN} 信号到驱动输出的上升延迟为 $2t_{and} + t_{nor} + t_H + t_L$ ，下降延迟为 $t_{and} + 2t_{nor} + t_L + t_{LHL}$ 。显然，输入信号与输出信号占空比的差异源于上升延迟与下降延迟之间的差异，两者关系如式 (2) 所示：

$$\begin{aligned} t_{and} &\approx t_{nor} \\ t_{LHL} &< t_H \end{aligned} \quad (2)$$

可得实际脉宽会相对较小，差值 Δt 为：

$$\Delta t = t_{and} - t_{nor} + t_H - t_{LHL} \quad (3)$$

因此，为了减小占空比误差，需要增大 t_{LHL} ，使其近似等于 t_H ，这可以通过在 V_{FB} 端接入缓冲器来有效实现。

若要求信号严格不交叠，更可靠的方法是将电平

迁移电路中的电容耦合结构移出, 接到 V_{GP} 端, 但由于该结点寄生电容较大, 需要更大的电容才能使其下极板输出摆幅满足要求。此时 V_{GP} 上升沿经 $2t_{nor} + t_L$ 使 V_{GN} 输出高电平, 不需要考虑高低侧电路的延迟匹配问题, 提高了整体电路的可靠性。

2.2 电平迁移电路

电平迁移电路模块分为主体电路和控制电路两部分。主体电路用于将低压信号转为高压信号, 并在高压信号有效时立刻经电容耦合回馈至控制电路, 如图 8 所示。电平迁移电路模块主体电路由以下几部分组成: 稳压电路、电容耦合电平迁移模块、高侧电平恢复电路以及由 HV-NMOS 差分对、二极管接法和交叉耦合结构的 PMOS 组成的电平转换核心。

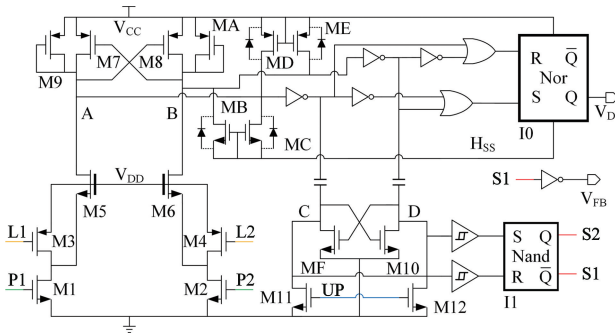


图 8 电平迁移电路
Fig. 8 Level shifting circuit

电平转换的核心是运用电流驱动机制, 依据输入信号边缘的变化, 分别激发两个窄脉冲高电平信号。以其中的一侧为例, 窄脉冲信号输出到 M1 的栅极, 从而提供一定的电流, 快速将高压管 M5 源极电位拉低。相比信号直接加在高压管的栅极^[6], 降低了传输延迟。M5 的源极与 M3 相连, 确保了在窄脉冲信号结束后 L1 端电位下降, 随后源极电位回升, 从而关闭 M5。M7 和 M8 形成交叉耦合结构, 用于提高转换速率并防止其两端逻辑错误。通过窄脉冲信号能够快速产生一个较大电流经过 M5, 由此可以迅速降低其漏极电位, 使 M8 导通, 并拉高 M6 漏极电位。鉴于窄脉冲信号激发的电流远超过二极管接法 PMOS 所能提供的, 因此在交叉耦合结构中采用 PMOS 实现显得尤为合理。M9 和 MA 用于当窄脉冲信号到来时提供一个电流, 以防 A 或 B 节点被拉至过低电位。

A、B 节点电压大小主要取决于下拉电流, 电平迁移主体电路由 M1、M5 和 M9 组成。当 P1 端接收到脉冲信号时, M1 进入饱和和工作状态, 其产生的电流

导致 M5 的源极电位逐渐降低, 直至 M5 也进入饱和状态, 进而使得 A 点的电位下降。在 P1 电压稳定在 V_{DD} 时, 电流取决于 M1, 可得 A 点电压如式(4)所示:

$$V_A = V_{CC} - \sqrt{\frac{2I_{M1}}{\mu_n C_{ox9} \frac{W}{L} |_{M9}}} \quad (4)$$

式中: V_A 为 A 点电压; μ_n 为电子迁移率; C_{ox9} 为 M9 的栅氧化层电容; I_{M1} 为流经 M1 管的电流大小; W 和 L 分别为 M9 的宽和长。因此, 可改变 M1 和 M9 尺寸来调节 A 点电位。但由于等式中根号的关系, 调节效率不如通过直接改变 M5 尺寸的方式高。在电流保持恒定的条件下, 沟道调制效应的作用使得 M5 的宽长比与 A 点电压 V_A 之间呈现出一种线性关系。

MB~ME 能够一定程度上限制 A、B 节点电压, 但考虑 PVT 影响, A 点电压过低可能导致高侧 MOS 被击穿, 因此可以调节 M5 尺寸使各种环境下的 A 节点最低电压高于 H_{SS} , 后续反相器可改用施密特触发器以避免不同环境下电压变化。

在电平转换完成并稳定后, 输出给电容耦合电平迁移电路。该模块主要由一对电容、电源上电复位模块、施密特触发器和 SR 锁存器组成。电源上电稳定后, A、B 节点电压被 M9 和 MA 拉至高电平, 使电容上极板初始电压为高侧低电平 ($V_{CC} - V_{DD}$); 同时, UP 信号产生一个脉冲, 将 C、D 节点复位至地。电容上极板的高电平脉冲会触发对应下极板产生低电平脉冲, 该脉冲经施密特触发器处理后, 输出至 SR 锁存器, 完成信号恢复。鉴于隔离型器件体积较大, 采用电容耦合方式相较于电流驱动, 在高转低转换中能更有效地节省空间并减少功耗。

在电容耦合电平迁移电路中, 当输出发生跳变时, 电平从低状态转换至高状态的过程也随之完成。S1 和 S2 作为控制信号接入生成电路(如图 9 所示), 使电路检测到电平迁移完成后便迅速关断脉冲信号 P1 或 P2, 由此来实现脉宽的自适应调节。电容耦合电平迁移电路的输出 V_{FB} 也作为低侧电路的反馈, 以实现鲁棒性较高的栅极驱动器。在电源 V_{CC} 有效时, A、B 两节点保持高电平, 经过逻辑电路输入到 I0, 使其处于锁存状态。I0 设计带有一定偏斜, 可加强 S 端或非门的上拉能力和 R 端或非门的下拉能力, 从而使输出 Q 端初始为高电平。在电源抖动或噪声导致 A、B 节点同步高低跳变时, 电平恢复电路保持 I0 锁存, MB~ME

通过体二极管确保 A、B 节点电压不超耐压值，能够有效抵御 dV/dt 噪声。

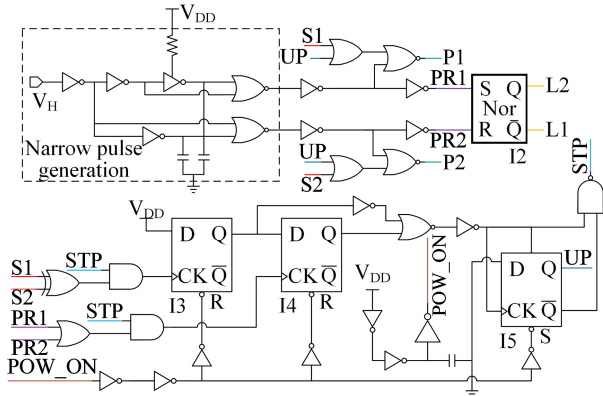


图 9 控制信号生成电路

Fig. 9 Control signal generation circuit

在 V_{DD} 上电时，窄脉冲生成电路产生高电平脉冲，导致 M2 误动作，引发高侧电路逻辑错误。在引入 I3 和 I4 且 V_{DD} 高有效时，POW_ON 信号触发高电平脉冲，复位触发器并下拉 C、D 节点至低电平，经施密特触发器反向锁存 I1，I1 偏斜设计确保上电后 S1 高、S2 低。在初始上电 S、R 两端均高时，若 S1 低 S2 高，则 P1 会被拉高，从而再次拉低 S1。由于此时电源已稳定，S2 会被拉高，恢复默认状态。在 S1 与 S2 不等时输出高电平，使 I3 触发，Q 端输出高电平，而 I4 输出 Q 端初始值为 0，由电源上电引起的脉冲会被 I4 所过滤。UP 信号初始为高电平，使实际输出的窄脉冲信号为低电平，从而抵消了由于电源上电引起的错误脉冲，并保证初始状态电容下极板接地。为确保电路正常工作不受影响，当检测到 A 信号跳变时，I5 随即触发，使得 UP 信号输出低电平。随后，STP 信号被激活，以停止 I3~I5 的工作，进而降低动态功耗，使电路进入稳定工作状态。主要控制信号时序如图 10 所示。

3 仿真结果分析

本研究采用 $0.25 \mu\text{m}$ BCD 工艺，设计了一款适用于 $30\sim 60 \text{ V}$ 范围内的无刷直流电机控制电路。在仿真中，设定了 20 V 的电压输入端 V_{CC} 和 5 V 的低侧电路供电 V_{DD} ，以确保系统在不同工作条件下的稳定性和可靠性。控制信号结果如图 11 所示。PR1 与 PR2 为原本脉冲输出信号，在 V_{DD} 上电后会产生错误脉冲，如图 11 椭圆圈中所示。经过控制信号生成电路中的逻辑处理得到信号 P1 与 P2。在 P1 和 P2 信号中错误脉冲

被滤除，同时脉宽也得到了调制，减少了每次转换损耗的能量。

仿真结果表明，在 V_{DD} 上电后，POW_ON 会产生一个高电平脉冲为电路中部分节点提供初始条件，并使 UP 信号置高电平。在过滤掉初始错误脉冲后，检测到输入信号 V_H 跳变至高电平时，才使 PR2 正常传递至 P2，同时将 UP 信号关断，这意味着电路进入了正常工作状态。

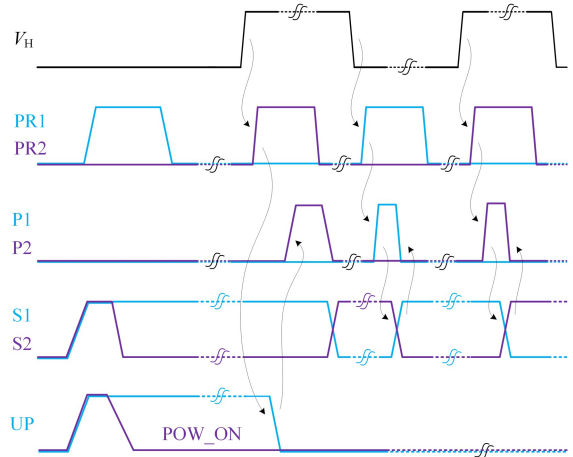


图 10 控制信号时序图

Fig. 10 Control signal timing diagram

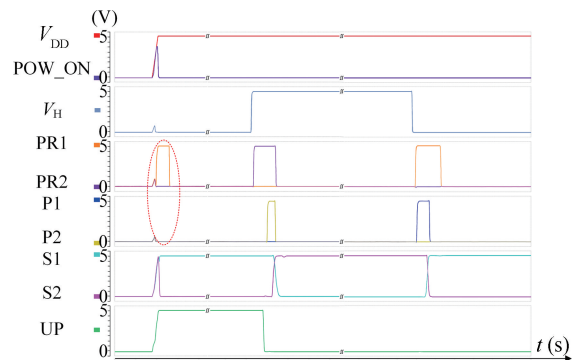


图 11 控制信号仿真图

Fig. 11 Simulation diagram of control signals

为了测试高侧逻辑电路的抗 dV/dt 干扰能力，在 V_{GN} 由高电平跳变为低电平时，模拟电机电感续流作用在电源 H_{SS} 端叠加一个 5 V 的电压脉冲。同时， H_{SS} 端经过直流 5 V 电压连接到 V_{CC} ，得到图 12 所示波形。图 12 中 S、R 分别为高侧锁存器的两个信号输入端，A、B、S、R 均为相对 H_{SS} 端的电压信号，因此图中高电平为 5 V ，低电平为 0 。可见，由于 H_{SS} 端的干扰，使得 A、B 端逻辑出现了错误的低电平（图 12 圈内所示），但是经过逻辑处理后，S、R 端不会受到影响，

因此输出端也就不受干扰。

为进一步验证所设计的栅极驱动器功能, 搭建了仿真电路如图 13 所示。图 13 中 GD 器件为所设计的栅极驱动器, 输出端经过多级缓冲连接至驱动管。其中高侧缓冲器器件尺寸比例为 3 : 25 : 100; 低侧缓冲器器件尺寸比例为 2 : 5 : 20。高侧驱动管配置了等效总宽为 18 mm、长度为 3 μm 的 PMOS 器件, 而低侧则选用了等效总宽 2.3 mm、长度 0.6 μm 的 NMOS 器件, 该设计具备 1 A 的驱动能力, 并通过使用 1 nF 的电容器作为负载进行了仿真测试, 最终得到的仿真波形如图 14 所示。

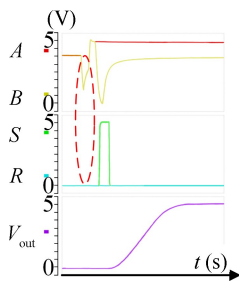


图 12 dV/dt 引起的逻辑错误被消除
Fig. 12 Elimination of logic errors caused by dV/dt

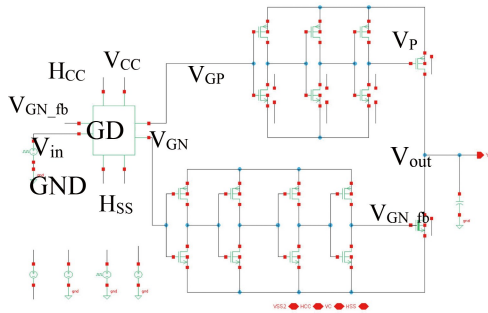


图 13 仿真电路图
Fig. 13 Simulated circuit diagram

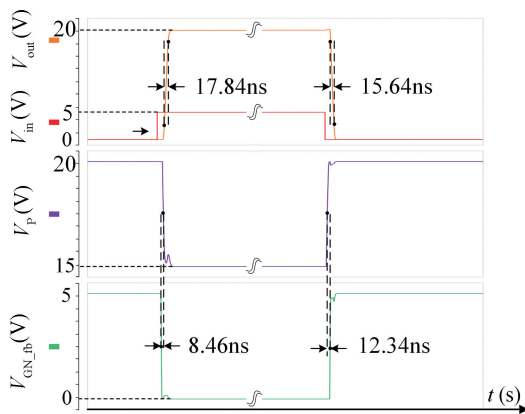


图 14 栅极驱动器关键节点电压波形
Fig. 14 Voltage waveform of key nodes in the gate driver

图 14 为输入信号 V_{in} 、输出信号 V_{out} 以及两驱动管栅极电压波形。仿真结果表明, 输出信号的上升时间为 17.84 ns, 下降时间为 15.64 ns; 栅极电压上升期间的死区延迟为 12.34 ns, 下降期间的死区时间为 8.46 ns。

整体电路版图如图 15 所示, 总面积约为 44592 μm^2 。图 15 中框选部分为高压管 M5 与 M6, 从中可看出, 隔离型器件占据大部分面积。提取出寄生参数并导入网表后, 进行后仿得到仿真波形, 如图 16 所示。

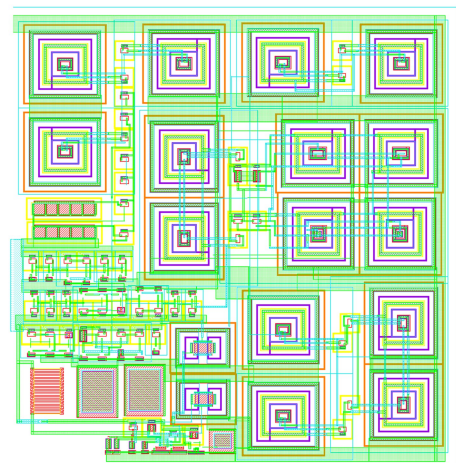


图 15 整体电路版图
Fig. 15 Overall circuit layout

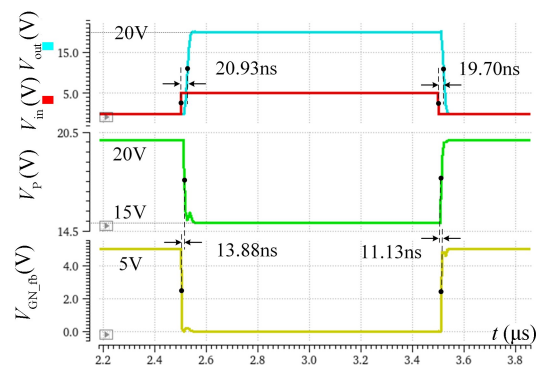


图 16 后仿真关键节点电压波形
Fig. 16 Post-simulation critical node voltage waveforms

根据仿真结果图 16 显示, 输出信号的上升延迟为 20.93 ns, 下降延迟为 19.70 ns; 在栅极电压变化期间, 上升死区延迟为 13.88 ns, 下降死区延迟为 11.13 ns。可见在导入寄生参数后, 虽然信号延迟不同程度地增大, 但死区时间仍控制在理想范围内。本研究所设计的栅极驱动器在确保死区时间充足的同时, 实现

了最小的死区时间，从而保证了传输延迟不会过大。

表 1 为本研究与其他文献的电平移位电路的参数对比。相比之下，Zheng 等^[14]设计的电路静态功耗较大，Zhou 等^[11]使用了较多的隔离型器件，其占用面积较大，可能将造成较大的功耗。Deo 等^[15]设计的电平迁移电路在传输延迟上还有一定的提升空间，且动态功耗较高。本文所设计的栅极驱动器带有上电检测，且平均功耗为 20 μW 左右，具有良好的可靠性。综上，本研究设计的栅极驱动器在驱动能力方面表现出色，以及在电平移位模块的传输延迟和功能特点上，相较于其他设计具有显著优势。

表 1 本文与其他文献的电平移位电路的参数对比

Tab. 1 Comparison of parameters between the level shifting circuits in this paper and other literature

文献	制程	测试电压(V)	传输延迟(ns)	dV/dt 模块
[14]	1 μm GaN-on-Si	50	10.60	有
[11]	0.18 μm BCD	35	0.72	有
[15]	0.18 μm BCD	20	上升, 2.09	无
			下降, 4.05	
本文	0.25 μm BCD	20	1.85	有

4 结论

本研究提出了一种用于无刷直流电机的栅极驱动器，采用了高侧 PMOS 架构，通过保证死区时间来提高驱动电路的鲁棒性。同时，在电平移位电路中添加了电容耦合结构使电压回馈，在实现死区控制的同时为脉冲的自适应调节提供了基础。针对低侧电源上电时引起的错误脉冲，在电平移位电路中添加了辅助电路。其在过滤掉错误脉冲后停止工作，使电路进入正常工作状态。同时为避免 dV/dt 噪声影响电路整体的可靠性，在高侧电路中加入部分逻辑电路，并设计具有一定的偏斜的锁存器，能在一定程度上避免 dV/dt 噪声对高侧电路的影响。本文设计基于 0.25 μm BCD 工艺的栅极驱动器，采用多级缓冲器连接至具有 1 A 电流驱动能力的驱动管，可在确保死区时间充足的同时，将其最小化至 12 ns。其上升/下降延迟仅为 20 ns 左右，功耗表现优异。此外，还具备上电检测功能和抗 dV/dt 噪声特性，确保了高度的可靠性。通过搭配适当的外围电路，该产品能够轻松应用于无刷直流电机的驱动系统中。

参考文献:

- [1] 穆德森, 唐博, 陈倩, 等. 无刷直流电机铁耗精细化计算 [J]. 机电元件, 2024, 44(5): 51-53.
- [2] Yang L, Zhu Z Q, Shuang B, et al. Adaptive threshold correction strategy for sensorless high-speed brushless DC drives considering zero-crossing-point deviation [J]. IEEE Transactions on Industrial Electronics, 2020, 67(7): 5246-5257.
- [3] 胡鸿志, 耿妍婷, 苏弘杰, 等. 基于改进超螺旋滑模观测器的无刷直流电机无传感器控制 [J]. 自动化应用, 2024, 65(18): 48-53.
- [4] 梁卫凯, 褚锦涛. 一种关于无刷直流电机的调速控制系统 [J]. 信息技术与信息化, 2024(8): 119-122.
- [5] 李振杰, 柯敬禹, 周滔, 等. 基于 GD32 的无刷直流电机双路驱动器设计 [J]. 电工技术, 2024(15): 21-26.
- [6] Liu Z D, Cong L, Lee H. Design of on-chip gate drivers with power-efficient high-speed level shifting and dynamic timing control for high-voltage synchronous switching power converters [J]. IEEE Journal of Solid-State Circuits, 2015, 50(6): 1463-1477.
- [7] 尹勇生, 朱守佳, 杨悦, 等. 一种高 dV/dt 噪声抑制的电平移位电路设计 [J]. 微电子学, 2023, 53(2): 221-226.
- [8] Yuan B, Ying J, Ng W T, et al. A high-voltage DC-DC buck converter with dynamic level shifter for bootstrapped high-side gate driver and diode emulator [J]. IEEE Transactions on Power Electronics, 2020, 35(7): 7295-7304.
- [9] Zhu W, Mishra A, Karmakar A, et al. A 400 V gate driver with complementary slope sensing ZVS detector and high voltage level shifter for full-bridge phase-shifted converters [C]//2022 20th IEEE Interregional NEWCAS Conference (NEWCAS). NY, USA: IEEE, 2022: 193-197.
- [10] Yuan B, Xiao L Q, Wang B Y, et al. High-speed dynamic level shifter for high-side bootstrapped gate driver in high-voltage buck regulators [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(9): 3083-3087.
- [11] Zhou Z K, Zhuang Z Q, Peng L C. Design of a high voltage level shift with high dV/dt immunity and high speed [C]//2022 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). NY, USA: IEEE, 2022: 190-194.
- [12] Maghfiroh H, Adriyanto F, Seta Ekananda A, et al. Brushless direct current (BLDC) motor control system with isolated gate driver [C]//2021 International Conference on Electrical and Information Technology (IEIT). NY, USA: IEEE, 2021: 39-44.
- [13] 向文乐, 向青青, 李圳, 等. 新型三定子直流无刷电机的设计与特性分析 [J]. 现代电子技术, 2024, 47(16): 76-84.
- [14] Zheng Y F, Li B Y, Dong Q H, et al. A 200 V half-bridge monolithic GaN power IC with high-speed level shifter and dV/dt noise immunity enhancement structure [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2024, 32(3): 542-551.
- [15] Deo A, Maity A, Patra A. A high voltage level shifter for automotive buck converter with a fast transient response [C]//2022 35th International Conference on VLSI Design and 2022 21st International Conference on Embedded Systems (VLSID). NY, USA: IEEE, 2022: 257-262.