

## 一种带分段曲率补偿的高 PSRR 带隙基准

朱春晓<sup>1,2</sup>, 武 华<sup>1</sup>, 周雨涵<sup>1</sup>, 程家伟<sup>1</sup>, 曹先国<sup>2</sup>

(1. 赣南师范大学 物理与电子信息学院, 江西 赣州 341000; 2. 四川芯盛芯国科技有限公司, 四川 成都 610000)

**摘要:** 针对传统无运放带隙基准结构温度系数较高、电源抑制比(PSRR)性能较差, 难以满足高精度应用需求的问题, 设计了一种具有分段曲率补偿的高 PSRR 带隙基准电路。该电路采用电压自调节电路结构, 通过负反馈环路抑制低频范围内电源纹波, 增强输出电压的抗干扰能力。同时为了降低带隙基准的温漂系数, 引入 PTAT<sup>2</sup> 电路产生补偿电流, 对电路进行分段曲率补偿。提出的带隙基准电路采用 SMIC 0.18  $\mu\text{m}$  工艺进行设计, 结果表明, 在 3.3 V 工作电压下, 带隙基准输出电压为 1.197 V; 在  $-45\sim 125\text{ }^\circ\text{C}$  温度范围内, 温度系数为  $5.38\times 10^{-6}/^\circ\text{C}$ , 低频下带隙基准源的 PSRR 为  $-103\text{ dB}$ , 电路的静态电流为  $14.8\text{ }\mu\text{A}$ 。

**关键词:** 带隙基准; 电压自调节; 分段曲率补偿; 电源抑制比

中图分类号: TN433

文献标识码: A

DOI: 10.14106/j.cnki.1001-2028.2025.0021

**引用格式:** 朱春晓, 武华, 周雨涵, 等. 一种带分段曲率补偿的高 PSRR 带隙基准 [J]. 电子元件与材料, 2025, 44(10): 1204-1210.

**Reference format:** ZHU Chunxiao, WU Hua, ZHOU Yuhan, et al. A high PSRR bandgap reference with piecewise curvature compensation [J]. Electronic Components and Materials, 2025, 44(10): 1204-1210.

## A high PSRR bandgap reference with piecewise curvature compensation

ZHU Chunxiao<sup>1,2</sup>, WU Hua<sup>1</sup>, ZHOU Yuhan<sup>1</sup>, CHENG Jiawei<sup>1</sup>, CAO Xianguo<sup>2</sup>

(1. College of Physics and Electronic Information, Gannan Normal University, Ganzhou 341000, Jiangxi Province, China; 2. Sichuan Xinsheng Xinguo Technology Co., Ltd., Chengdu 610000, China)

**Abstract:** To address the limitations of conventional opamp-free bandgap reference architectures—specifically their high temperature coefficient and insufficient power supply rejection ratio (PSRR) performance, which fail to meet high-precision application requirements—a high-PSRR bandgap reference circuit with segmented curvature compensation was designed. The proposed bandgap reference circuit adopts a voltage self-regulation structure, which suppresses power supply ripple in the low-frequency range through a negative feedback loop and enhances the anti-interference capability of the output voltage. Furthermore, a PTAT<sup>2</sup> (proportional to absolute temperature squared) compensation circuit was integrated to generate a compensation current, enabling segmented curvature compensation and thus realizing a significant reduction in the temperature coefficient. The proposed bandgap reference circuit was designed based on the SMIC 0.18  $\mu\text{m}$  CMOS process. Simulation results indicate that, at an operating voltage of 3.3 V, the bandgap reference output voltage is 1.197 V; over the temperature range of  $-45\text{ }^\circ\text{C}$  to  $125\text{ }^\circ\text{C}$ , the temperature coefficient is  $5.38\times 10^{-6}/^\circ\text{C}$ . The PSRR of this bandgap reference at low frequencies reaches  $-103\text{ dB}$ , and the circuit has a quiescent current of  $14.8\text{ }\mu\text{A}$ .

**Keywords:** bandgap reference; voltage self-regulation; piecewise curvature compensation; power supply rejection ratio

带隙基准(BGR)电路作为现代集成电路系统中必不可少的基本电路模块,其性能对整个信号处理系统有着至关重要的影响<sup>[1-4]</sup>。随着电子设备朝着小型化、高性能化方向不断的发展,对带隙基准的性能提出了更为严苛的要求,尤其是电源抑制比(PSRR)和温度系数(TC)这两个衡量其性能的重要指标。高PSRR的带隙基准能够有效地降低电源噪声对基准电压的干扰,从而保障电路输出的稳定性和准确性。低温度系数的BGR则能确保系统在全温度范围内正常工作,可以减小因温度波动导致的性能退化。

为了提高BGR的性能指标,Chen等<sup>[5]</sup>提出了一种共享失调电压补偿方案,在 $-40\sim 150\text{ }^{\circ}\text{C}$ 温度范围内,放大器引入的模拟输出误差控制在 $5\sigma$ 失调范围内,得到了 $5.78\times 10^{-6}/^{\circ}\text{C}$ 的温度系数和 $-82\text{ dB}@10\text{ kHz}$ 的电源抑制比。但由于引入了多个放大器,导致了电路整体的功耗和噪声较大。为了降低功耗,Duan等<sup>[6]</sup>通过工作在亚阈值区MOS管的温度特性对带隙基准电路进行了温度补偿,但由于工作在亚阈值区晶体管的工作点难以控制,在实际工艺条件下,该补偿方案的可行性会受到严重制约。Li等<sup>[7]</sup>则通过高阶曲率补偿来降低带隙基准的温度系数,在低压条件下实现了 $1.64\times 10^{-6}/^{\circ}\text{C}$ 的低温度系数,但其PSRR仅为 $-50\text{ dB}@1\text{ kHz}$ 。Xie等<sup>[8]</sup>基于改进的翻转电压跟随器(FVF),提出了一种反馈深度增强技术,使BGR的低频PSRR高达 $-184\text{ dB}$ ,但其最佳温度系数为 $22.04\times 10^{-6}/^{\circ}\text{C}$ 。由此可见,国内外学者对BGR性能提升的研究还存在不足之处,开展对高PSRR、低温度系数的带隙基准电路结构的进一步研究仍具有重要的现实意义。

针对上述问题,本文提出了一种具有分段补偿的高PSRR带隙基准电压电路。该BGR采用电压自调节电路结构,通过引入负反馈回路来提高低频下的PSRR性能。利用PTAT<sup>2</sup>电路在不同温度段产生相应的补偿电流对电路进行分段曲率补偿,有效地降低了基准的温度系数,提高了电路的温度稳定性。

## 1 传统带隙基准

传统的电压模带隙基准结构如图1所示。该结构利用 $M_1\sim M_4$ 构成的电流镜及负反馈环路迫使A、B两点电压相等。将 $Q_1$ 和 $Q_2$ 基极-发射极电压差值 $\Delta V_{BE}$ 作用于电阻 $R_1$ 上产生的正温度系数电流(PTAT),与负温度系数电压 $V_{EB}$ 进行加权求和,得到了一个与温度

无关的基准电压。

电流 $I_{PTAT}$ 和输出电压 $V_{ref}$ 的关系可表示为:

$$V_{ref} = V_{EB3} + I_{PTAT}R_2 = V_{EB3} + \frac{R_2}{R_1}V_T \ln N \quad (1)$$

式中: $V_{EB3}$ 为晶体管 $Q_3$ 的发射结电压; $V_T$ 为热电压,常温下约为 $26\text{ mV}$ ; $N$ 为 $Q_1$ 与 $Q_2$ 发射结面积之比。由式(1)可得,图1所示电路结构的PSRR表达式<sup>[9]</sup>为:

$$\text{PSRR} = 20\lg(\nu_{ref}/\nu_{dd}) = 20\lg[i_{PTAT}(R_2 + r_{e3})/\nu_{dd}] \quad (2)$$

式中: $\nu_{ref}$ 为 $V_{ref}$ 的扰动量; $\nu_{dd}$ 为 $V_{DD}$ 的扰动量; $r_{ex}$ 为 $Q_x(x=1, 2, 3)$ 的集电极电阻。为了得到图1所示传统BGR电路中 $i_{PTAT}$ 与 $\nu_{dd}$ 的关系,建立了如图2所示传统BGR电路的小信号模型。

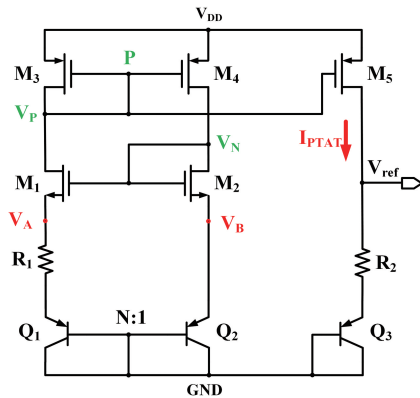


图1 传统电压模带隙基准电路

Fig. 1 Conventional voltage mode bandgap reference circuit

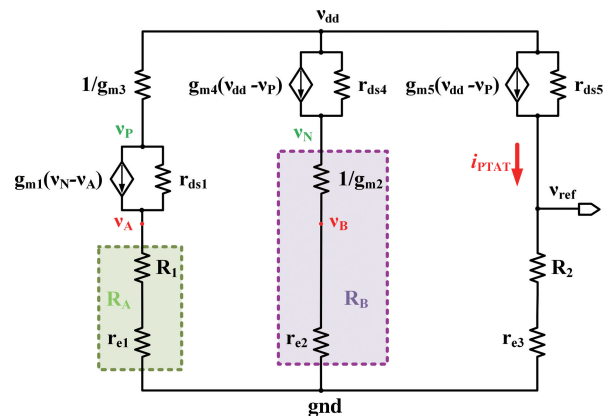


图2 传统BGR的小信号模型

Fig. 2 Small signal model of conventional BGR

根据基尔霍夫电流定律可得以下等式:

$$\frac{v_{dd} - v_N}{r_{ds4}} + i_{PTAT} \frac{g_{m4}}{g_{m3}} = \frac{v_N}{R_B} \quad (3)$$

式中:  $g_{m3} = g_{m4}$ ;  $i_{PTAT} = G_{M1} v_N$ ;  $G_{M1}$  表示从  $M_1$  看进去的等效跨导, 可由式(4)表示:

$$G_{M1} = \frac{g_{m1} r_{ds1}}{R_A + (1 + g_{m1} R_A) r_{ds1}} \quad (4)$$

联立式(3)、(4)可得  $i_{PTAT}$  与  $v_{dd}$  的关系:

$$i_{PTAT} = \frac{G_{M1} R_B}{R_B + r_{ds4}(1 - G_{M1} R_B)} v_{dd} \quad (5)$$

式中:  $R_A = R_1 + r_{e1}$ ;  $R_B = 1/g_{m2} + r_{e2}$ 。

## 2 电路设计与实现

本文提出的带隙基准电路如图3所示, 电路主要由四个模块构成, 分别为启动电路、电压自调节电路、带隙核心电路、PTAT<sup>2</sup>电路。

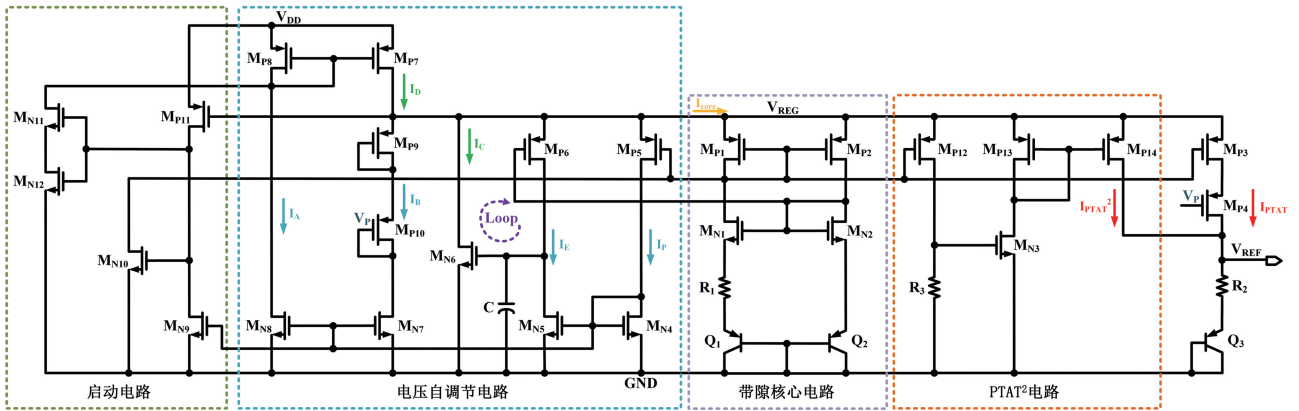


图3 本文所提出的BGR电路图

Fig. 3 Schematic of the proposed BGR

### 2.1 曲率补偿电路

正向偏置的PNP三极管  $V_{EB}$  与温度的关系<sup>[10]</sup>可表示为:

$$V_{EB} = V_{G0} + (T/T_r)[V_{EB}(T_r) - V_{G0}] - (n - \delta)V_T \ln(T/T_r) \quad (6)$$

式中:  $(T/T_r)[V_{EB}(T_r) - V_{G0}]$  为  $V_{EB}$  与温度相关的线性项,  $(n - \delta)V_T \ln(T/T_r)$  为  $V_{EB}$  与温度相关的非线性项;  $V_{G0}$  是 0 K 时硅的带隙电压;  $n$  是一个与温度无关、与工艺有关的常数, 约为 4;  $\delta$  是集电极电流的温度依赖性因子, 如果三极管中的电流为 PTAT, 则等于 1, 如果电流与温度无关, 则等于 0。图1所示的传统 BGR 电路通过选择合适的  $R_1$  和  $R_2$  的电阻值来抵消式(6)的线性项, 实现一阶温度补偿。但这种方式仅补偿了线性项, 为了进一步降低温度系数, 提升电路性能, 还需对式(6)中的非线性项进行补偿。

本文在传统无运放的带隙基准电路结构的基础上增加了 PTAT<sup>2</sup> 电路, 以实现二阶曲率补偿。图3中, PTAT<sup>2</sup> 电路由  $M_{P12} \sim M_{P14}$ 、 $M_{N3}$  和  $R_3$  组成。由 PTAT<sup>2</sup> 电路产生电流, 补偿式(7)中的非线性项。  $I_{PTAT^2}$  与  $I_{PTAT}$  电流进行叠加后, 经过电阻  $R_2$  转换为输出电压  $V_{ref}$ 。

$I_{PTAT^2}$  电流随温度变化的曲线如图4所示, 其输出表达式可表示为:

$$I_{PTAT^2} = \begin{cases} 0, & T < T_1 \\ I_0 \exp\left(\frac{I_{PTAT} R_3}{\xi V_T}\right) \frac{(W/L)_{MP14}}{(W/L)_{MP13}}, & T_1 \leq T < T_2 \\ \frac{1}{2} K_{N3} (I_{PTAT} R_3 - V_{th})^2 \frac{(W/L)_{MP14}}{(W/L)_{MP13}}, & T \geq T_2 \end{cases} \quad (7)$$

式中:  $I_0$  是与  $M_{N3}$  的宽长比  $(W/L)_{MN3}$  有关的常数;  $\xi$  是非理想常数;  $V_T$  是热电压;  $K_{N3} = \mu_n C_{ox} (W/L)_{MN3}$ 。

当  $T < T_1$  时,  $M_{N3}$  关断; 当  $T_1 < T < T_2$  时,  $M_{N3}$  工作在亚阈值区; 当  $T > T_2$  时,  $M_{N3}$  工作在饱和区。  $T_1$  取值范围为  $0 \sim 15 \text{ }^\circ\text{C}$ ,  $T_2$  取值范围为  $75 \sim 95 \text{ }^\circ\text{C}$ 。为了减少电阻  $R_3$  的 PVT 特性对分段温度补偿的影响,  $I_{PTAT^2}$  (nA 级别) 的大小应与  $I_{PTAT}$  ( $\mu\text{A}$  级别) 相差几个数量级。

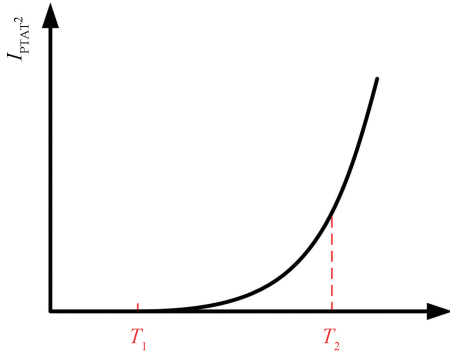


图 4  $I_{PTAT^2}$  电流温度特性曲线

Fig. 4  $I_{PTAT^2}$  current temperature characteristic curve

## 2.2 PSRR 增强机制

如图 3 所示, 本文所采用的电压自调节结构由 MOS 管  $M_{P5} \sim M_{P10}$ 、 $M_{N4} \sim M_{N8}$  和电容  $C$  组成。其中, 由  $M_{P6}$ 、 $M_{N5}$  和  $M_{N6}$  组成的低阻抗支路 (LIB) 是该电路结构的核心, 主要用于检测  $V_{REG}$  的变化。LIB 对地的等效阻抗越低, 抑制电源噪声的效果就越好。电容  $C$  用于降低主极点频率, 提高电路的稳定性。

当电源电压  $V_{DD}$  波动时, 因为  $I_A$  是 PTAT 电流源的复制电流,  $M_{P7}$  和  $M_{P8}$  的栅源电压  $V_{GS}$  保持不变<sup>[11]</sup>, 因此,  $M_{P7}$  中的小信号电流变化  $i_d$  可表示为:

$$i_d = \frac{v_{dd} - v_{reg}}{r_{ds, P7}} \quad (8)$$

根据基尔霍夫电流定律可得:

$$i_d = i_b + i_c + i_e + i_p + i_{core} \quad (9)$$

式中:  $i_b$ 、 $i_c$ 、 $i_p$  分别代表流过  $M_{P9}$ 、 $M_{P6}$  和  $M_{P5}$  支路的小信号电流, 它们均为 PTAT 电流源的复制电流, 不受  $v_{dd}$  的影响;  $i_{core}$  代表带隙基准电路所需要的电流, 该电流与绝对温度成正比, 当  $V_{DD}$  出现波动时, 几乎没有变化。与此同时, 在如图 3 所示的 Loop 中,  $V_{REG}$  通过负反馈环路进行调节,  $M_{P6}$ 、 $M_{N5}$  将  $V_{REG}$  的波动量放大后, 在  $M_{N6}$  中形成反馈电流, 转换成  $I_C$  的变化量  $i_c$ , 即:

$$i_c = \frac{v_{reg}}{r_{eq}} \quad (10)$$

式中:  $r_{eq}$  表示 LIB 对地的等效阻抗。因此, 电源电压波动产生的电流  $i_d$  全部流过  $M_{N6}$ 。联立式 (8) 和式 (10), 可得:

$$\frac{v_{reg}}{v_{dd}} = \frac{r_{eq}}{r_{ds, P7} + r_{eq}} = \frac{1}{r_{ds, P7}/r_{eq} + 1} \quad (11)$$

图 5 所示为 LIB 的小信号等效模型, 根据基尔霍夫电流定律可得  $i_x$ :

$$i_x = g_{m, MP6} V_x + \frac{V_x - V_1}{r_{o, MP6}} + g_{m, MN6} V_1 + \frac{V_x}{r_{o, MN6}} \quad (12)$$

$$g_{m, MP6} V_x + \frac{V_x - V_1}{r_{o, MP6}} = \frac{V_1}{r_{o, MN6}} \quad (13)$$

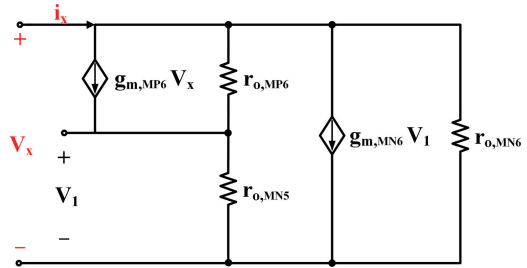


图 5 LIB 小信号等效模型

Fig. 5 Small signal model of LIB

联立式 (12) 和式 (13), 可得  $r_{eq}$  的表达式:

$$r_{eq} = \frac{V_x}{i_x} \approx \frac{1}{g_{m, P6} r_{ds, P6} g_{m, N6}} \quad (14)$$

由于所有 MOS 管都工作在饱和区, 所以  $r_{ds, P7}$  远远大于  $r_{eq}$ 。由式 (11) 可知  $v_{reg}$  远小于  $v_{dd}$ , 通过调整 MOS 管的宽长比, 可以进一步提升电路的 PSRR。联立 (11)、(14) 两式, 可以得到  $v_{reg}$  和  $v_{dd}$  的关系式为:

$$\frac{v_{reg}}{v_{dd}} \approx \frac{1}{1 + r_{ds, P7} g_{m, P6} r_{ds, P6} g_{m, N6}} \quad (15)$$

将式 (5) 中的  $v_{dd}$  替换成  $v_{reg}$ , 再联立式 (2) 可进一

步推得  $v_{ref}$  和  $v_{reg}$  的关系式:

$$\frac{v_{ref}}{v_{reg}} = \frac{G_{M1}R_B(R_2 + r_{e3})}{R_B + r_{ds4}(1 - G_{M1}R_B)} \quad (16)$$

继续联立(15)、(16)两式, 可得本文所提出的电路结构的 PSRR 表达式:

$$\begin{aligned} PSRR &= 20\lg(v_{ref}/v_{dd}) = 20\lg\left(\frac{v_{ref}}{v_{reg}} \cdot \frac{v_{reg}}{v_{dd}}\right) \\ &= 20\lg\left[\frac{G_{M1}R_B(R_2 + r_{e3})}{[R_B + r_{ds4}(1 - G_{M1}R_B)](1 + r_{ds1,P7}/r_{eq})}\right] \end{aligned} \quad (17)$$

### 3 仿真验证和结果分析

基于 SMIC 0.18  $\mu\text{m}$  工艺, 使用 Cadence Spectre 对所设计的带隙基准电路进行了仿真验证, 结果如图 6~10 所示。

在 3.3 V 的工作电压下, 设置温度范围为  $-40 \sim 125^\circ\text{C}$ , 对带隙基准电路进行了温度特性仿真。得到了未添加 PTAT<sup>2</sup> 电路时该电路结构的温度特性曲线如图 6 所示, 添加了 PTAT<sup>2</sup> 电路后该电路结构在不同工艺角下的温度特性曲线如图 7 所示。本文所提出的 BGR 经过温度补偿后, 有两个近似于零温度系数温度点, 通过对比可以看出, 具有补偿电流的带隙基准电路的温度系数显著减小。经过计算, 在 tt 工艺角下有最好的温度系数, 温漂系数为  $5.38 \times 10^{-6}/^\circ\text{C}$ 。在 fnsp 工艺角下温度系数最差, 温漂系数为  $21.89 \times 10^{-6}/^\circ\text{C}$ , 主要归因于工艺的偏差带来的多晶硅电阻阻值变化, 可通过增加修调电路进一步优化电路性能。

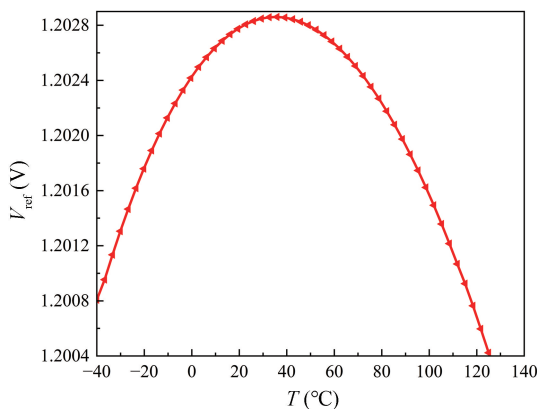


图 6 不具有 PTAT<sup>2</sup> 电路的温度特性曲线

Fig. 6 Temperature characteristic curve without PTAT<sup>2</sup> circuit

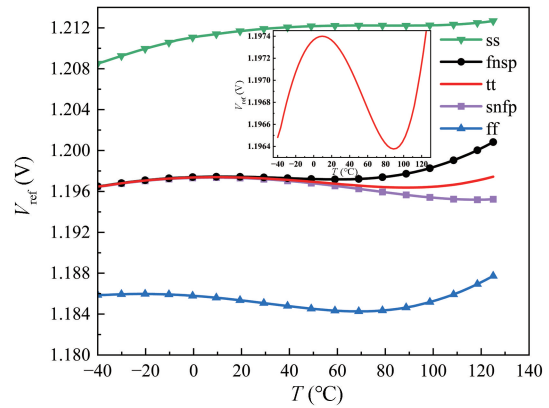


图 7 所提出 BGR 在不同工艺角下的温度特性曲线

Fig. 7 Temperature characteristic curves of the proposed BGR under different corners

考虑到带隙基准电路的工作环境和性能要求, 使用蒙特卡洛仿真来评估由于失配和工艺变化产生的对电路稳定性的影响。图 8 所示为取样 500 个点, 输出电压的蒙特卡洛仿真结果。可以看到本文所提出的带隙基准  $V_{ref}$  的平均值约为 1.197 V, 标准差为 4.411 mV。输出的参考电压对工艺变化的敏感度较低。

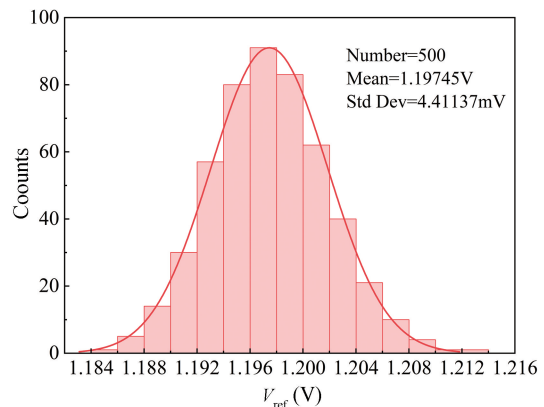


图 8 对  $V_{ref}$  进行 500 次蒙特卡洛仿真的结果

Fig. 8 Results of 500 Monte Carlo simulations of the  $V_{ref}$

图 9 所示为启动电路的瞬态仿真曲线。可以看出, 电源电压在 1  $\mu\text{s}$  后上升到 3.3 V, 启动电路在 5  $\mu\text{s}$  时完成启动, 当带隙基准源的输出稳定后, 启动电路关闭。

图 10 是  $V_{ref}$  在不同工艺角下的电源抑制比 (PSRR) 仿真曲线。在典型工艺角下, 低频时电路的 PSRR 为  $-103 \text{ dB}$ , 1 MHz 时电路的 PSRR 仍有  $-35.8 \text{ dB}$ 。可以看出, 本文所设计的电路在各工艺角下的电源抑制比均表现良好。

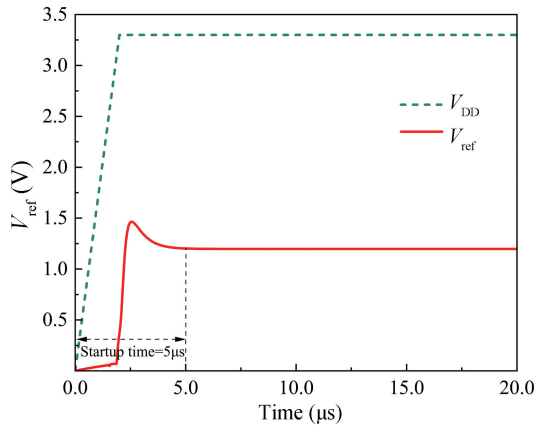
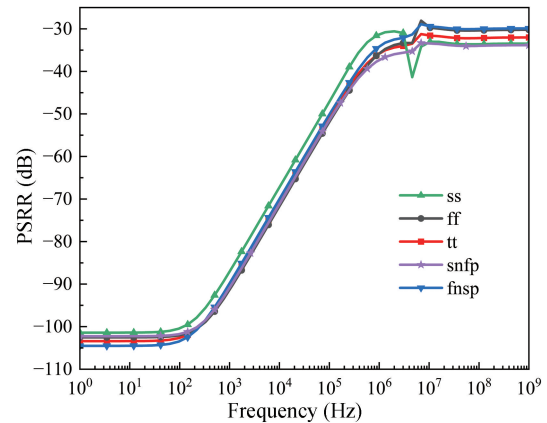


图9 启动电路的瞬态仿真曲线

Fig. 9 Transient simulation curve of startup circuit

表1为本文所提出的带隙基准电路结构的性能,并与其他文献电路结构的相关性能进行对比。可以看

图10  $V_{ref}$ 在不同工艺角下的电源抑制比Fig. 10 PSRR of the  $V_{ref}$  simulation results for different corners

出,本文所提出的电路在保证具有相对较低功耗的同时,还有高PSRR和低温系数。

表1 本文带隙基准与其他文献的性能参数对比

Tab. 1 Comparison of performance parameters between the bandgap reference circuit in this paper and other literatures

参数	文献[12]	文献[13]	文献[14]	文献[15]	本文
工艺( $\mu\text{m}$ )	0.18	0.18	0.18	0.18	0.18
电源电压(V)	1.8	3.3	3.3	5	3.3
基准电压(V)	0.8	1.247	1.2	1.192	1.197
温度范围( $^{\circ}\text{C}$ )	-40~125	-55~125	-40~150	-40~150	-40~125
温度系数( $10^{-6}/^{\circ}\text{C}$ )	34	3.029	5~15	4.84	5.38
电源抑制比(dB@DC)	-75	-98.36	-80	-78	-103
静态电流( $\mu\text{A}$ )	5	12.43	150	—	14.8

## 4 结论

本文基于SMIC 0.18  $\mu\text{m}$  CMOS工艺设计了一种低温系数和高PSRR的带隙基准电压源电路。在传统无运放带隙基准电路结构的基础上,采用电压自调节电路提升电路的PSRR性能。此外,还使用了PTAT<sup>2</sup>电路产生补偿电流,对电路进行温度分段补偿,极大地提高了基准电压源的精度。仿真结果表明,该设计在宽温度范围内具有较好的性能,在3.3V电源电压下,输出的基准电压约为1.197V,在tt工艺角下,温度系数在-40~125 $^{\circ}\text{C}$ 范围内为 $5.38 \times 10^{-6}/^{\circ}\text{C}$ ,PSRR为-103dB@DC。所提出的电路结构提升了带隙基准的精度和温度稳定性,能够很好地应用于高精度的场合。未来可通过增加修调电路降低工艺的偏差带来的影响,进一步优化电路性能。

## 参考文献:

- [1] An J H, Wu C J, Xu D C. A wide temperature range 4.6 ppm/ $^{\circ}\text{C}$  piecewise curvature-compensated bandgap reference with no amplifiers [C]//2019 International Conference on IC Design and Technology (ICIDT). NY, USA: IEEE, 2019: 1-4.
- [2] Zou X, Zhang Y F, Wu X Z, et al. A high stability bandgap reference circuit without amplifier structure [C]//2024 3rd International Conference on Energy, Power and Electrical Technology (ICEPET). Chengdu, China: Xihua University, 2024: 968-971.
- [3] 李征洋, 孙江, 李琴鹏, 等. 一种具有高阶温度补偿的高PSRR带隙基准[J]. 电子元件与材料, 2024, 43(11): 1378-1382.
- [4] 熊辉, 张涛, 刘劲. 一种低温漂的无运放带隙基准电压源[J]. 电子元件与材料, 2023, 42(6): 729-735.
- [5] Chen K, Petrucci L, Hulfachor R, et al. A 1.16-V 5.8-to-13.5-ppm/ $^{\circ}\text{C}$  curvature-compensated CMOS bandgap reference circuit with a shared offset-cancellation method for internal amplifiers [J]. IEEE

- Journal of Solid-State Circuits, 2021, 56(1): 267-276.
- [6] Duan Q Z, Lin C X, Liu P J, et al. A 2.1 ppm/ $^{\circ}\text{C}$ , 0.55-2.4 V, 5.6 nW, 235 mV, CMOS-only subthreshold voltage reference [J]. Microelectronics Journal, 2021, 113: 105060.
- [7] Li T G, Gao B, Zhao X, et al. A curvature-compensated bandgap voltage reference with a temperature coefficient trimming circuit [J]. Microelectronics Journal, 2022, 119: 105308.
- [8] Xie J, Wu C K, Wu J Y, et al. A -184 dB PSRR and 2.47  $\mu\text{V}_{\text{rms}}$  noise self biased bandgap reference based on FVF structure [J]. Microelectronics Journal, 2024, 152: 106388.
- [9] Que L C, Min D G, Wei L H, et al. A high PSRR bandgap voltage reference with piecewise compensation [J]. Microelectronics Journal, 2020, 95: 104660.
- [10] Tsividis Y P. Accurate analysis of temperature effects in  $I_c/V_{\text{BE}}$  characteristics with application to bandgap reference sources [J]. IEEE Journal of Solid-State Circuits, 1980, 15(6): 1076-1084.
- [11] Ye J H, Mao D Y, Zheng W T. Design of a low temperature drift high power supply rejection bandgap reference circuit [C]//2023 IEEE 15th International Conference on ASIC (ASICON). NY, USA: IEEE, 2023: 1-4.
- [12] Wang L D, Zhan C C, Tang J Y, et al. Analysis and design of a current-mode bandgap reference with high power supply ripple rejection [J]. Microelectronics Journal, 2017, 68: 7-13.
- [13] Peng X, Zhang Z, Geng S, et al. Implementation of a low $T_c$  high PSRR CMOS bandgap voltage reference circuit [C]//2020 IEEE 14th International Conference on Anti-counterfeiting, Security, and Identification (ASID). NY, USA: IEEE, 2020: 90-93.
- [14] Fu X, Colombo D M, Yin Y, et al. Low noise, high psrr, high-order piecewise curvature compensated cmos bandgap reference [J]. IEEE Access, 2022, 10: 110970-110982.
- [15] 李新, 高梦真, 杨森林. 一种新型带曲率补偿的带隙基准 [J]. 电子元件与材料, 2024, 43(7): 878-883.