

基于热阻矩阵的3D叠层芯片结温预测方法研究

高成, 杜维洋, 孙高宇, 黄姣英

(北京航空航天大学 可靠性与系统工程学院, 北京 100191)

摘要: 针对3D叠层封装芯片因功耗增加导致的热失效风险, 提出了一种基于热阻矩阵的结温预测方法, 以支持芯片热设计与热管理。选取某型DDR3叠层芯片为研究对象, 设计了一种基于热阻矩阵的3D叠层芯片结温预测方法, 通过建模仿真替代传统实验测量方法获取热特性参数。在分析3D叠层芯片结构的基础上, 基于Icepak软件构建3D叠层芯片的仿真模型, 结合JESD51-2标准搭建仿真用热测试环境, 通过仿真手段拟合3D叠层芯片的热阻矩阵。依据拟合得到的热阻矩阵预测不同条件下各层芯片的结温, 最后将预测结果与仿真结果进行对比, 其误差均小于1%。研究对3D叠层芯片的结温预测工作以及热设计、热管理工作提供思路和参考。

关键词: 3D叠层芯片; 热阻矩阵; 有限元仿真; 结温预测

中图分类号: TN407

文献标识码: A

DOI: 10.14106/j.cnki.1001-2028.2025.0019

引用格式: 高成, 杜维洋, 孙高宇, 等. 基于热阻矩阵的3D叠层芯片结温预测方法研究[J]. 电子元件与材料, 2025, 44(10): 1153-1159.

Reference format: GAO Cheng, DU Weiyang, SUN Gaoyu, et al. Junction temperature prediction method of 3D laminated chips based on thermal analysis [J]. Electronic Components and Materials, 2025, 44(10): 1153-1159.

Junction temperature prediction method of 3D laminated chips based on thermal analysis

GAO Cheng, DU Weiyang, SUN Gaoyu, HUANG Jiaoying

(School of Reliability and Systems Engineering, Beihang University, Beijing 100191, China)

Abstract: To address overheating risks in 3D stacked packaged chips caused by increased power consumption, a thermal resistance matrix-based method was proposed for junction temperature prediction, thereby supporting thermal design and management. A DDR3 stacked chip was selected as the case study. Instead of relying on traditional experimental measurements, simulation modeling was utilized to obtain thermal characteristic parameters. Through structural analysis of the 3D configuration, a simulation model was developed using Icepak software. A JESD51-2-compliant thermal test environment was designed to characterize the thermal resistance matrix. Junction temperatures of each chip layer under varying conditions were predicted, and the results demonstrate prediction errors of less than 1% compared to simulation results. This method enables efficient thermal characterization and provides valuable insights for thermal management of 3D stacked chips.

Keywords: 3D laminated chips; thermal resistance matrix; finite element simulation; junction temperature prediction

随着电子信息技术的不断发展, 电子器件的集成度也不断提高。在电子器件向着小型化、高集成化方向发展的同时, 微电子封装技术也经过了多次的迭代演变, 从最初的键合式传统封装, 到目前先进的多维

高度集成封装, 封装技术已经成为实现电子产品小型化、多功能化、低功耗和高带宽的重要手段^[1-2]。以3D封装为代表的先进封装能够在较小的空间内集成更多的芯片。芯片集成度提高的同时也导致芯片内部的

功耗增大,由此带来了芯片内部过热的问题,影响芯片的可靠性^[3-4]。

目前,在元器件领域,工程师常用热设计方法来解决叠层芯片过热失效的问题^[5-7]。在对叠层芯片进行相关的热设计工作时,工程师们需要得到芯片的热特性参数,并依据热特性参数对叠层芯片开展降额设计等热设计工作^[8-9]。热阻矩阵是叠层芯片设计的一个重要的热特性参数,可用于计算叠层芯片的结温。结温指的是芯片工作状态下的最高温度。目前已有多位学者利用热阻矩阵来预测多芯片组件结温。刘鸿瑾等^[10]以塑封 SiP 模块为研究对象,采用热阻矩阵研究了芯片间的相互热作用,结果表明热阻矩阵可用于封装内部芯片的结温预测。焦鸿浩等^[11]采用有限元仿真的方法,建立了一种自然对流环境下微系统的热阻矩阵模型,该模型可适用于不同总功率条件、各芯片不同功率条件下的芯片结温预测。汪张超等^[12]基于电学方法确定了调宽功放的多个功率管的热阻矩阵,基于热阻矩阵分析了不同条件下的芯片结温。

现有的结温预测研究主要针对单芯片组件,或者是在平面排布的多芯片组件。但是 3D 叠层芯片与之相比有着不同的空间结构,在狭小空间内堆叠多个芯片,将会使芯片发热的影响更为显著^[13-15]。在 3D 叠层芯片的设计阶段,对结温的预估与控制将直接影响芯片的最终性能与可靠性。为了解决在设计初期获取 3D 叠层芯片结温数据的问题,本文针对某型 3D 叠层芯片进行了研究,提出了一种基于热阻矩阵的 3D 叠层芯片结温预测方法。选择某型 DDR3 叠层芯片作为研究对象,分析了该叠层芯片的材料、结构等特性,基于 Icepak 软件建立了叠层芯片的仿真模型,通过仿真研究拟合叠层芯片的热阻矩阵,从而建立了考虑热量耦合效应的叠层芯片结温预测模型。该方法对预测叠层芯片结温有重要意义。

1 基于热阻矩阵的叠层芯片结温计算方法

在包含多个热源的 3D 叠层芯片中,各热源单独发热时都会对其他部件产生热量耦合作用。封装中任意位置的温度变化等于所有热源单独作用下对其产生的温度变化的线性叠加^[16-17]。热量的线性叠加原理是热阻矩阵理论的基础。通过金属棒阐述线性叠加原理的应用,如图 1。

考虑一根金属棒,在其 1, 2 两个位置均设置了热源用于加热。除了这两个热源所在的端点外,金属棒的其余部分均被假定为理想的绝热材料,即不与外界发生热交换。

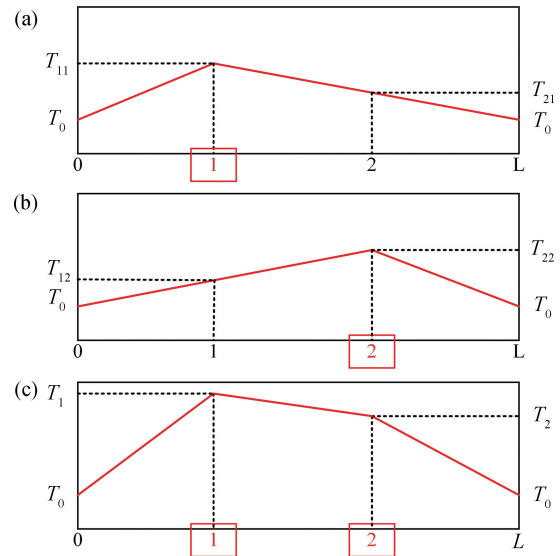


图 1 (a)单独开启位置 1 处热源; (b)单独开启位置 2 处热源; (c)同时开启位置 1 和位置 2 处热源

Fig. 1 (a) Single heat source at position 1; (b) Single heat source at position 2; (c) Concurrent operation of heat sources at positions 1 & 2

T_0 表示周围环境温度,同时也是金属棒的初始温度。当单独开启位置 1 处的热源后,位置 1 处的温度为 T_{11} ,温升为 $T_{11} - T_0$,位置 2 处的温度为 T_{21} ,温升为 $T_{21} - T_0$ 。如图 1(a)所示。当单独开启位置 2 处的热源后,位置 1 处的温度为 T_{21} ,温升为 $T_{21} - T_0$,位置 2 处的温度为 T_{22} ,温升为 $T_{22} - T_0$ 。如图 1(b)所示。若同时开启位置 1 和位置 2 处的热源,此时位置 1 处的温度为 T_1 ,温升为 $T_1 - T_0$ 。位置 2 处的温度为 T_2 ,温升为 $T_2 - T_0$ 。如图 1(c)所示。可以发现各温度之间存在以下规律:

$$T_1 - T_0 = (T_{11} - T_0) + (T_{12} - T_0) \quad (1)$$

$$T_2 - T_0 = (T_{21} - T_0) + (T_{22} - T_0) \quad (2)$$

即同时开启位置 1 和位置 2 处的热源后,位置 1 处的温升等于单独开启位置 1 和位置 2 处热源所产生温升之和。位置 2 处也同样如此。

引入热阻的概念,热阻 R_{ij} 的计算公式为:

$$R_{ij} = \frac{(T_{ij} - T_0)}{P_j} \quad (i, j = 1, 2, \dots) \quad (3)$$

式中: T_{ij} 表示单独第 j 个热源加热时第 i 个热源处的温度; P_j 表示第 j 个热源所施加的功率。

将式(1)和式(2)用热阻矩阵的形式表示为:

$$\begin{bmatrix} T_1 - T_0 \\ T_2 - T_0 \end{bmatrix} = \begin{bmatrix} R_{11} & R_{12} \\ R_{21} & R_{22} \end{bmatrix} \cdot \begin{bmatrix} P_1 \\ P_2 \end{bmatrix} \quad (4)$$

式中: 热阻矩阵描述了两热源自身发热和相互耦合加热的特性。

3D 叠层芯片的主要散热方式为热传导, 可以将 3D 叠层芯片中各层芯片的传热方式与金属棒传热类比。3D 叠层芯片中的任意一个裸芯片在工作时都会产生发热功率, 不仅使自身的温度提高, 还会影响其他层芯片的温度。因此在对某层芯片的热阻进行计算时, 不能忽略其他层芯片作为热源发热对其产生的影响。

热阻矩阵考虑到了不同热源发热所产生的热量耦合效应, 可以用来描述 3D 叠层芯片的散热特性。其中 n 层叠层芯片用 n 阶热阻矩阵来描述:

$$\begin{bmatrix} T_1 \\ T_2 \\ T_3 \\ \vdots \\ T_n \end{bmatrix} = [R] \cdot [P] + [T_A] \quad (5)$$

$$= \begin{bmatrix} R_{11} & R_{12} & R_{13} & \cdots & R_{1n} \\ R_{21} & R_{22} & R_{23} & \cdots & R_{2n} \\ R_{31} & R_{32} & R_{33} & \cdots & R_{3n} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ R_{n1} & R_{n2} & R_{n3} & \cdots & R_{nn} \end{bmatrix} \cdot \begin{bmatrix} P_1 \\ P_2 \\ P_3 \\ \vdots \\ P_n \end{bmatrix} + [T_A]$$

式中: R_{ii} 表示第 i 层芯片的自热阻; R_{ij} 表示第 j 层芯片对第 i 层芯片的耦合热阻; T_i 为第 i 层裸芯片的结温; P_i 为第 i 层裸芯片的功率; T_A 为环境温度。

以五层叠层芯片为例, 用 5 阶热阻矩阵来描述其整体的散热特性。

$$\begin{bmatrix} T_1 \\ T_2 \\ T_3 \\ T_4 \\ T_5 \end{bmatrix} = [R] \cdot [P] + [T_A] \quad (6)$$

$$= \begin{bmatrix} R_{11} & R_{12} & R_{13} & R_{14} & R_{15} \\ R_{21} & R_{22} & R_{23} & R_{24} & R_{25} \\ R_{31} & R_{32} & R_{33} & R_{34} & R_{35} \\ R_{41} & R_{42} & R_{43} & R_{44} & R_{45} \\ R_{51} & R_{52} & R_{53} & R_{54} & R_{55} \end{bmatrix} \cdot \begin{bmatrix} P_1 \\ P_2 \\ P_3 \\ P_4 \\ P_5 \end{bmatrix} + [T_A]$$

每一层芯片的热特性由其自热阻与耦合热阻共同描述。

根据热阻矩阵可以求解得到 n 层叠层芯片中第 i 层芯片的结温, 表达式为:

$$T_i = R_{i1} P_1 + R_{i2} P_2 + R_{i3} P_3 + \cdots + R_{in} P_n + T_A \quad (7)$$

如求解五层叠层芯片中第 1 层芯片的结温 T_1 , 将式(7)中的 i 取值为 1, 可得:

$$T_1 = R_{11} P_1 + R_{12} P_2 + R_{13} P_3 + R_{14} P_4 + R_{15} P_5 + T_A \quad (8)$$

其余芯片的结温可按相同方法求得。

根据式(7)可知, 若需预测第 i 层芯片的结温数据, 首先要得知 R_{ik} 、 P_k 和 T_A 的值。 P_k 为每层芯片上施加的功率, T_A 为环境温度, 均为已知量。最后需要得到的参数为第 i 层芯片的热阻 R_{ik} 。

当只有第 k 层芯片工作时, 第 k 层芯片的功率为 P_k , 其余芯片的发热功率为 0。此时第 i 层芯片的结温可以由下式表示:

$$T_i = R_{ik} P_k + T_A \quad (9)$$

于是可以下式求得 R_{ik} :

$$R_{ik} = \frac{(T_i - T_A)}{P_k} \quad (10)$$

式中: T_i 代表仅有第 k 层芯片进行工作时第 i 层芯片的结温; P_k 为第 k 层芯片的工作功率。

通过公式(10)来计算 3D 叠层芯片热阻矩阵中的热阻参数, 但需要使用仿真计算得到 T_i 。具体步骤如下: 首先建立叠层芯片仿真模型以及搭建仿真热测试环境, 接着划分网格, 设置仿真参数进行仿真, 记录各芯片仿真结温数据后拟合 DDR3 叠层芯片的热阻矩阵, 利用热阻矩阵对叠层芯片的结温进行预测。

2 DDR3 叠层芯片热特性参数仿真

2.1 DDR3 叠层芯片结构分析

该型 DDR3 叠层芯片的封装形式为 PBGA896, 即塑封焊球阵列封装。其焊球直径为 0.25 mm, 焊球中心距为 0.4 mm, 共包含 28×32 个焊球, 封装外壳的尺寸为 14 mm×12.5 mm×1.87 mm。DDR3 叠层芯片的

结构包括五层 DDR3 芯片、PBGA896 基板、塑封料、键合金丝以及焊球等。

对叠层芯片进行强酸腐蚀开封去除其塑封外壳，再使用金相显微镜观察单层芯片内部结构，芯片结构如图 2 所示。对叠层芯片的侧面进行打磨，在金相显微镜下观察到的图像如图 3 所示。从下向上的结构依次为：焊球、基板、芯片。结合手册所给数据，每层芯片结构分为三部分，从下向上依次为：单晶硅、环氧树脂、铜线。

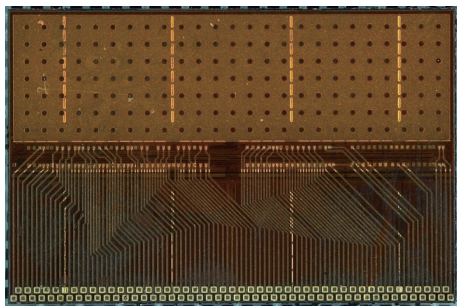


图 2 DDR3 单层芯片结构

Fig. 2 DDR3 single-layer chip structure

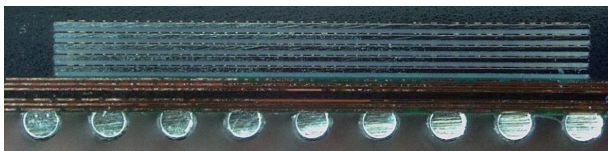


图 3 开封打磨后的叠层芯片剖面

Fig. 3 The cross section of the laminated chip after opening and grinding

2.2 DDR3 叠层芯片建模

DDR3 叠层芯片是由多个部分构成，主要包括塑封料、焊球、键合引线、DDR3 芯片、绝缘胶以及基板。其中每层芯片主体为单晶硅，硅片上面覆盖一层环氧树脂，环氧树脂上面是一层铜线。铜线仅在芯片与基板相连接的一侧分布。基板结构的主要材料为 FR4，基板内部同时还存在着六层铜。

DDR3 叠层芯片的塑封料成分为环氧树脂。在叠层芯片的封装中，芯片结构之外的位置被塑封料填充，塑封料的形状是完全不规则的。为了确保准确地建立叠层芯片仿真模型，叠层芯片模型尺寸、相对位置以及材料特性等参数都参考 2.1 节分析所得到的结构信息以及所观察的结果来确定。

使用 Icepak 软件对叠层芯片建模与仿真。在 Icepak 中设置“Source”当作热源来模拟芯片工作发热。在每层芯片的中间位置放置热源后，便可以通过设置每个热源的参数来模拟每层芯片在不同功率下工

作的发热情况。

由于塑封料结构是不规则的，无法用常规的几何方法来建立其模型，因此采用设置优先级的方法建立塑封料的仿真模型。在 Icepak 软件中，如果两个具有不同属性的实体在同一空间重叠时，该重叠部分的属性将和优先级更高的实体保持一致。因此将叠层芯片内部结构的“Block”的优先级设置为更高，塑封料的优先级设置为更低，这样所建立的模型内部确保了芯片的结构以及属性，其余部位则保持塑封料的属性，现实现了对塑封建模的同时也保证了与芯片实物相符合。

完成以上步骤后，建立了 DDR3 叠层芯片仿真模型，如图 4 所示。

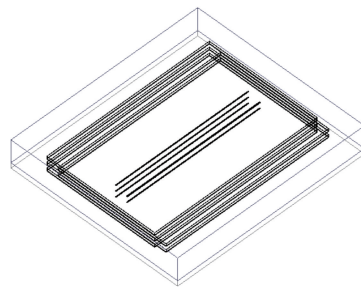


图 4 DDR3 叠层芯片仿真模型

Fig. 4 DDR3 laminated chip simulation model

2.3 仿真用热测试环境建模

参考 JESD51-2 标准，测量了自然对流条件下 DDR3 叠层芯片的热阻。标准中规定，热测试环境的外壳是一个尺寸为 305 mm×305 mm×305 mm 的箱子，所有接缝都应彻底密封，以确保没有气流通过外壳。箱体的材料为低电导率材料，箱子被放置在由低电导率材料构成的桌子或架子上。

在 Icepak 软件中参考 JESD51-2 所规定的标准建立了自然对流条件下的热测试环境。DDR3 叠层芯片模型被放置在测试板的中央，热测试环境搭建完成后模型整体如图 5 所示。

在完成芯片建模和自然对流条件下的仿真热测试环境搭建之后，对模型整体进行了网格划分，选取 Icepak 软件中适用性强的 Mesher-HD 类型网格。网格划分完成后检查了网格质量，进行了求解设置，最后求解得到了仿真结果，即设定功率条件下各层芯片的结温数据。

通过查阅器件手册可知，由于该 DDR3 叠层芯片的总工作功率为 4.869 W，发热功率仅占总功率的一部分，仿真时设定的每个芯片的功率条件以此为参考。

结合公式(10), 仿真时设置每个芯片分别单独发热, 记录五层芯片的结温数据, 详见表 1~3。为后续热阻矩阵的验证做准备, 再对五层芯片同时施加不同功率, 记录其结温数据, 详见表 4。其中条件一为各层芯片同时施加 0.5 W 功率, 条件二为各层芯片同时施加 0.5~0.9 W 不同功率, 条件三为各层芯片同时施加 0.9 W 功率。

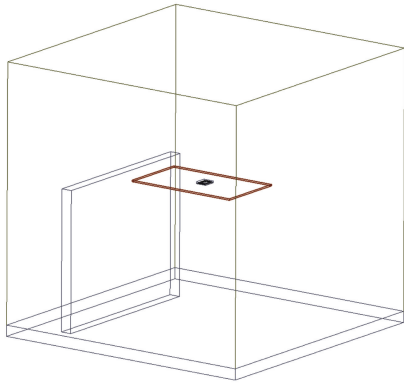


图 5 DDR3 叠层芯片与热测试环境的整体仿真模型

Fig. 5 The overall simulation model of the DDR3 stacked chip and thermal testing environment

表 1 各层芯片单独施加 0.6 W 功率下结温仿真数据

Tab. 1 Junction temperature data under the application of 0.6 W power to each layer of the chip separately

单独发热芯片	温度仿真结果(°C)				
	die1	die2	die3	die4	die5
die1	39.74	38.29	37.97	37.77	37.62
die2	38.30	40.89	39.44	39.11	38.93
die3	37.97	39.44	42.04	40.59	40.27
die4	37.78	39.11	40.59	43.19	41.79
die5	37.63	38.92	40.27	41.79	44.53

3 热阻矩阵拟合与结温预测验证

3.1 热阻矩阵拟合

通过仿真可以得到不同功率条件下各层芯片的结

$$[R] = \begin{bmatrix} R_{11} & R_{12} & R_{13} & R_{14} & R_{15} \\ R_{21} & R_{22} & R_{23} & R_{24} & R_{25} \\ R_{31} & R_{32} & R_{33} & R_{34} & R_{35} \\ R_{41} & R_{42} & R_{43} & R_{44} & R_{45} \\ R_{51} & R_{52} & R_{53} & R_{54} & R_{55} \end{bmatrix} = \begin{bmatrix} 24.35329 & 21.95806 & 21.40702 & 21.09397 & 20.83865 \\ 21.93326 & 26.27068 & 23.84760 & 23.30631 & 22.98319 \\ 21.39889 & 23.84947 & 28.18265 & 25.76436 & 25.24436 \\ 21.07730 & 23.29873 & 25.76286 & 30.10528 & 27.76236 \\ 20.82543 & 22.99657 & 25.23899 & 27.76186 & 32.33686 \end{bmatrix} \quad (11)$$

表 2 各层芯片单独施加 0.8 W 功率下结温仿真数据

Tab. 2 Junction temperature data under the application of 0.8 W power to each layer of the chip separately

单独发热芯片	结温仿真结果(°C)				
	die1	die2	die3	die4	die5
die1	44.65	42.71	42.29	42.03	41.83
die2	42.73	46.18	44.25	43.81	43.56
die3	42.30	44.25	47.72	45.78	45.36
die4	42.04	43.81	45.78	49.25	47.38
die5	41.84	43.56	45.37	47.38	51.04

表 3 各层芯片单独施加 1 W 功率下结温仿真数据

Tab. 3 Junction temperature data under the application of 1 W power to each layer of the chip separately

单独发热芯片	结温仿真结果(°C)				
	die1	die2	die3	die4	die5
die1	49.57	47.15	46.61	46.29	46.04
die2	47.17	51.48	49.06	48.51	48.21
die3	46.62	49.06	53.40	50.98	50.45
die4	46.31	48.52	50.98	55.32	52.97
die5	46.05	48.20	50.46	52.97	57.55

表 4 三种功率条件下各层芯片的结温仿真数据

Tab. 4 Junction temperature data of each layer chip under three power conditions

芯片编号	结温仿真结果(°C)				
	die1	die2	die3	die4	die5
条件一	80.28	84.62	87.67	89.44	90.05
条件二	101.61	108.39	113.69	117.22	118.84
条件三	124.51	132.32	137.80	140.99	142.09

温数据。根据表 1~3 中得到的结温数据并结合式(10)可以得出芯片的自热阻以及耦合热阻。计算拟合得到的 DDR3 叠层芯片热阻矩阵如下。

3.2 结温预测与验证

利用拟合得到的热阻矩阵[R]来预测不同功率条件下各层芯片的结温,将预测结果与仿真结果进行对比验证。

选取表4中的三种功率条件,利用热阻矩阵计算

$$\begin{bmatrix} T_1 \\ T_2 \\ T_3 \\ T_4 \\ T_5 \end{bmatrix} = [R] \cdot [P] + [T_A] = \begin{bmatrix} R_{11} & R_{12} & R_{13} & R_{14} & R_{15} \\ R_{21} & R_{22} & R_{23} & R_{24} & R_{25} \\ R_{31} & R_{32} & R_{33} & R_{34} & R_{35} \\ R_{41} & R_{42} & R_{43} & R_{44} & R_{45} \\ R_{51} & R_{52} & R_{53} & R_{54} & R_{55} \end{bmatrix} \cdot \begin{bmatrix} P_1 \\ P_2 \\ P_3 \\ P_4 \\ P_5 \end{bmatrix} + [T_A] = \begin{bmatrix} 79.82550 \\ 84.17052 \\ 87.21987 \\ 89.00326 \\ 89.57986 \end{bmatrix} \quad (12)$$

(2)条件二:各层芯片施加0.5~0.9W不同功率
各层芯片同时施加0.5W~0.9W不同功率的结温预测结果如下。

$$\begin{bmatrix} T_1 \\ T_2 \\ T_3 \\ T_4 \\ T_5 \end{bmatrix} = [R] \cdot [P] + [T_A] = \begin{bmatrix} 100.96636 \\ 107.75228 \\ 113.06840 \\ 116.62223 \\ 118.19061 \end{bmatrix} \quad (13)$$

(3)条件三:各层芯片同时施加0.9W功率
各层芯片同时施加0.9W功率的结温预测计算结果如下。

$$\begin{bmatrix} T_1 \\ T_2 \\ T_3 \\ T_4 \\ T_5 \end{bmatrix} = [R] \cdot [P] + [T_A] = \begin{bmatrix} 123.68590 \\ 131.50693 \\ 136.99576 \\ 140.20587 \\ 141.24374 \end{bmatrix} \quad (14)$$

将以上计算结果同表4中仿真得到的结果进行对比,定义误差为:(仿真结果-计算结果)/仿真结果,各条件下结果对比见表5。

由表5可以发现,在利用拟合得到的热阻矩阵进行DDR3叠层芯片的结温预测时,计算得到的预测结果与仿真结果之间的误差都在1%以内,验证了热阻矩阵方法的正确性。结果说明使用热阻矩阵来预测叠层芯片的结温是合理的,较小的误差同时也说明了本文方法可用来预测3D叠层芯片的结温。

三种条件下各层芯片的结温。

(1)条件一:各层芯片同时施加0.5W功率

各层芯片同时施加0.5W功率的结温预测具体计算过程如下,环境温度取室温25℃:

表5 三种条件下仿真结果与计算结果误差

Tab.5 The discrepancy between simulation results and calculation results under three conditions %

芯片编号	die1	die2	die3	die4	die5
条件一	0.56	0.53	0.51	0.49	0.52
条件二	0.63	0.59	0.55	0.51	0.55
条件三	0.66	0.61	0.58	0.55	0.60

4 结论

本文基于热阻矩阵对某型DDR3叠层芯片的结温预测方法进行了研究。首先基于热阻矩阵理论得到了DDR3叠层芯片的结温计算方法,接着在研究DDR3叠层芯片结构的基础上,通过Icepak热分析软件建立了DDR3叠层芯片的仿真模型,基于JESD51-2标准搭建热测试环境,最后根据仿真数据拟合DDR3叠层芯片的热阻矩阵。依据得到的热阻矩阵对各层芯片结温进行了预测,将预测结果与仿真结果进行了对比,三种条件下的预测结果与仿真结果的误差都在1%以内。

本文提出的基于热分析的3D叠层芯片结温预测方法为热设计人员预测3D封装芯片的结温数据提供了新的思路与参考。仿真得到的结果具有重要的参考价值,但由于仿真条件难以涵盖实际生产中器件所有环境工况,因此需要更多的实测数据来对仿真进行验证。

参考文献:

[1] 周梓博,翟强. 微电子3D封装技术发展[J]. 电子世界, 2021(17): 25-26.

[2] 李广义,张俊洪,高键鑫. 大功率电力电子器件散热研究综述

- [J]. 兵器装备工程学报, 2020, 41(11): 8-14.
- [3] 王磊, 魏晓光, 唐新灵, 等. 功率器件封装结构热设计综述 [J]. 中国电机工程学报, 2024, 44(7): 2748-2774.
- [4] 吴作栋, 谭公礼, 张方驹. 三维集成芯片散热技术研究 [J]. 舰船电子对抗, 2024, 47(5): 95-100.
- [5] 潘宇航, 潘开林, 刘岗岗, 等. 双芯片功率器件 TO-3 封装结壳热阻的优化 [J]. 半导体技术, 2023, 48(8): 713-721.
- [6] 王广来, 汪涵, 倪艳, 等. 基于石墨嵌入式结构的 SiC 功率模块热仿真与优化 [J]. 电子元件与材料, 2024, 43(3): 270-276.
- [7] 吕晓瑞, 刘建松, 黄颖卓, 等. 基于热测试芯片的 2.5D 封装热阻测试技术研究 [J]. 电子与封装, 2023, 23(4): 10-15.
- [8] 刘加豪, 古莉娜, 陈方舟, 等. 一种基于热阻矩阵的 2.5D 封装芯片结温预测模型 [J]. 电子产品可靠性与环境试验, 2024, 42(1): 63-67.
- [9] 张琦, 蔡志匡, 王子轩, 等. 一种基于热阻网络的叠层芯片结温预测模型 [J]. 固体电子学研究进展, 2020, 40(1): 66-70.
- [10] 刘鸿瑾, 李亚妮, 刘群, 等. 系统级封装 (SiP) 模块的热阻应用研究 [J]. 电子与封装, 2021, 21(5): 16-19.
- [11] 焦鸿浩, 唐丽, 朱思雄, 等. 微系统热阻模型研究及其在应用 [J]. 微电子学与计算机, 2022, 39(12): 125-132.
- [12] 汪张超, 刘安, 吕红杰. 基于电学法对二维多芯片组件的热阻矩阵研究 [J]. 电子质量, 2021(7): 112-116.
- [13] 何成刚, 朱岚涛, 陈胜全, 等. SOP8 功率 MOSFET 结壳热阻与封装可靠性研究 [J]. 电子元件与材料, 2024, 43(3): 359-366.
- [14] Liu J, Chen F, Zhao H, et al. A junction temperature prediction model for 3D stacked packaging chip based on thermal resistance matrix [C]//2023 24th International Conference on Electronic Packaging Technology (ICEPT). NY, USA: IEEE, 2023: 1-5.
- [15] 谢俊, 黄春跃, 梁颖, 等. 三维堆叠封装 TSV 互连结构热扭耦合力分析优化 [J]. 电子元件与材料, 2023, 42(9): 1129-1135.
- [16] Elebert P, Xue X, Heffernan C. Predicting transistor-level hotspots with thermal resistance metrics and compact thermal models [C]//2022 28th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC). NY, USA: IEEE, 2022: 1-4.
- [17] Salinas G, Serrano-Vargas J A, Muñoz-Antón J, et al. Thermal resistance matrix extraction from finite-element analysis for high-frequency magnetic components [J]. Energies, 2021, 14(11): 3075.