

DOI: 10.13234/j.issn.2095-2805.2025.2.274

中图分类号: TM131.2

文献标志码: A

高频变流器直流侧的去耦电容优化选型研究

陈文思, 宫金武, 查晓明, 陈佳洛, 潘尚智(中国电源学会高级会员)
(武汉大学电气与自动化学院, 武汉 430072)

摘要: 变流器的开关速度和开关频率越来越高, 对直流侧去耦电容也提出了更高的要求。针对开关管关断过程中电压、电流振荡带来的过电压尖峰和去耦电容损耗问题, 首先建立考虑系统杂散参数的瞬态电路模型, 分析开关管关断过程中过电压和去耦电容电流振荡的演变过程; 然后提出考虑主电路寄生参数和去耦电容等效串联电阻的损耗模型, 量化分析实际工程中去耦电容选型所受的限制因素, 得出去耦电容容值、损耗限制条件的优化选型方法; 最后通过仿真和实验验证了所提模型和分析方法的正确性。

关键词: 开关过程; 杂散参数; 去耦电容; 损耗模型

Research on Optimal Selection of Decoupling Capacitors on DC-side of High-frequency Converters

CHEN Wensi, GONG Jinwu, ZHA Xiaoming, CHEN Jialuo, PAN Shangzhi, *Senior Member, CPSS*
(School of Electrical Engineering and Automation, Wuhan University, Wuhan 430072, China)

Abstract: The switching speed and switching frequency of converters keep increasing, and higher requirements are also imposed on the DC-side decoupling capacitors. To solve the problems of overvoltage spikes and decoupling capacitor losses caused by voltage and current oscillations during the switch-off process, a transient circuit model considering the system's stray parameters is established, and the evolution of overvoltage and decoupling capacitor current oscillation is analyzed. On this basis, a loss model considering the parasitic parameters of the main circuit and the equivalent series resistance of the decoupling capacitor is proposed. The limiting factors for the selection of decoupling capacitors in practical engineering are quantitatively analyzed, and an optimal selection method for the decoupling capacitance and loss limit condition is obtained. Finally, the proposed model and analysis method were verified by simulation and experimental results.

Keywords: Switching process; stray parameter; decoupling capacitor; loss model

基于宽禁带半导体器件的变流器往往有更高的系统效率和功率密度, 但更高的开关速度意味着开关过程中有更高的 dv/dt 和 di/dt , 因而更容易受系统杂散参数的影响, 表现为电磁能量脉冲非理想特性, 如更大的开关过电压、过电流^[1-3]。在大容量的变流器装置中, 通常使用大容值的电解电容或

膜电容降低直流电压波动, 但是由于直流母线支撑电容体积较大, 电容与变换器之间需通过导线或母排进行连接, 会在整个换流回路引入较大的杂散电感^[4-5], 开关瞬态过程中较大的电流变化率在开关管两端产生较大的电压尖峰^[6]。目前, 已经有许多学者针对器件封装和叠层母排结构问题对其进行优化设计, 达到了降低杂散电感的目的。但是受封装和结构的限制, 杂散电感无法降为 0, 在一些大容量变流器应用场合, 杂散电感仍有几十 nH^[7]。这类非理想瞬态过程容易造成器件损坏和装置失效, 威胁变流器的稳定可靠运行。

开关瞬态起主导作用的为电流中的高频分量, 可在变流器端口添加高频去耦电容, 去耦电容可以

收稿日期: 2022-06-03; 修回日期: 2022-11-03; 录用日期:

2022-12-09; 网络首发日期: 2023-02-20

基金项目: 国家自然科学基金资助项目(52177191); 国防科工局稳定支持资助项目(6142217200403)

This work is supported by National Natural Science Foundation of China under the grant 52177191; State Administration of Science, Technology and Industry for National Defense under the grant 6142217200403

吸收连接导体中杂散电感存储的能量,还可以进一步缩小换流回路面积,降低关断瞬态开关管电压应力。去耦电容不会降低变换器的开关速度,使基于宽禁带半导体器件的变流器可以实现更高的工作频率,但是开关过程更高的 dv/dt 和 di/dt 也会在去耦电容上引起更剧烈的电流振荡^[8-9],振荡的电流在去耦电容等效串联电阻 ESR(equivalent series resistance)上产生大量损耗。随着开关频率的提高,去耦电容 ESR 损耗问题越发严重,甚至引起去耦电容失效,影响变流器稳定运行。

分析去耦电容对换流过程瞬态的影响规律,通过去耦电容选型降低杂散参数带来的不利影响,对提高变流器的可靠性与效率具有重要的指导意义。目前,国内外学者对去耦电容的影响进行了广泛的研究,取得了重大进展。文献[10]从匹配谐振频率的角度,对去耦电容容值进行选型,让高频电流的通道阻抗最小,但采用的是试验的方法,没有准确的取值模型;文献[11]选择去耦电容使电源分配网络频域阻抗在一定频率范围,但忽略了电源分配网络在电流激励作用下的瞬态特性,存在过度设计的问题;文献[12]推导了去耦电容能有效去耦的电流激励上升时间范围,可减少去耦网络使用的电容数量;文献[13]通过对过电压抑制的分析,得到了一个去耦电容的最小值,但采用的电路模型过于简单;文献[14]从电磁干扰 EMI(electromagnetic interference)噪声衰减的角度研究,通过设计去耦电容可以改变 EMI 噪声频谱,包括两者噪声频率和幅度。上述文献在设计时认为去耦电容有助于降低 EMI 噪声,但没有考虑关断过电压和 ESR 损耗对去耦电容选型的影响。容值过大的去耦电容具有很大的体积,增加了器件尺寸和成本,不利于布局,过大的 ESR 也会导致发热严重。容值过小的去耦电容不能完全吸收连接线上杂散电感存储的能量,且会在高 di/dt 电流的激励下引起高频振荡,在系统中引入更多的电磁干扰,影响变流器稳定性。因此,研究去耦电容选型时,考虑 ESR 损耗和过电压抑制非常必要。

为了研究去耦电容的优化选型方法,首先分阶段地分析过电压产生的具体原因,建立时域下 SiC

MOSFET 功率开关管的过电压瞬态模型,提出去耦电容容值的准确解析方法;然后对去耦电容的电流进行分析,并在此基础上提出去耦电容 ESR 的损耗模型,分析去耦电容选型所受的限制和边界;最后搭建实验平台,结果表明了所分析结果的正确性和有效性,为后期设计提供理论指导。

1 开关管关断过程的瞬态过电压分析

为分析变流器端口特性,可对图 1 所示的全桥逆变电路进行适当简化,每个换流过程实际上都是在 2 个功率开关器件之间换流,并可简化为基本双脉冲电路结构,如图 2 所示。图中: V_{DC} 为直流电压源; C_1 为母线支撑电容; L_c 为母线支撑电容的寄生电感; R_c 为母线支撑电容的串联等效电阻; L_1 为连接铜线的杂散电感; R_1 为连接铜线的等效电阻; C_m 为高频去耦电容; L_m 为去耦电容的寄生电感; R_m 为去耦电容的等效串联电阻; L_2 为逆变器侧杂散电感; R_2 为逆变器侧的等效电阻; L 为双脉冲测试使用的大电感; Q_1 、 Q_2 为开关管,上开关管 Q_1 持续关断,下开关管 Q_2 驱动信号给定 2 个脉冲而测试 Q_2 的开关特性。

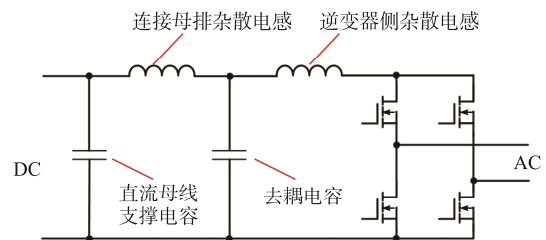


图 1 高频去耦电容的位置示意

Fig. 1 Schematic of location of high-frequency decoupling capacitors

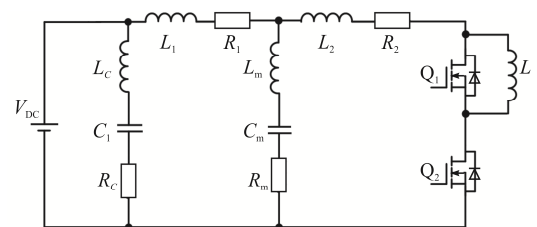


图 2 双脉冲测试原理

Fig. 2 Schematic of double-pulse test

1.1 开关管关断振荡的分析

关断过电压是研究开关器件关断瞬态过程时需重点关注的对象。增加高频去耦电容后关断瞬态过程中的典型波形与没有高频去耦电容的情况有明显不同。加入高频去耦电容后,由于连接件杂散电感和高频去耦电容的振荡,使得关断时开关管两端出现 2 个振荡峰值,其典型波形如图 3 所示, V_{peak1} 、 V_{peak2} 分别代表第 1 次、第 2 次电压峰值。在开关关断瞬间的 2 个振荡过程,第 1 个振荡频率较高,第 2 个振荡频率较低,同时在振荡过程中会出现 2 个过电压峰值。

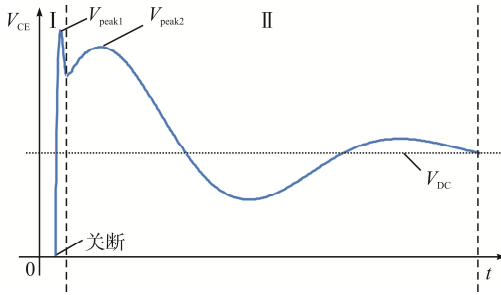


图 3 关断瞬态过程典型波形

Fig. 3 Typical waveform in switch-off transient process

根据图 2 所示的电路,在 LTspice 仿真软件上搭建仿真模型,模型参数见表 1, MOS 管采用英飞凌的 IMBG120R030M1H_L3。将英飞凌的 spice 模型导入仿真,对加入高频去耦电容后的电压和电流波形进行分析,得到关断电压峰值计算公式和振荡过程产生的原因。

表 1 实例仿真参数

Tab. 1 Simulation parameters of example

参数	数值	参数	数值
V_{DC}/V	800	$R_{\text{C}}/\text{m}\Omega$	150
L_{C}/nH	100	$R_{\text{I}}/\text{m}\Omega$	30
L_{I}/nH	100	$R_{\text{2}}/\text{m}\Omega$	8
L_{2}/nH	10	$R_{\text{m}}/\text{m}\Omega$	50
$L/\mu\text{H}$	220	$C_{\text{I}}/\mu\text{F}$	500
L_{m}/nH	2	$C_{\text{m}}/\mu\text{F}$	0.1

1.1.1 第 1 个电压峰值的分析

第 1 个电压峰值主要是由于逆变器侧杂散电感 L_2 能量释放引起的,由于杂散电感 L_2 相比于其他寄生电感很小,因此,在研究第 1 个振荡过程时,

可以将其他支路的大电感视作开路,去耦电容 C_{m} 相比于开关管的输出电容 C_{oss} 也较大,可以视作短路,其等效电路如图 4 所示。

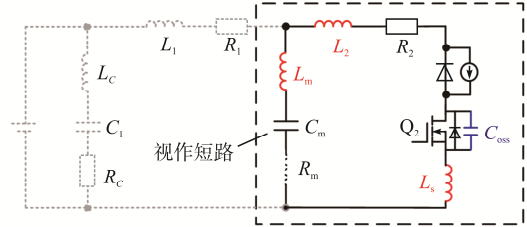


图 4 第 1 个电压峰值产生的等效回路

Fig. 4 Equivalent circuit generated by first voltage peak

第 1 个振荡过程是由回路总杂散电感 L_{loop1} 和 C_{oss} 之间的振荡引起的,该振荡周期满足关系式

$$T_1 = 2\pi\sqrt{L_{\text{loop1}}C_{\text{oss}}} \quad (1)$$

式中, $L_{\text{loop1}} = L_2 + L_s + L_m$, L_s 为开关管寄生电感。

由电压尖峰产生的机理可知,第 1 个峰值的过电压为

$$\Delta V_{\text{peak1}} = L_{\text{loop1}} \frac{di_{\text{d}}}{dt} \quad (2)$$

式中, i_{d} 为等效回路上流过电感的电流。相对于 L_s 和 L_m , L_2 的值很大,所以第 1 个振荡过程的峰值和周期主要受母排杂散电感 L_2 和开关管输出电容 C_{oss} 的影响。 L_2 受 PCB 布局的影响,样机中 L_2 与 C_{oss} 的值固定,所以第 1 个电压峰值 V_{peak1} 可通过优化布局得以抑制。

1.1.2 第 2 个电压峰值的分析

由图 3 可知,第 1 个振荡周期 T_1 远小于第 2 个振荡周期 T_2 。在第 2 个振荡过程开始的极短时间内,第 1 个振荡过程已达到稳态,杂散电感 L_2 上的能量释放完成,所以将开关管所在支路视作开路。直流电源 V_{DC} 给直流母线电容充电的周期远大于第 2 个振荡周期 T_2 , L_1 与 C_{m} 发生能量交换时,可近似认为电流由 C_1 提供,所以将电源所在支路视作开路,其等效回路如图 5 所示。

第 2 个振荡过程的振荡周期满足关系式

$$T_2 = 2\pi\sqrt{L_{\text{loop2}}C_{\text{m}}} \quad (3)$$

式中, $L_{\text{loop2}} = L_1 + L_{\text{C}} + L_{\text{m}}$ 。可知 L_1 、 L_{C} 和 C_{m} 只会影响第 2 个振荡过程的峰值电压。

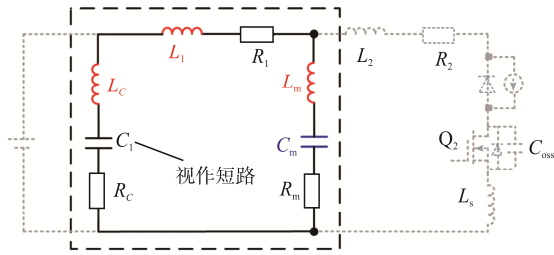


图5 第2个电压峰值产生的等效回路

Fig. 5 Equivalent circuit generated by second voltage peak

第2个电压峰值的形成满足能量守恒, 可表示为

$$\frac{1}{2} C_m \Delta V_{\text{peak}2}^2 = \frac{1}{2} L_{\text{loop}2} i_d^2 \quad (4)$$

因此, 第2个电压振荡峰值为

$$\Delta V_{\text{peak}2} = \sqrt{\frac{L_{\text{loop}2} i_d^2}{C_m}} \quad (5)$$

第2个电压尖峰 $V_{\text{peak}2}$ 是杂散电感 L_1 与 C_m 之间发生能量交换。由式(5)可知, 第2个峰值电压 $V_{\text{peak}2}$ 与 C_m 之间存在反比例关系, 通过增大 C_m 可以降低 $V_{\text{peak}2}$ 。但是, 当电容值过大时, 继续增大电容对降低 $V_{\text{peak}2}$ 的效果不显著, 同时当 C_m 过大时, 电容的体积也会变得很大, 增大电容的经济性并不高。因此, 在实际应用中应该选择一个合适的电容值。

1.2 去耦电容的取值分析

通过 1.1 节分析可知, 第1个峰值电压 $V_{\text{peak}1}$ 由母排杂散电感决定, 去耦电容 C_m 只会影响第2个峰值电压 $V_{\text{peak}2}$, 随着 C_m 的增加, $V_{\text{peak}1}$ 不变、 $V_{\text{peak}2}$ 不断减小。所以当 $V_{\text{peak}1} = V_{\text{peak}2}$ 时, 为 C_m 的理论最优取值。最优的去耦电容取值满足关系式

$$\sqrt{\frac{L_{\text{loop}2} i_d^2}{C_{\text{m}(\text{min})}}} = L_{\text{loop}1} \frac{di_d}{dt} \quad (6)$$

可得去耦电容的最小取值为

$$C_{\text{m}(\text{min})} = \frac{L_{\text{loop}2} i_d^2}{L_{\text{loop}1}^2 (di_d/dt)^2} \quad (7)$$

将表 1 中的参数代入式(7)计算可得

$$C_{\text{m}(\text{min})} = 0.102 \mu\text{F} \quad (8)$$

此时, 开关管两端关断电压振荡部分的仿真局部放大如图 6 所示。可见, 当去耦电容取合适值时, 可以使 2 个振荡过程中的电压峰值相等, 此时的电容值

为理论上的最优电容取值, 和分析结果一致。

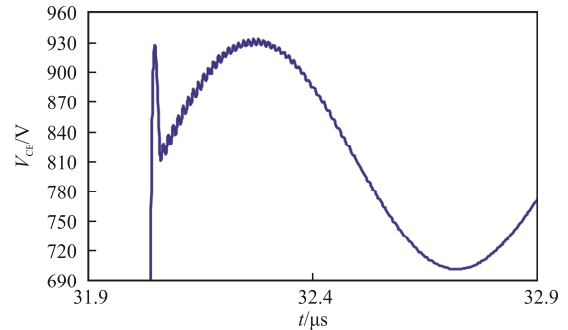


图6 去耦电容容值合适时两次电压峰值

Fig. 6 Two voltage peaks when the decoupling capacitance is appropriate

2 去耦电容 ESR 的损耗分析

由于实际应用中, 去耦电容不可避免地具有 ESR, 尤其是由于连接杂散电感的存在, 使得流过去耦电容的电流增大。高开关频率下, ESR 导致的去耦电容发热问题将更加严重, 甚至引起去耦电容失效, 因此需要对去耦电容的损耗机理和导致损耗的因素进行分析。

1.2 节仿真电路中流过去耦电容的电流 i_m 如图 7 所示。可以看出, 在开通和关断过程中均会有较大的振荡电流通过, 因此, 在开通和关断过程中去耦电容 ESR 上均会有较大的损耗。

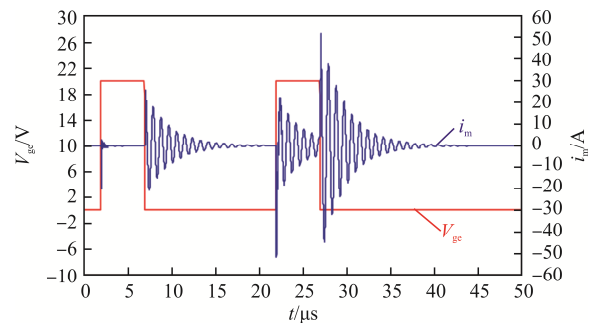


图7 开关过程流过去耦电容的电流波形

Fig. 7 Waveform of current flowing through decoupling capacitor during the switching process

以关断过程为例, 去耦电容 C_m 参与关断振荡的等效回路如图 5 所示, 根据关断过程振荡等效回路列写电路方程为

$$\begin{cases} V_{DC} = (R_1 + R_C + R_m)i_m + (L_1 + L_C + L_m)\frac{di_m}{dt} + u_m \\ u_m(0) = V_{DC} \\ u'_m(0) = \frac{I_L}{C_m} \\ i_m = C_m \frac{du_m}{dt} \\ P_{loss} = i_m^2 R_m \end{cases} \quad (9)$$

通过求解方程(9)得到去耦电容电压 u_m 和 ESR 损耗 P_{loss} 分别为

$$u_m = \frac{2I_L L_0 e^{-\frac{R_0 t}{2L_0}}}{\sqrt{C_m} \sqrt{4L_0 - C_m R_0^2}} \sin\left(\frac{t\sqrt{4L_0 - C_m R_0^2}}{2\sqrt{C_m} L_0}\right) + V_{DC} \quad (10)$$

$$P_{loss} = \frac{4L_0^3 I_L^2 C_m R_m}{4L_0 - C_m R_0^2} \sin^2\left(\frac{\sqrt{4L_0 - C_m R_0^2}}{2\sqrt{C_m} L_0} t + \varphi\right) \quad (11)$$

式中: I_L 为 MOS 管关断电流; t 为 MOS 管关断后经过的时间; $L_0 = L_1 + L_C + L_m$; $R_0 = R_1 + R_C + R_m$; $\varphi =$

$-\arctan\sqrt{\frac{4L_0}{C_m R_0^2} - 1}$ 。 u_m 的波形如图 8 所示。

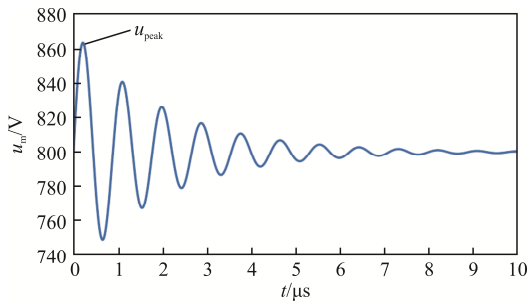


图 8 去耦电容电压的振荡波形

Fig. 8 Oscillation waveform of decoupling capacitor voltage

当 $t = \frac{\pi L_0 \sqrt{C_m}}{\sqrt{4L_0 - C_m R_0^2}}$ 时, u_m 取得最大值 u_{mpeak} 为

$$u_{mpeak} = \frac{2I_L L_0 e^{-\frac{\pi R_0 \sqrt{C_m}}{2\sqrt{4L_0 - C_m R_0^2}}}}{\sqrt{C_m} \sqrt{4L_0 - C_m R_0^2}} + V_{DC} \quad (12)$$

电容过电压 u_{peak} 与去耦电容 C_m 的关系如图 9 所示。可以看出, 通过增大 C_m 可以降低 u_{peak} 。但

是当 C_m 大于一定值后, 继续增大电容对降低过电压的效果并不显著。

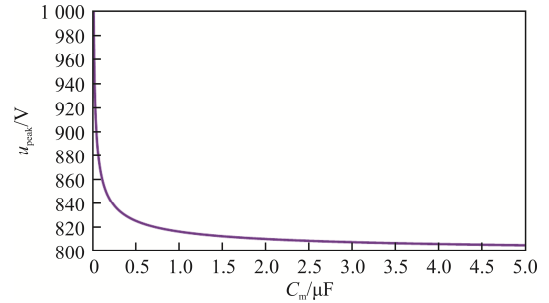


图 9 u_{peak} 与 C_m 的关系曲线

Fig. 9 Curve of relationship between u_{peak} and C_m

通过求解式(9)的微分方程, 并代入表 1 的参数, 得到去耦电容的电流有效值 I_{RMS} 、去耦电容 C_m 与去耦电容等效串联电阻 R_m 的关系曲线如图 10 所示。可以看出, 通过增大 C_m 可以降低 I_{RMS} 。当 $C_m > 0.4 \mu F$ 时, 继续增大 C_m 对降低 I_{RMS} 的效果不显著; 同时, 当 C_m 过大时, 电容的体积也会变得很大, 增大电容的经济性并不高。因此, 在实际应用中应该选择一个合适的电容值。

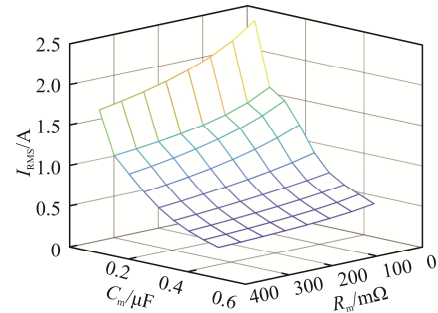


图 10 I_{RMS} 、 C_m 与 R_m 的关系曲线

Fig. 10 Curve of relationship among I_{RMS} , C_m and R_m

ESR 上的损耗 P_{loss} 与去耦电容 C_m 、去耦电容等效串联电阻 R_m 的关系曲线如图 11 所示。可以看出, 通过增大 C_m 可以降低 P_{loss} 。当 $0 < C_m < 0.2 \mu F$ 时, 增大 C_m 对降低 P_{loss} 的效果显著; 当 $C_m > 0.4 \mu F$ 时, 继续增大 C_m 对降低 P_{loss} 的效果减弱。且当 R_m 较大时, 增大 C_m 对降低 P_{loss} 的效果更加显著。

增大 R_m 可以降低去耦电容的电流有效值 I_{RMS} , 去耦电容通流小, 但是与此同时, ESR 上的损耗 P_{loss} 随 R_m 增大而大大增加, 电容的发热增加。因此, 去耦电容选型时应该综合考虑容值及其

ESR, 以达到通流能力和热损耗的平衡。采用多个小电容并联达到相同的去耦电容值, 比直接使用大电容在减小损耗上更具优势, 因为采用多个小电容并联能减小 ESR, 从而降低损耗。

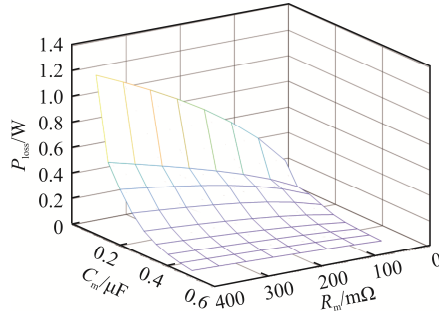
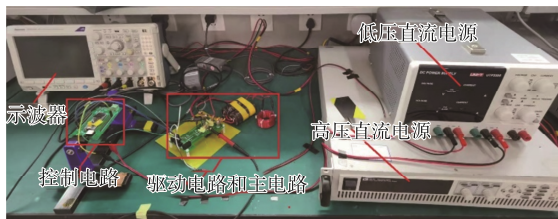


图 11 P_{loss} 、 C_m 与 R_m 的关系曲线

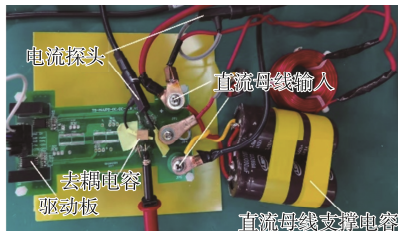
Fig. 11 Curve of relationship among P_{loss} , C_m and R_m

3 实验结果

为了验证理论分析的正确性, 搭建 MOSFET 多脉冲实验平台如图 12 所示。采用的去耦电容为 TDK 的 B58031, 为抑制电压振荡, 将 1 mF 的吸收电容放在直流母线两端。为使实验波形精准, 需要较高带宽的示波器与电压电流探头, 相关参数见表 2。



(a) 平台实物



(b) 双脉冲实验电路板

图 12 双脉冲实验平台

Fig. 12 Double-pulse experimental platform

尽量缩短电压探头接地回路, 以减小 EMI 对测试结果的影响。另外也对电压、电流探头的延迟进行矫正。根据文献[15-17]的方法, 通过 1 次预实

验提取了母排杂散电感参数 $L_1=70$ nH, $L_2=32$ nH, 通过查阅开关管器件 IMBG120R030M1H 的数据手册可知 MOS 管的 $C_{oss}=105$ pF, 测试板具体参数见表 3。

表 2 测试平台参数

Tab. 2 Parameters of test platform

类型	产品型号	带宽 /MHz	测试信号
示波器	Tektronix MDO3104	1 000	—
电流探头	CYBERTEK CWT0120AS	30	I_L
电流探头	CYBERTEK CWT0120AS	30	i_m
电压探头	CYBERTEK DP6150B	200	v_{ds}

表 3 已知的实验参数

Tab. 3 Known experimental parameters

参数	数值	参数	数值
L_1 /nH	70	L_2 /nH	32
C_{oss} /pF	105	C_m /μF	0.1
C_f /mF	1	L /mH	220
f /kHz	125	R_m /mΩ	50

近似取 $L_{loop1} \approx L_2 = 32$ nH、 $L_{loop2} \approx L_1 = 70$ nH, 根据式(1)与式(3), 计算得出 T_1 、 T_2 的理论值分别为 $T_{1L} = 11.52$ ns、 $T_{2L} = 525.69$ ns。通过计算得出的关断过电压 2 个阶段的振荡周期 T_{1L} 、 T_{2L} , 与实验测试得到的 $T_1 = 11.50$ ns、 $T_2 = 522.60$ ns 吻合(如图 13), 验证了第 1 个振荡周期 T_1 由杂散电感 L_{loop1} 和开关管输出电容 C_{oss} 决定, 第 2 个振荡周期 T_2 由杂散电感 L_{loop2} 和去耦电容 C_m 决定。如图 13(a)所示, 当去耦电容取值合适时, 2 个阶段的过电压尖峰相等。

图 14 为不同去耦电容条件下的实验波形。当去耦电容 $C_m = 0.125$ μF 时, 开关管的第 1 个过电压尖峰 $V_{peak1} = 725.7$ V, 第 2 个过电压尖峰 $V_{peak2} = 715.1$ V; 当 $C_m = 0.25$ μF 时, $V_{peak1} = 722.0$ V, $V_{peak2} = 665.1$ V。实验结果与第 2 节的分析一致, 即增大 C_m 能降低 V_{peak2} , 同时对 V_{peak1} 影响不大。当去耦电容 C_m 偏大时, 继续增大 C_m 对降低 V_{peak2} 的效果不再显著, 反而会增加体积和成本。综合考虑当 $C_m = 0.125$ μF 时, 2 个阶段的过电压尖峰值相等, 而且既可以将关断过电压抑制到一个可以接受的值, 也能降低成本,

减小体积。

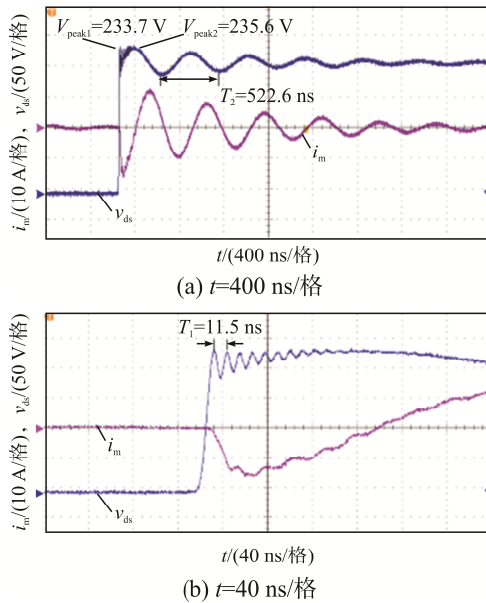


图 13 双脉冲实验波形

Fig. 13 Double-pulse experimental waveforms

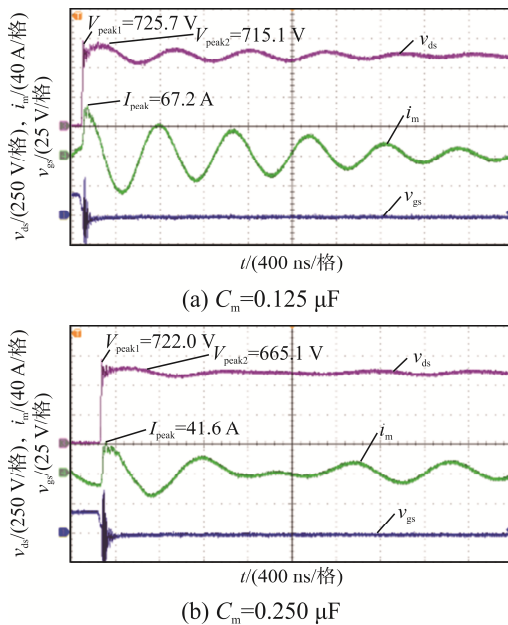


图 14 不同去耦电容 C_m 下的实验波形

Fig. 14 Experimental waveforms under different values of decoupling capacitance C_m

如图 14(a)所示,当去耦电容 $C_m = 0.125 \mu\text{F}$ 时,流过电容的电流有效值 $i_{\text{RMS}} = 13.6 \text{ A}$,电容电流峰值 $I_{\text{peak}} = 67.2 \text{ A}$,1 个周期内电容 ESR 产生的平均损耗 $P_{\text{loss}} = 0.92 \text{ W}$;如图 14(b)所示,当去耦电容 $C_m = 0.25 \mu\text{F}$ 时,流过电容的电流有效值 $i_{\text{RMS}} = 8.27 \text{ A}$,电

容电流峰值 $I_{\text{peak}} = 41.6 \text{ A}$,1 个周期内电容 ESR 产生的平均损耗 $P_{\text{loss}} = 0.34 \text{ W}$ 。效果对比如图 15 所示,可见,增大去耦电容的容值能降低电容电流的有效值,抑制电容电流的峰值,增加电容的通流能力,降低电容 ESR 上的功率损耗。

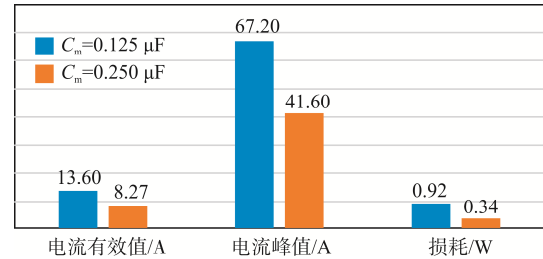


图 15 不同去耦电容下的效果对比

Fig. 15 Comparison of effect under different values of decoupling capacitance

4 结语

本文针对开关管关断过程中电压、电流振荡带来的过电压尖峰和去耦电容损耗问题,综合考虑了系统杂散参数的瞬态电路模型,分析了开关管关断过程中过电压和去耦电容电流振荡的演变过程,提出了 1 种去耦电容的取值方法,能使 2 个过电压尖峰达到最优,并通过双脉冲测试的仿真与实验结果,分析比较了不同去耦电容对电压尖峰和 ESR 损耗的影响。结果表明,去耦电容不影响第 1 个关断过电压峰值,增大去耦电容能降低第 2 个关断过电压峰值、电容电流有效值和去耦电容 ESR 损耗,是改善开关特性的有效方法。但当电容值增大到一定程度时,继续增大电容对降低过电压峰值和电容 ESR 损耗 P_{loss} 的效果减弱,此时电容的体积也会变得很大,增大电容的经济性并不高。本文进一步从去耦电容 ESR 损耗的角度对去耦电容的值进行对比,其结果为大容量变流器端口高频去耦电容的设计提供了重要的理论依据。

参考文献:

- [1] 赵争鸣,白华,袁立强. 电力电子学中的脉冲功率瞬态过程及其序列[J]. 中国科学 E 辑,2007,37(1): 60-69.

- Zhao Zhengming, Bai Hua, Yuan Liqiang. Transient process and sequence of pulse power in power electronics [J]. *Scientia Sinica (Technologica)*, 2007, 37(1): 60-69. (in Chinese)
- [2] Biela J, Schweizer M, Waffler S, et al. SiC versus Si: Evaluation of potentials for performance improvement of inverter and DC-DC converter systems by SiC power semiconductors [J]. *IEEE Transactions on Industrial Electronics*, 2011, 58(7): 2872-2882.
- [3] 穆峰, 刘宜鑫, 李鑫, 等. IGBT 并联应用均流控制技术综述[J]. *电源学报*, 2024, 22(1): 119-132.
Mu Feng, Liu Yixin, Li Xin, et al. Review of current-sharing control technologies for parallel-operating IGBTs [J]. *Journal of Power Supply*, 2024, 22(1): 119-132. (in Chinese)
- [4] Beukes H J, Enslin J H R, Spee R. Busbar design considerations for high power IGBT converters [C]// PESC97. Record 28th Annual IEEE Power Electronics Specialists Conference. Formerly Power Conditioning Specialists Conference 1970-71. Power Processing and Electronic Specialists Conference. St. Louis, MO, USA, 1972: 847-853.
- [5] Alatise O, Parker-Allotey N A, Hamilton D, et al. The impact of parasitic inductance on the performance of silicon-carbide Schottky barrier diodes [J]. *IEEE Transactions on Power Electronics*, 2012, 27(8): 3826-3833.
- [6] Wang Shuo, Luo Fang, Lee F C. Characterization and design of three-phase EMI noise separators for three-phase power electronics systems [J]. *IEEE Transactions on Power Electronics*, 2011, 26(9): 2426-2438.
- [7] 朱楠, 陈敏, 徐德鸿. 压接式 SiC MOSFET 模块[J]. *电源学报*, 2020, 18(6): 179-191.
Zhu Nan, Chen Min, Xu Dehong. Press-pack SiC MOSFET module [J]. *Journal of Power Supply*, 2020, 18(6): 179-191. (in Chinese)
- [8] 王旭东, 朱义诚, 赵争鸣, 等. 驱动回路参数对碳化硅 MOSFET 开关瞬态过程的影响[J]. *电工技术学报*, 2017, 32(13): 23-30.
Wang Xudong, Zhu Yicheng, Zhao Zhengming, et al. Impact of gate-loop parameters on the switching behavior of SiC MOSFETs [J]. *Transactions of China Electrotechnical Society*, 2017, 32(13): 23-30. (in Chinese)
- [9] 刘盛福, 常垚, 李武华, 等. 压接式 IGBT 模块的动态特性测试平台设计及杂散参数提取[J]. *电工技术学报*, 2017, 32(22): 50-57.
Liu Shengfu, Chang Yao, Li Wuhua, et al. Dynamic switching characteristics test platform design and parasitic parameter extraction of press-pack IGBT modules [J]. *Transactions of China Electrotechnical Society*, 2017, 32(22): 50-57. (in Chinese)
- [10] 徐亮, 阮江军, 甘艳, 等. 去耦电容在 PCB 板设计中的应用[J]. *电测与仪表*, 2002, 39(4): 5-8, 33.
Xu Liang, Ruan Jiangjun, Gan Yan, et al. Application of decoupling capacitor in PCB design [J]. *Electrical Measurement & Instrumentation*, 2002, 39(4): 5-8, 33. (in Chinese)
- [11] Smith L D, Anderson R E, Forehand D W, et al. Power distribution system design methodology and capacitor selection for modern CMOS technology [J]. *IEEE Transactions on Advanced Packaging*, 1999, 22(3): 284-291.
- [12] 刘洋, 夏建强, 初秀琴. 利用有效去耦上升时间选择去耦电容的方法[J]. *西安电子科技大学学报*, 2018, 45(4): 45-50.
Liu Yang, Xia Jianqiang, Chu Xiuqin. Capacitor selection method based on the effective decoupling rise time [J]. *Journal of Xidian University*, 2018, 45(4): 45-50. (in Chinese)
- [13] 肖芳, 戈宝军, 陶大军. 功率变换器去耦电容参数选择与过电压预测[J]. *电机与控制学报*, 2016, 20(5): 14-22.
Xiao Fang, Ge Baojun, Tao Dajun. Decoupling capacitance selecting and over-voltage predicting for power converter system [J]. *Electric Machines and Control*, 2016, 20(5): 14-22. (in Chinese)
- [14] Liu Qian, Wang Shuo, Baisden A C, et al. EMI suppression in voltage source converters by utilizing DC-link decoupling capacitors [J]. *IEEE Transactions on Power Electronics*, 2007, 22(4): 1417-1428.
- [15] 金祝锋, 李威辰, 胡斯登, 等. 大容量电力电子装置中母排杂散电感提取方法的优化研究[J]. *电工技术学报*, 2017, 32(14): 1-7.
Jin Zhufeng, Li Weichen, Hu Sideng, et al. Optimized stray inductance extraction method of bus bar in large-capacity power electronic equipment [J]. *Transactions of China Electrotechnical Society*, 2017, 32(14): 1-7. (in Chinese)

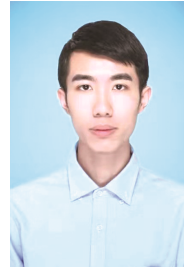
- [16] 肖文静, 唐健, 代同振. 基于 IGBT 开关过程的变流器杂散电感分析方法[J]. 电源学报, 2017, 15(3): 38-43.

Xiao Wenjing, Tang Jian, Dai Tongzhen. Stray inductance analysis method for inverters based on IGBT switching process [J]. Journal of Power Supply, 2017, 15(3): 38-43. (in Chinese)

- [17] 王钊冉, 师蔚, 廖爱华, 等. 多芯片并联控制器多物理场耦合分析[J/OL]. 电源学报, 1-13. [2024-12-27]. https://kns.cnki.net/kcms2/article/abstract?v=_GofKS1StuTt_pFcTeYTHKi3Nj7fcv3rYMqkpQ0EdBRN0PVBgBMQIu6VdB4sCnHaWGtuuhGG7vwVIIxO-AGpSMsAmBJFIXlk3A85XjyLAeYKP8_6R5Geu9imtdRSe1LxIP_xzNJX-Dt91nsltJw7ju12Y0Ras-Z6OFcNtVjmmvcMAFQFihajPf8HiVs3eIHg&uniplatform=NZKPT&language=CHS

Wang Zhaoran, Shi Wei, Liao Aihua, et al. Multi-physical domain coupling analysis of multi-chip parallel controller [J/OL]. Journal of Power Supply, 1-13. [2024-12-27]. https://kns.cnki.net/kcms2/article/abstract?v=_GofKS1StuTt_pFcTeYTHKi3Nj7fcv3rYMqkpQ0EdBRN0PVBgBMQIu6VdB4sCnHaWGtuuhGG7vwVIIxO-AGpSMsAmBJFIXlk3A85XjyLAeYKP8_6R5Geu9imtdRSe1LxIP_xzNJX-Dt91nsltJw7ju12Y0Ras-Z6OFcNtVjmmvcMAFQFihajPf8HiVs3eIHg&uniplatform=NZKPT&language=CHS

platform=NZKPT&language=CHS (in Chinese)



陈文思

作者简介:

陈文思(1998—), 男, 硕士研究生。研究方向: 电力电子瞬态模型与功率器件驱动电路。E-mail: chenwensi@whu.edu.cn。

宫金武(1981—), 男, 通信作者, 博士, 副教授。研究方向: 高效率大功率密度电力电子变流器设计、宽禁带半导体器件应用研究。E-mail: gongjinwu@whu.edu.cn。

查晓明(1967—), 男, 博士, 教授。研究方向: 大功率电力电子装置及其在电能质量控制、高压电机驱动、柔性输电、新能源及微电网技术中的应用。E-mail: xmzha@whu.edu.cn。

陈佳洛(1998—), 男, 硕士研究生。研究方向: 功率变换器数字控制技术、高功率密度高效率电源技术。E-mail: chenjialuo@whu.edu.cn。

潘尚智(1976—), 男, 中国电源学会高级会员, 博士, 教授。研究方向: 功率变换器数字控制技术、高功率密度高效率电源技术。E-mail: shangzhi.pan@whu.edu.cn。

(责任编辑: 郭凯凯)