

DOI: 10.13234/j.issn.2095-2805.2024.6.304

中图分类号: TN386

文献标志码: A

# 带逻辑校正的低延时低功耗高电平 移位电路

蒋志林(中国电源学会学生会员), 姜岩峰, 于平平

(江南大学电子工程系物联网技术应用教育部工程研究中心, 无锡 214122)

**摘要:** 提出 1 种带有逻辑校正功能的新型低延时低功耗的低电平到高电平的移位电路。该电路采用低延时电平移位电路与低功耗电平移位电路并行工作, 在逻辑校正无误后将 1.0~1.5 V 的低电平转换为 5 V 的高电平, 可广泛应用于 GaN 驱动电路中。基于 0.5  $\mu\text{m}$  的 BCD 工艺, 将 1.5 V 的电源低压和 5 V 的电源高压在 5 MHz 频率下对该电路进行验证。结果表明, 该电路虽版图面积有所增加, 但上升和下降延时分别降低至 2.3 ns 和 1.8 ns, 总功耗电流仅为 11  $\mu\text{A}$ 。

**关键词:** 高电平移位; 逻辑校正; 低功耗; 低延时; GaN 驱动

## Low Delay and Low Power Consumption High-level Shift Circuit with Logic Correction

JIANG Zhilin, *Student Member, CPSS*, JIANG Yanfeng, YU Pingping

(Engineering Research Center of IoT Technology Applications (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi 214122, China)

**Abstract:** A novel low delay and low power consumption low-to-high level shift circuit with a logic correction function is proposed, which uses a low delay level shift circuit and a low power consumption level shift circuit to work in parallel. After the logic is corrected, the low level between 1 V and 1.5 V is converted to a high level of 5 V, so this circuit can be widely applied in GaN driver circuits. Based on the 0.5  $\mu\text{m}$  BCD process, 1.5 V power supply low voltage and 5 V power supply high voltage, the circuit is verified at 5 MHz. Results show that although the layout area of this circuit increases as a whole, the rise and fall delays are reduced to 2.3 ns and 1.8 ns, respectively, with a total power consumption current of only 11  $\mu\text{A}$ .

**Keywords:** High-level shift; logic correction; low power consumption; low delay; GaN driver

高电平移位电路将低电平信号变为高电平信号, 实现低压信号对高压电路的控制。近年来, 新型功率器件氮化镓(GaN)快速发展, 其工作频率可达兆赫兹, 有开关损耗小、导通电流大等优点,

被广泛应用于大功率汽车充电和便携式快充设备<sup>[1-3]</sup>。由于 GaN 的栅极无 1 层 SiO<sub>2</sub> 隔离, 驱动电压大都比功率 MOS 开关管低, 一般采用 5 V 作为导通驱动电压(除松下公司生产的电流源驱动型 GaN 的栅源电压可达 15 V)。通常 GaN(如 GaN System 公司的 180 V 和 650 V 系列)的阈值电压低于 1.5 V, 设计时关断电压为 0 V。常用高频开关电源控制芯片(如德州仪器的 LM5155)输出脉冲宽度调制 PWM(pulse width modulation)的幅值约为 1.5 V, 因此需要 1 种高速低功耗电平移位电路将 1.5 V 的

收稿日期: 2021-07-01; 修回日期: 2021-10-01; 录用日期: 2021-12-20; 网络首发日期: 2022-03-09

基金项目: 国家自然科学基金资助项目(61774078, 51802124); 江苏省自然科学基金资助项目(BK20180626)

This work is supported by National Natural Science Foundation of China under the grants 61774078 and 51802124; Jiangsu Natural Science Foundation under the grant BK20180626

低电平信号转换成幅值为 5 V 的高压 PWM 驱动信号(如德州仪器的 UCC27611 和 LMG1205)。

在传统电平移位电路中,高响应速度与低功耗 2 个特性相矛盾,且高频下电路稳定性也不够好,难以发挥出新型功率器件高频下导通电阻小和开关延时低的优点。文献[4]利用自举栅极驱动来最小化电压摆幅,同时用电容器维持电压差,这会使电压翻转速度变慢;文献[5]利用对 MOS 管和开关的改进大大降低了延时,在去除高压电容器的同时减小了版图面积,但功耗大大增加;文献[6]利用动态时序控制电流镜的开断,减小了电路静态功耗,但工作频率不到 1 MHz,延时也较大。

综上所述,本文将低延时电平移位电路和低功耗电平移位电路相结合,辅以其他优化,提出 1 种高频时高度稳定的电平移位电路,兼顾两者优点。

## 1 传统电平移位电路

本节具体介绍 3 种传统电平移位电路。为加快反应速度和增强驱动能力,通常在电平移位电路后加 1 个电源电压为 VDDH 的反相器[7]。

如图 1(a)所示,在较高电源电压下常用传统的差分式共源共栅型,辅以交叉耦合的 PMOS 半锁存器[8]。由于交叉耦合晶体管 MP<sub>1a</sub> 和 MP<sub>1b</sub> 的正反馈作用,低输入电压 IN 被高电平移位到 VDDH。当 IN 由低电平变为高电平时, MN<sub>1a</sub> 和 MP<sub>1b</sub> 导通,并因此将节点 A 处的电压升高到 VDDH,输出电压 OUT 为 0; IN 由低电平变为高电平时,则 MN<sub>1b</sub> 和 MP<sub>1a</sub> 导通,从而将 OUT 提到 VDDH。下拉晶体管 MN<sub>1a</sub> 和 MN<sub>1b</sub> 的尺寸必须比 MP<sub>1a</sub> 和 MP<sub>1b</sub> 大,才能克服由较高电源电压驱动 PMOS 附带的闩锁效应。该结构设计简单,但仅适合于较高的内核电压,在转换亚阈值信号时,高阈值的 PFET 半锁存器无法翻转,电平移位电路可能不工作。由文献[9]可知,锁存器的时间响应常数  $\tau_1$  可表示为

$$\tau_1 = 0.67C_{ox} \sqrt{\frac{WL^3}{2K_1I}} \quad (1)$$

式中:  $C_{ox}$  为单位面积的栅氧化层电容;  $W$  为沟道宽度;  $L$  为沟道长度;  $I$  为流经 MOS 管的电流;  $K_1$  为工艺常数,  $K_1 = \mu C_{ox}$ 。可见,电平移位响应时间主要取决于  $L$ , 因此工艺制程越小,电平移位越快。

如图 1(b)所示,用 P 管电流镜代替半锁存器,无需上下电流失配即可增强电路稳定性和电流驱动能力。该结构非常适合于宽电压范围转换,但电流镜中 1 个 P 管和 1 个下拉 N 管形成的泄漏路径会使电路的静态功耗增加。若添加 1 个可控开关来限制流过电路的总电流,又会增大翻转时的延时[10]。

图 1(c)为亚阈值优化改进的单电源电平转换器,其结构简单,可缓解高低电源线布局时的拥挤交叉现象。该结构中,受亚阈值驱动的 N 管阈值可从 0.5 V 降至 0.1 V。但如果输入低压和电源高压差值较大,则泄漏电流会变大,会增大功耗[11]。

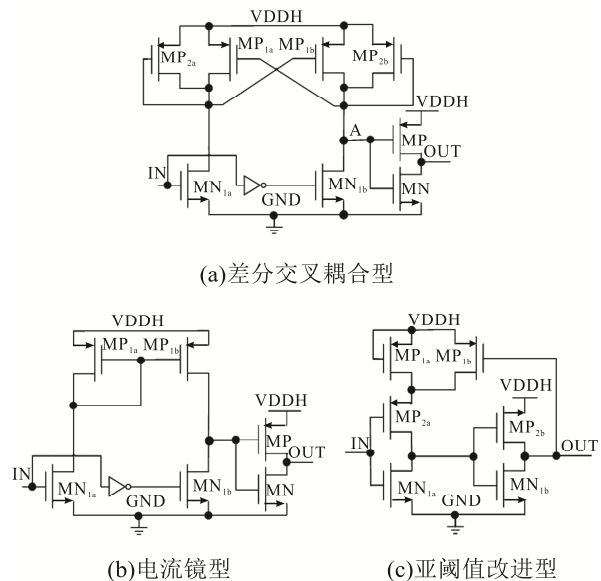


图 1 3 种传统的电平移位电路

Fig. 1 Three traditional level shift circuits

除上述 3 种结构外,其他电平转换电路还可利用特殊种类的器件来提高性能,如厚的栅极氧化物晶体管、更理想的电容器和更低阈值的晶体管等,但会增加成本和工艺复杂度[12]。

## 2 新型电平移位电路

针对传统电平移位电路存在的问题,本文提出结

合几种结构优点的新型电平移位电路,兼具较宽输入电压范围、低功耗、低延时等优点。整体电平移位电路如图 2 所示。在输入电平发生变化时,先用脉宽可控向上的窄脉冲信号 PULSEA 和 PULSEB 激励带自增强结构的低延时电平移位电路的输出 OUTA1 处快速翻转,待低功耗电平移位电路电平翻转完成后, PULSEA 和 PULSEB 均为低电平, OUTA1 处于悬空状态。在低功耗电平移位电路中加入逻辑校正结构,以略微地减小响应速度为代价,使其仅在输入电压刚翻转时才有较大电流通过,可极大地降低功耗。

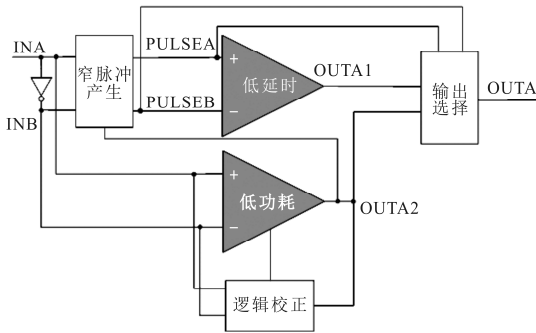


图 2 整体电平移位电路

Fig. 2 Overall level shift circuit

### 2.1 低延时电平移位电路

低延时电平移位电路如图 3 所示。以 PULSEA 和 PULSEB 控制低延时高电平移位电路中的 N 管  $M_{6a}$ 、 $M_{6b}$ , 当两者均为低电平时, 电路无静态电流流过。为加快响应速度, 将  $M_{6a}$ 、 $M_{6b}$  管的宽长比做得较大, 使其导通的瞬间电流变大, 则平均电流受到的影响较小。辅以由  $M_{3a}$ 、 $M_{3b}$ 、 $M_{4a}$ 、 $M_{4b}$ 、 $M_{5a}$ 、 $M_{5b}$  组成的自增强结构作正反馈, 进一步加大翻转时交叉耦合电路左右两侧上拉和下拉电流差值, 可极大地减小电平移位延时。

### 2.2 带逻辑校正的低功耗电平移位电路

带逻辑校正的低功耗电平移位电路如图 4 所示。设计合适的参数让流过管  $M_8$  与管  $M_9$  的电流成比例, 使输入电平 INA 翻转后较短时间内 J2 电平快速下降, 管  $M_9$  控制的电流镜移位电路有较大电流流过, 而在其他时间段流过的电流较小。加入逻辑校正后, 可以减少因为输入电压波动引起的输出电平错误, 在提高输出正确率的同时, 限制了流

过电平移位电路中  $M_{15}$ 、 $M_{16}$  的电流大小。当 INA 从低电平刚刚翻转到高电平时, 延迟使得 OUTA2 仍为低电平, 这时管  $M_{13}$  与管  $M_{14}$  导通, 有较大电流  $I_R$  通过; 当 INA 从高电平刚刚翻转到低电平时, INB 迅速变为高电平, 延迟使得 OUTA2 仍为高电平, 管  $M_{10}$  与管  $M_{11}$  导通, 有较大电流  $I_D$  流过。

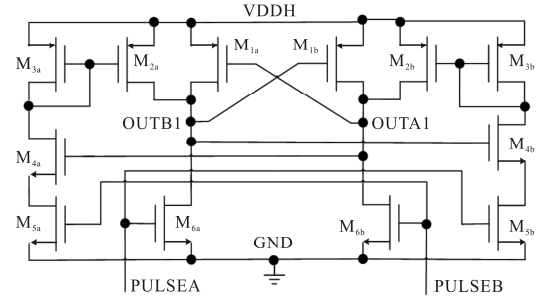


图 3 低延时电平移位电路

Fig. 3 Low delay level shift circuit

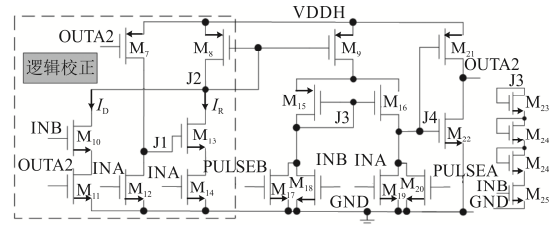


图 4 带逻辑校正的低功耗电平移位电路

Fig. 4 Low power consumption level shift circuit with logic correction

在由  $M_{15}$ 、 $M_{16}$ 、 $M_{18}$ 、 $M_{19}$  组成的电流镜移位电路上, 额外加 1 条正反馈的路径(利用窄脉冲 PULSEA 和 PULSEB 控制  $M_{17}$  和  $M_{20}$ ), 加大 INA 电平刚变后一段时间内流过  $M_{15}$ 、 $M_{16}$  的电流差值, 使低功耗电平移位电路更快响应, 低延时电平移位电路大电流工作时间缩短。另外, 使用二极管级联方式的降压结构在 INB 电平由低变高时, 管  $M_{25}$  导通, 节点 J3 电位更易下降至低电平, 从而让节点 J4 电位更快到高电平, 减小了 OUTA2 的下降延时。

电流镜型电平移位电路延时的计算公式为

$$\tau_2 = R_{ocas} (C_{load} + C_{dgM16}) \approx (g_{mn} r_{on}^2 // g_{mn} r_{on}^2) (C_{load} + C_{dgM16}) \quad (2)$$

式中:  $R_{ocas}$  为小信号模型中的等效电阻<sup>[13]</sup>;  $C_{load}$  为负载电容;  $C_{dgM16}$  为  $M_{16}$  管的栅、漏间寄生电容;

$g_{mn}$  为 N 管的跨导;  $r_{on}$  为 MOS 管的导通电阻。

### 2.3 窄脉冲生成电路和输出选择电路

窄脉冲信号 PULSEA 的生成电路如图 5(a)所示。仅当 JA 和 INA 均为低电平时 PULSEA 为高电平, 而 JA 为 OUTA2 的反信号, 因此生成的 PULSEA 的脉宽受 OUTA2 上升延时影响, 同理生成受 OUTA2 下降延时影响的 PULSEB, 其表达式为

$$PULSEA = \overline{\overline{OUTA2} + INA} \quad (3)$$

$$PULSEB = \overline{OUTA2 + \overline{INB}} \quad (4)$$

以上 2 个信号中, 当 1 个信号为高电平时, 低延时电平移位电路有较大电流, OUTA1 急速翻转; 当 2 个信号均为低电平时, OUTA1 处于悬空状态, 不具备驱动能力, 低延时电平移位电路基本无静态电流流过, 仅有低功耗电平移位电路继续工作<sup>[4]</sup>。

输出选择电路如图 5(b)所示, 其中 OUTA1 仅在 PULSEA 或 PULSEB 为高电平(即 INA 刚变后较短一段时间内)时传递给 OUTA, 其他时段 OUTA2 传递给 OUTA。

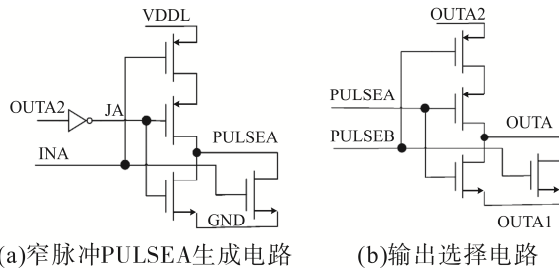


图 5 辅助模块电路

Fig. 5 Auxiliary module circuit

### 3 仿真实验

采用 0.5  $\mu\text{m}$  工艺在 Cadence IC61 软件中对整体电路进行仿真, 并选择合适的晶体管进行仿真实验。

如图 6(a)和(b)所示, 分别在 1.2 V 和 1.5 V 输入电压下进行仿真, 得到 OUTA1 和 OUTA2 的输出延时情况(OUTA1 处于悬空时保持翻转后的电平状态)。由于 OUTA2 较 OUTA1 变化得慢, 通过输出选择电路使 OUTA 和 OUTA1 波形基本一致。可见: 当 INA 为 1.5 V 的方波时, OUTA2

的翻转完成时刻约比 INA 迟 8 ns, 故而得到脉宽约为 8 ns 的窄脉冲信号 PULSEA, 同理可得到脉宽约为 3.8 ns 的窄脉冲 PULSEB; 当 INA 幅值为 1.2 V 时, PULSEA 和 PULSEB 的脉宽变大, 可知随 INA 幅值的变化, 低延时电平移位电路大电流工作时间也发生了相应变化, OUTA1 和 OUTA2 总能平滑地传递给 OUTA。

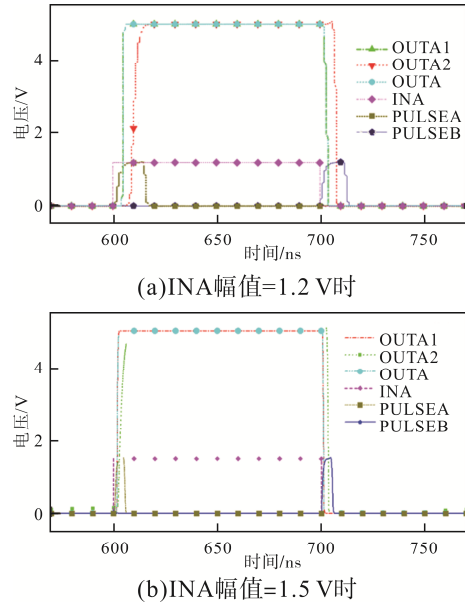


图 6 INA 幅值为 1.2 V 和 1.5 V 时 OUTA1、OUTA2、OUTA 以及 PULSEA、PULSEB 的变化  
Fig. 6 Changes in OUTA1, OUTA2, OUTA, PULSEA and PULSEB when the values of INA amplitude are 1.2 V and 1.5 V, respectively

图 7 为流过低延时电平移位电路电流  $I_1$ 、流过低功耗电平移位电路电流  $I_2$  与流过逻辑处理模块电流  $I_3$  的瞬态仿真结果。分别计算其平均值得得  $I_{\text{average } 1} = 1.3 \mu\text{A}$ ,  $I_{\text{average } 2} = 9.7 \mu\text{A}$ ,  $I_{\text{average } 3} = 1.3 \mu\text{A}$ , 因此总功耗为  $P = 11 \times 5 \mu\text{W} + 1.3 \times 1.5 \mu\text{W} = 56.95 \mu\text{W}$ 。

OUTA 受工艺角的影响如图 8 所示。当温度为 27  $^{\circ}\text{C}$  时, 不同工艺角下 OUTA 的均能随输入正常跳变, 且最大偏差为 7 ns。开关电源中非线性元件在能量转换时会产生较多热量, 因此需考虑温度对整体电路的影响<sup>[15]</sup>。在温度为 7~107  $^{\circ}\text{C}$  下对整体电路进行仿真。由图 9(a)可见, 低延时电平移位电路的 OUTA1 受温度影响较小; 由图 9(b)可见, 随着温度升高, 低功耗电平移位电路 OUTA2 开始上升

的时刻延后,但其到达高电平的时刻基本不变;由图 9(c)可见,随着温度升高,低功耗电平移位电路 OUTA2 开始下降的时刻和到达低电平的时刻均基

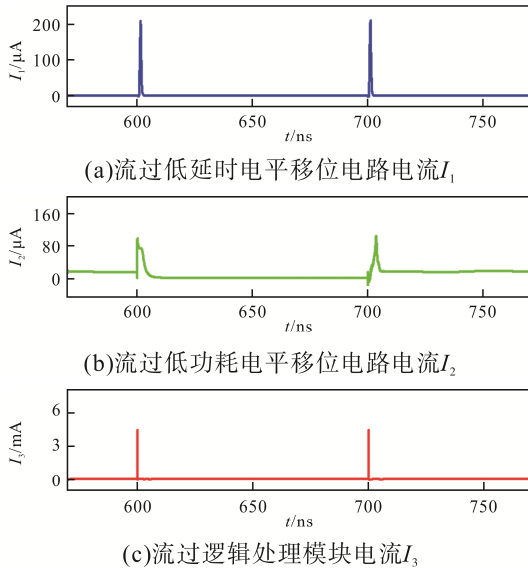


图 7 流过各模块的电流

Fig. 7 Current flowing through each module

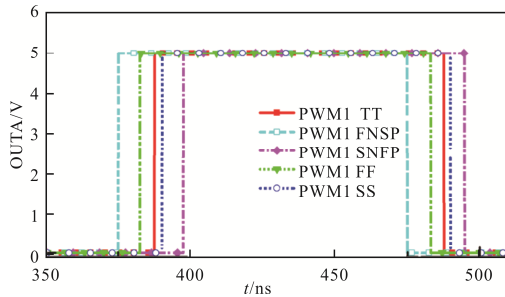
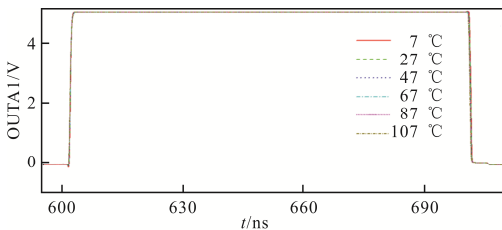
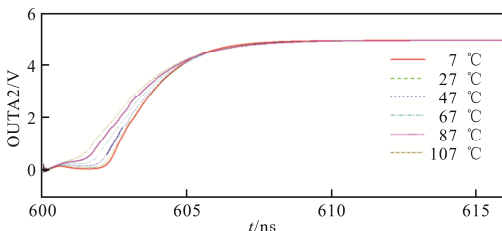


图 8 OUTA 受工艺角的影响

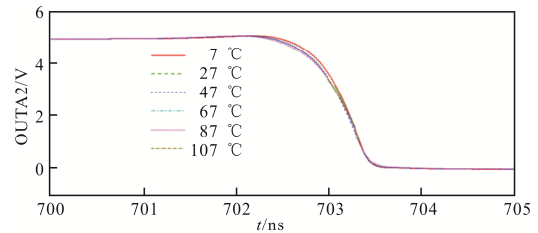
Fig. 8 OUTA changes with corner



(a) OUTA1 受温度的影响



(b) OUTA2 上升沿受温度的影响



(c) OUTA2 下降沿受温度的影响

图 9 OUTA1 和 OUTA2 受温度影响变化曲线

Fig. 9 Variation curves of OUTA1 and OUTA2 affected by temperature

本相同。综上可得,在不同温度下均能实现预定的低延时电平移位电路与低功耗电平移位电路的输出平顺切换,整体电路热稳定性良好。

改变输入电压的大小,比较 3 种不同温度下加入逻辑校正的低功耗电平移位电路与传统电流镜电平移位电路在 1 000 次蒙特卡洛分析下的电平移位成功的次数,结果见表 1。可知,加入逻辑校正后的电平移位电路的正确率显著提高。

本文与其他文献高电平移位电路的对比,见表 2。文献[16]为基于 0.8  $\mu\text{m}$  HV CMOS 工艺的极高压的电平移位,可见其延时和功耗远远高于 100 V 以下的电平移位电路。文献[17]输入电压高值最低为 0.4 V,但其工作频率较低,仅有 10 kHz,且延时较大,无法适用于高频开关。与文献[18]相比,本文在基于 0.5  $\mu\text{m}$  工艺下的延时和功耗仍能较基于 0.35  $\mu\text{m}$  工艺电路有较大提高:在延时方面,在 INA 为 1.5 V 方波时,本文电路上升延时从 12.7 ns 减小至 2.3 ns,下降延时从 22.8 ns 减小至 1.8 ns,两者均仅为前者的 30%;在功耗方面,需 VDDH 提供的功耗电流仅为前者的 50%。如图 10 所示,本文与文献[19]和文献[20]相比,虽然本文电路的版图面积不占优势,但其在采用成熟工艺的情况下上升、下降延时更低,效费比更高。由于低延时电平移位电路中的差分交叉耦合结构受 N 管阈值电压影响较大,当本文 INA 电压幅值增大时,低延时电平移位电路上升、下降延时均会减小,整体电路的延时也随之改善,VDDH 提供的功耗电流略有减小。

表1 三温下蒙特卡洛仿真1000次电平移位正确次数

Tab. 1 Correct number of level shifts for 1000 level shifts in Monte Carlo simulation at three temperatures

带逻辑校正的低功耗电平移位电路			传统电流镜电平移位结构		
-40 °C、1.20 V	27 °C、1.35 V	125 °C、1.50 V	-40 °C、1.20 V	27 °C、1.35 V	125 °C、1.50 V
1 000	1 000	1 000	677	783	880
1 000	1 000	1 000	913	942	961
1 000	1 000	1 000	782	865	940

表2 本文与其他文献中高电平移位电路对比

Tab. 2 Comparison of the high-level shift circuit in this paper with those in other references

文献出处	工艺/ $\mu\text{m}$	VDDH/V	输入电压/V	IVDDH/ $\mu\text{A}$	上升延时/ns	下降延时/ns	版图面积/ $\mu\text{m}^2$
文献[16]	0.800	300.0	5.00	178	12 700.0	4 740.0	133 653.00
文献[17]	0.350	3.0	0.40	0.02/10 kHz	—	—	1 880.00
文献[18]	0.350	10.0	5.00	24.8	12.7	22.8	
文献[19]	0.065	1.2	0.10	0.124 8/1 MHz	7.5	7.5	7.45
文献[20]	0.180	1.8	0.33	0.000 183	29.0	29.0	229.50
本文1	0.500	5.0	1.50	11.0	2.3	1.8	2 800.00
本文2	0.500	5.0	1.20	9.8	6.0	5.1	2 800.00

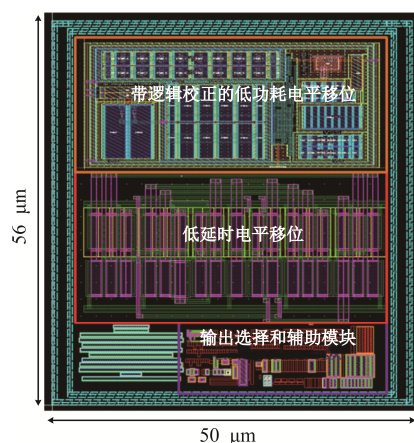


图10 版图

Fig. 10 Layout

## 4 结语

本文中低延时电平移位电路与低功耗电平移位电路并行工作, 利用反馈来选择相应时间段输出, 在高频下将幅值为1.0~1.5 V低电平方波转换为5 V高电平方波, 适用于GaN驱动电路, 加入逻辑校正后保证了最终输出的正确率。该电路基于0.5  $\mu\text{m}$  BCD工艺, 1.5 V电源低压和5 V电源高压在5 MHz频率下进行仿真的结果表明, 所提电路虽结构较复杂, 但上升和下降延时均降低至约2 ns, 流过电源高压的功耗电流为11  $\mu\text{A}$ , 较文献[18]分别减小了约70%和50%。

## 参考文献:

- [1] Rossberg M, Vogler B, Herzer R. 600V SOI gate driver IC with advanced level shifter concepts for medium and high power applications [C]// 2007 European Conference on Power Electronics and Applications. Aalborg, Denmark, 2007: 1-8.
- [2] Niu Yuanchao, Huang Yingting, Chen C L, et al. Design considerations of the gate drive circuit for GaN HEMT devices [C]// 2018 Asian Conference on Energy, Power and Transportation Electrification (ACEPT). Singapore, 2018: 1-6.
- [3] Wang Bo, Tipirneni N, Riva M, et al. An efficient high-frequency drive circuit for GaN power HFETs [J]. IEEE Transactions on Industry Applications, 2009, 45(2): 843-853.
- [4] Tan S, Sun X. Low power CMOS level shifters by bootstrapping technique [J]. Electronics Letters, 2002, 38(16): 876-878.
- [5] Moghe Y, Lehmann T, Piessens T. Nanosecond delay floating high voltage level shifters in a 0.35  $\mu\text{m}$  HV-CMOS Technology [J]. IEEE Journal of Solid-State Circuits, 2010, 46(2): 485-497.
- [6] Liu Zhidong, Cong Lin, Lee H. Design of on-chip gate drivers with power-efficient high-speed level shifting and dynamic timing control for high-voltage synchronous

- switching power converters [J]. IEEE Journal of Solid-State Circuits, 2015, 50 (6): 1463-1477.
- [7] Kanno Y, Mizuno H, Tanaka K, et al. Level converters with high immunity to power-supply bouncing for high-speed sub-1-V LSIs [C]// 2000 VLSI Circuits Digest of Technical. Honolulu, USA, 2000: 202-203.
- [8] 彭宣霖, 李航标, 陈剑洛, 等. 一种高速低功耗动态比较器设计 [J]. 微电子学, 2014(5): 601-605.
- Peng Xuanlin, Li Hangbiao, Chen Jianluo, et al. Design of a high speed low power dynamic comparator [J]. Microelectronics, 2014 (5): 601-605 (in Chinese).
- [9] Allen P E, Holberg D R. CMOS Analog Circuit Design [M]. Beijing: Publishing House of Electronics Industry, 2007: 388-391.
- [10] Lin Y S, Sylvester D M. Single stage static level shifter design for subthreshold to I/O voltage conversion [C]// Proceedings of the 2008 international symposium on Low Power Electronics & Design. Monterey, USA, 2008: 197-200.
- [11] Lanuzza M, Corsonello P, Perri S. Fast and wide range voltage conversion in multisupply voltage designs [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 23(2): 388-391.
- [12] Koo K H, Seo J H, Ko M L, et al. A new level shifter in ultra deep sub-micron for low to wide range voltage applications [C]// IEEE International SOC Conference, 2004. Santa Clara, USA, 2004: 155-156.
- [13] Baker R J. CMOS: Circuit Design, Layout, and Simulation [M]. New York: John Wiley & Sons, 2019: 695-701.
- [14] 黄正峰, 杨潇, 孙芳, 等. 基于毛刺阻塞原理的低功耗双边沿触发器 [J]. 微电子学, 2020, 50 (3): 308-314.
- Huang Zhengfeng, Yang Xiao, Sun Fang, et al. A low power DETFF with glitch resistant capability [J]. Microelectronics, 2020, 50 (3): 308-314(in Chinese).
- [15] Zhu Jing, Zhang Yunwu, Sun Weifeng, et al. Noise immunity and its temperature characteristics study of the capacitive-loaded level shift circuit for high voltage gate drive IC [J]. IEEE Transactions on Industrial Electronics, 2017, 65(4): 3027-3034.
- [16] Khorasani M, van den Berg L, Marshall P, et al. Low-power static and dynamic high-voltage CMOS level-shifter circuits [C]// 2008 IEEE International Symposium on Circuits and Systems. Seattle, USA, 2008: 1946-1949.
- [17] Osaki Y, Hirose T, Kuroki N, et al. A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs [J]. IEEE Journal of Solid-State Circuits, 2012, 47(7): 1776-1783.
- [18] 王佳妮, 周泽坤, 李颂, 等. 一种低功耗高稳态电平位移电路[J]. 微电子学, 2020, 50(3): 315-320.
- Wang Jiani, Zhou Zekun, Li Song, et al. A Low Power and high stability level shifter [J]. Microelectronics, 2020, 50(3): 315-320 (in Chinese).
- [19] Kim T T H. An area and energy efficient ultra-low voltage level shifter with pass transistor and reduced-swing output buffer in 65-nm CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65 (5): 607-611.
- [20] Biereigel S, Kulis S, Leitao P, et al. A low noise fault tolerant radiation hardened 2.56 Gbps clock-data recovery circuit with high speed feed forward correction in 65 nm CMOS [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(5): 1438-1446.



蒋志林

## 作者简介:

蒋志林(1995—),男,中国电源学会学生会会员,硕士研究生。研究方向:模拟集成电路及相关器件。E-mail: 1532576241@qq.com。

姜岩峰(1972—),男,通信作者,博士,教授。研究方向:射频集成电路。E-mail: jiangyf@jiangnan.edu.cn。

于平平(1987—),女,博士,副教授。研究方向:光电器件。E-mail: pingpingyu@jiangnan.edu.cn。