

漏源电压对 SiC MOSFET 阈值电压准确测量影响的研究

姚博均, 郭春生, 崔绍雄, 李嘉芃, 张亚民
(北京工业大学微电子学院, 北京 100124)

摘要: 相较于 Si 器件, SiC MOSFET 近界面氧化物陷阱区域更广, 界面态陷阱密度高出 2 个数量级, 大量陷阱不断俘获或释放电荷, 导致阈值电压(V_{th})随时间波动较大, 因而 V_{th} 的准确重复测量成为难题。标准中阈值电压测量采用预处理的方法, 保证每次测量时陷阱电荷状态的一致性, 但标准中未考虑漏源电压影响预处理填充后的陷阱状态, 导致阈值电压测试误差。针对该问题, 首先通过测量不同漏源电压脉冲影响下的转移曲线, 显示不同源漏电压对阈值电压的影响; 然后, 基于瞬态电流法分析了漏源电压对陷阱电荷状态的影响; 进而, 分析了漏源电压影响陷阱的机理; 最后对比了不同漏源电压对阈值电压测量的影响。实验表明, 漏源电压影响栅漏间电场正负, 进而影响陷阱填充或释放电荷, 导致阈值电压漂移。测量阈值电压时使用较小漏源电压可提高测量准确性, 减小可靠性实验由测试因素造成的误差。

关键词: 阈值电压; 重复性; 碳化硅 MOSFET; 栅极结构

Research on Influence of Drain-source Voltage on Accurate Measurement of SiC MOSFET Threshold Voltage

YAO Bojun, GUO Chunsheng, CUI Shaoxiong, LI Jiapeng, ZHANG Yamin
(School of Microelectronics, Beijing University of Technology, Beijing 100124, China)

Abstract: Compared with that in a Si device, the area of near interface oxide traps in a SiC MOSFET is wider, and the corresponding density of traps is two orders of magnitude higher. A lot of traps which are continuously capturing or releasing charges will cause the threshold voltage(V_{th}) to fluctuate with time, leading to the difficulty in accurately and repeatedly measuring the value of V_{th} . In the standard method, the value of V_{th} is measured using a preprocessing method to ensure the consistence in measuring the trap charge state in each time. However, the preprocessed trap state which is affected by drain-source voltages is not taken into account in the standard method, which will bring errors to the V_{th} test. Aimed at this problem, the transfer curves under the influences of different drain-source voltage pulses were measured at first, which show the effects of different drain-source voltages on V_{th} . Second, the influence of drain-source voltage on the trap charge state was analyzed based on the transient current method, thus clarifying the mechanism of the influence of drain-source voltage on traps. Finally, the influences of different drain-source voltages on V_{th} measurement were compared. Results indicate that the drain-source voltage affects the positive and negative electric field between the gate and drain, thereby affecting the trap charge state and causing the V_{th} drift. It is suggested that a smaller drain-source voltage should be used when measuring V_{th} to improve the measurement accuracy and reduce errors caused by testing factors in reliability experiments.

Keywords: Threshold voltage; repeatability; SiC MOSFET; gate structure

以 Si 为代表的第一代半导体材料受到材料自身特性限制, 在高温、高压、大功率等极端环境下 Si 器件无法满足实际需求。SiC 作为新一代宽禁带半

导体材料, 展现出了优良的电学特性和热学特性, 以其为材料制成的 SiC MOSFET 器件具有尺寸小、耐高温、工作频率高及开关损耗低等特点, 在航空航天、军用武器系统、电能转换、新能源汽车及工业驱动等需要大功率电能转换领域具有广泛的应用

收稿日期: 2024-01-31; 修回日期: 2024-03-13, 2024-04-07;
录用日期: 2024-04-18; 网络首发日期: 2024-05-09

前景^[1-4]。目前,制约 SiC MOSFET 器件广泛应用的最大挑战之一来自产品可靠性问题,尤其是栅极氧化层的长期可靠性。SiC MOSFET 的关键电学参数阈值电压的漂移主要由界面陷阱及近界面氧化物陷阱诱导^[5]。SiC/SiO₂ 界面中的界面态密度 D_{it} 主要在热氧化过程中引入,可以达到 $1 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2} \text{ eV}$,较 Si 器件高出 2~3 个数量级^[6-8]。SiC 的导带能级与 SiC/SiO₂ 界面的陷阱能级更为接近,易于界面陷阱不断释放或俘获电荷^[9],并且界面陷阱还可以作为“中介”辅助载流子隧穿到氧化物中被陷阱俘获^[10]。除界面态外,近界面氧化物陷阱也是影响 SiC 器件阈值电压的主要因素,SiO₂ 层的热生长工艺中产生了 Si 缺陷,O 缺陷,C 缺陷等,缺陷空间区域更广、密度更大^[11-12]。随时间及栅极电场变化,SiC MOSFET 的 SiC/SiO₂ 界面陷阱及近界面氧化物陷阱不断释放或俘获电荷,导致阈值电压不断变化,阈值电压波动可达 20% 以上。因此,准确测量阈值电压是研究 SiC MOSFET 器件栅氧退化等可靠性问题的前提。

目前研究影响 V_{th} 漂移的测量因素有测量时间、扫描方向、延迟时间和测量温度^[13-14]等。现行电压扫描法标准中阈值电压测量原理简单,操作难度低,但方法本身测试速度较慢,是目前常用的测试方法^[15]。该方法使用预处理的方式,在测试前施加栅压持续一段时间,填充陷阱,之后迅速切换到测量阈值电压的条件测得转移曲线,从而在保持陷阱电荷稳定的状态下,测量阈值电压等电学参数,保证参数测量的稳定性和一致性^[16-17]。但是,由于该方法未考虑测量转移曲线时漏源电压将影响纵向电场,改变预处理填充后陷阱的电荷状态,引入阈值电压测试波动的问题。为此,本文研究不同漏源电压短脉冲对器件 V_{th} 的影响,结合瞬态电流法辨别陷阱填充状态,从器件层面分析漏源电压影响 V_{th} 的机理。

1 漏源电压对阈值电压测量的影响

引起 V_{th} 漂移的主要因素即界面陷阱及近界面氧化物陷阱如图 1(a) 所示;施加预处理填充后状

态如图 1(b) 所示;切换至测试阈值电压的条件,由于栅极电压的改变及漏源电压的引入导致电场改变,陷阱中电荷填充变化如图 1(c) 所示。

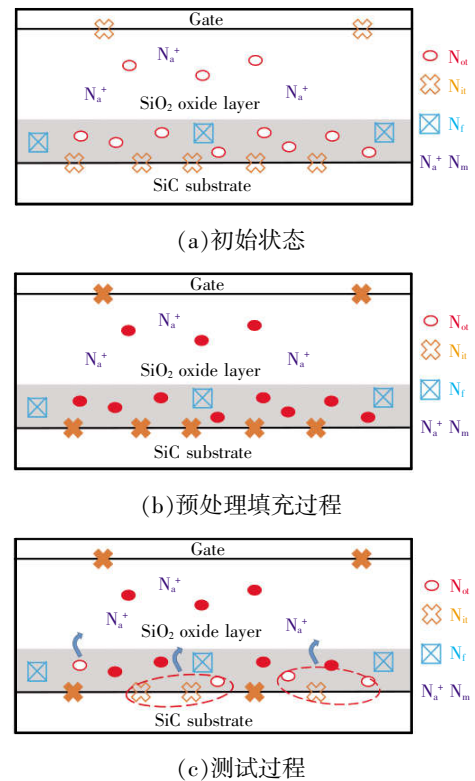


图 1 阈值电压不稳定机理

Fig. 1 Mechanism of threshold voltage instability

为观察漏源电压对阈值电压的影响,本文针对某款 n 沟道平面栅 SiC MOSFET 功率器件,使用 Keysight B1505A 功率器件分析仪和 N1265A 快速开关对不同测试条件下的转移曲线进行了测试和分析。测试时序如图 2(a) 所示,在扫描转移曲线的每个数据点前施加预处理漏压脉冲 (V_{DSQ}) 与预处理栅压脉冲 (V_{GSQ}),当测量转移曲线数据点时漏压固定为 500 mV,栅压为 0~5 V。通过改变不同预处理偏压数值,观察转移曲线的变化。在图 2(b) 中, $V_{DSQ}=0 \text{ V}$,其随栅极脉冲电压 V_{GSQ} 增大转移曲线右移,阈值电压正偏;在图 2(c) 中, $V_{GSQ}=3.5 \text{ V}$,其随漏极脉冲电压 V_{DSQ} 增大转移曲线左移,阈值电压负偏;在图 2(d) 中, $V_{GSQ}=0 \text{ V}$,其随漏极脉冲电压 V_{DSQ} 增大转移曲线不变,阈值电压不变;栅压脉冲与漏压脉冲对阈值电压 V_{th} 漂移的影响相反,且当仅存在漏压脉冲时,阈值电压 V_{th} 不漂移。

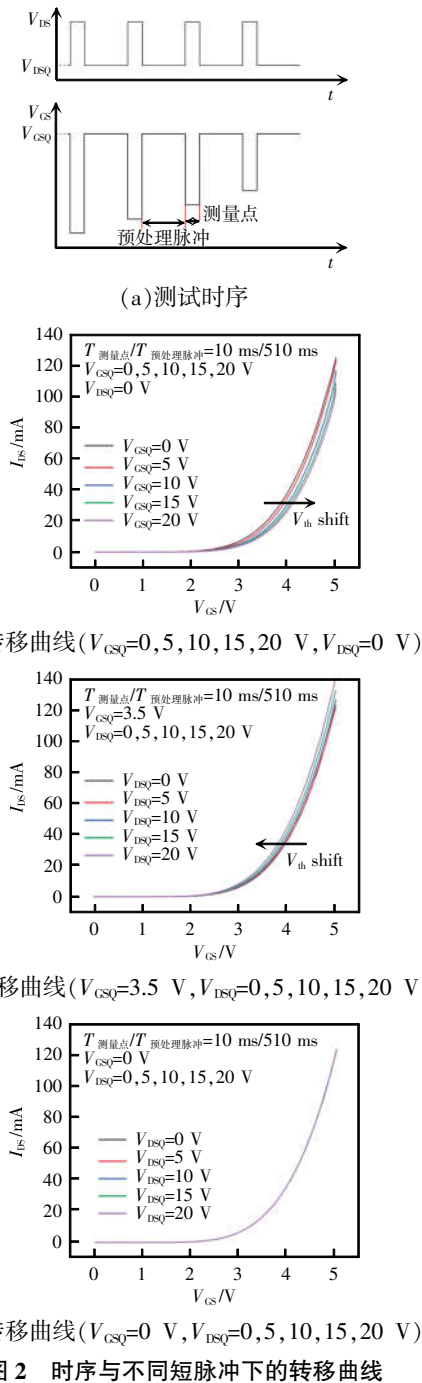


图 2 时序与不同短脉冲下的转移曲线

Fig. 2 Time series and transfer curves under different short pulses

2 基于瞬态电流法分析

器件漏极电流瞬态变化与其内部的陷阱和缺陷特性关系密切,在恒定外加电学条件偏置下,SiC MOSFET 器件的漏极电流 I_{ds} 与时间 t 呈现出 e 指数的变化关系,并且在器件的陷阱俘获电子时导致

漏电流下降,在释放电子时导致漏电流上升^[18-20],可表示为

$$I_{ds}(t) = \sum \Delta I_i \exp\left(-\frac{t}{\tau_i}\right) + I_{\infty} \quad (1)$$

式中: ΔI_i 为其影响电流变化的幅值; τ_i 为第 i 个陷阱的时间常数; I_{∞} 为稳定漏源电流。

基于上述关系,可以对待测器件施加一定电压偏置填充陷阱,再转到测试条件采集漏源电流随时间的变化,将得到的数据采用贝叶斯反卷积算法处理,最终得到陷阱的时间常数谱^[21]。实验时序如图3所示,可分为 300 s 的填充阶段与 289 s 的测试阶段,利用 Keysight B1505A 功率器件分析仪的 I/V-t Sampling 程序,将采样时间间隔设置为 2 ms,以 log 50 变化,设置总采样点 260 个,共计 289.088 s。需要说明的是,该时间点漏源电流随时间已不再大幅变化,故选取的测试阶段时长为 289 s。填充阶段使用不同漏压偏置令陷阱的填充效果不同,测试阶段施加的栅压略大于阈值电压,其值为 3.5 V,漏压 500 mV 以产生漏源电流,防止电流过大器件自热导致对电流的影响。该 SiC MOSFET 器件热阻为 1.1 °C/W,所用填充条件栅压为 4 V,其与测试条件栅压 3.5 V、各漏压条件下最大漏源电流不超过 70 mA,并以漏压最大(即 15 V)时计算耗散功率为 1.05 W,温升最大约为 1.1 °C,对阈值电压造成的影响约为 6 mV^[22],故温升不是该实验中影响阈值电压的主要因素。

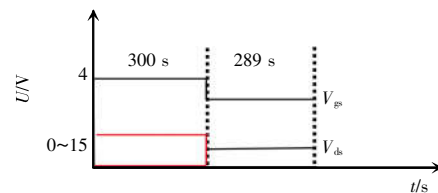


图 3 瞬态电流测试时序

Fig. 3 Time series for transient current test

待测器件初始阈值电压为 3.2 V,在填充阶段施加 4 V 的恒定栅压,改变漏压分别为 0、10、15 V;测试阶段施加 3.5 V 的恒定栅压及 500 mV 的漏压。通过上述条件测得的漏源电流变化趋势与陷阱时间常数谱如图 4 所示,可见:填充阶段漏压为 0 V 时测得的漏源电流曲线呈上升趋势,栅氧陷阱在填

充阶段 300 s 内,由于栅氧上正向电场导致持续填充电子至饱和,因此切换到测试条件后栅氧电场下降,电子无法继续维持在陷阱内,测试过程中陷阱持续释放电子,阈值电压随之持续下降,漏源电流上升;填充阶段漏压分别为 10、15 V 时测得的漏源电流曲线呈下降趋势,说明测试过程中陷阱不断填充电子,阈值电压上升,漏源电流下降;陷阱时间常数谱峰值表示其改变漏源电流的程度,其正负对应陷阱电子的释放与填充^[20],可以看出漏源电压的引入改变了陷阱的电荷状态,从而诱导器件阈值电压 V_{th} 漂移。

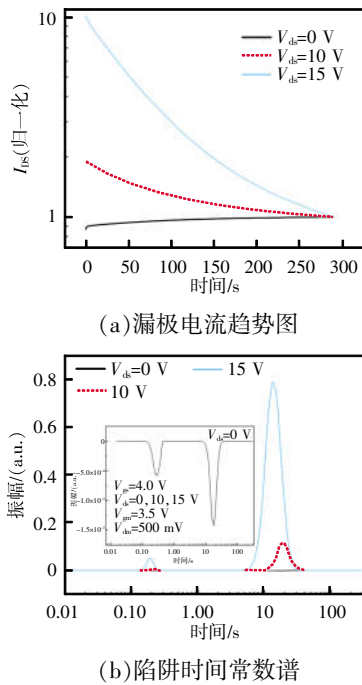


图 4 瞬态漏极电流与陷阱时间常数谱
Fig. 4 Transient drain current and trap time constant spectrum

3 漏压影响阈值电压的机理

对于 NMOSFET,在测试阈值电压过程中,当所加栅压与漏压之差 $V_{gs}-V_{ds}>0$ 时,其能带图如图 5(a)所示,费米能级之下的界面态陷阱将填充电子,导带底能量 E_c 的电子有概率隧穿到近界面氧化物陷阱中^[15],这种情况下 SiC/SiO₂ 界面附近的电子俘获令阈值电压正偏;当所加栅压与漏压之差 $V_{gs}-V_{ds}<0$ 时,其能带图如图 5(b)所示,位于界面态

陷阱中的电子被释放,近界面氧化物陷阱中的电子隧穿返回 SiC,电子的释放令阈值电压负偏。

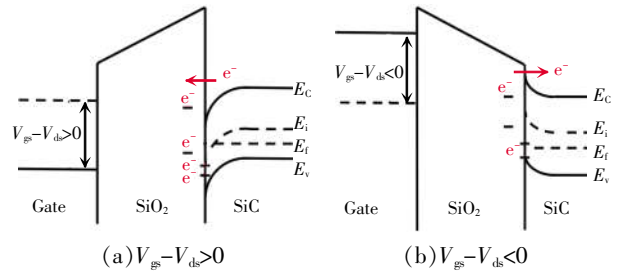


图 5 电子运动能带
Fig. 5 Electronic motion band

当被测器件栅极施加正电压、漏极不加电压时,其界面陷阱及近界面氧化物陷阱的填充状态如图 6(a)所示,反型层中的电子填充到陷阱中,令阈值电压正向偏移;当栅极施加正电压、漏极也施加电压时,将产生 $V_{gs}>0$ 与 $V_{ds}<0$ 电场相反的不同区域, $V_{gs}<0$ 的区域陷阱释放被俘获的电子令阈值电压减小,当该区域电荷释放占主导时阈值电压负偏,如图 4(a)中施加漏源电压 10 V 及 15 V 的情况;当栅极不加电压、仅施加漏压时,如图 4(c)所示,漏压主要降在 2 个 pn 结上,对界面态及近界面氧化物影响较小,此时阈值电压不变。

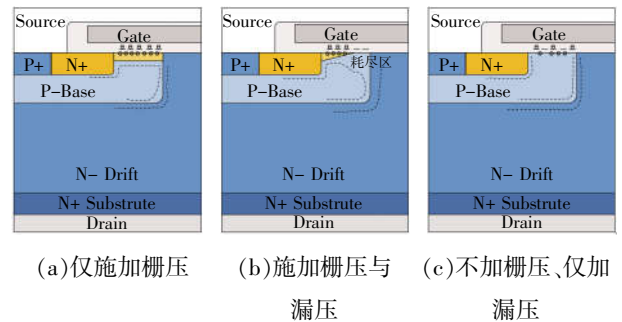


图 6 被测平面栅 NMOSFET 器件陷阱变化示意
Fig. 6 Schematic of trap changes in tested planar gate NMOSFET device

4 根据上述理论对比不同漏压测得的阈值电压重复性

针对某 SiC NMOSFET 器件,使用现行电压扫描法测试阈值电压,其时序如图 7 所示。测试过程分别使用 5 V 及 500 mV 漏压,预处理条件及其他

测试条件相同,包括测试环境温度等。使用 Keysight B1505A 功率器件分析仪的 I/V Sweep 程序,设置栅压扫描范围由 4 至 0,阶梯为 101,间隔为 40 mV,预处理栅压 $V_{GS,con}=4$ V、脉宽 $t_{con}=4$ s。在预处理结束后,立即下扫转移曲线得到阈值电压,每次测量应间隔一定时间等待测器件恢复,对比不同漏压下测得的阈值电压重复性,测试结果的重复性可用总体标准差进行表示,即

$$\sigma = \sqrt{\frac{\sum_{i=1}^N (x_i - \mu)^2}{N}} \quad (2)$$

式中: N 为实验次数; x_i 为每次实验阈值电压的数值; μ 为多次实验阈值电压的平均值。

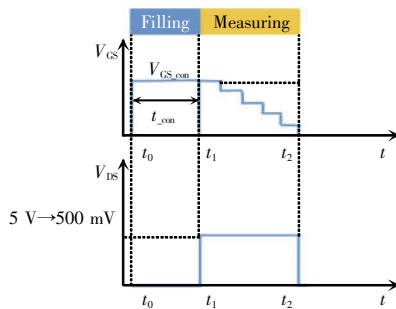


图 7 电压扫描法阈值电压测试时序

Fig. 7 Time series for threshold voltage test using voltage sweep method

表 1 为阈值电压测量结果,可见:当漏压由 5 V 减小至 500 mV 后,4 次阈值电压测量结果的标准差由 0.021 0 下降至 0.009 2, 阈值电压波动由 60 mV 下降至 25 mV;在该阈值电压测量过程中,当栅压为 4 V、漏压为 5 V 时漏源电流最大,未超过 60 mA,以最大耗散功率 0.3 W 计算温升约为 0.3 °C,造成阈

表 1 阈值电压测试结果

Tab. 1 Results of threshold voltage test

	测试次数	阈值电压/V	标准差
CREE($V_{ds}=5$ V)	1	3.231	0.021 0
	2	3.287	
	3	3.271	
	4	3.251	
CREE($V_{ds}=500$ mV)	1	3.480	0.009 2
	2	3.489	
	3	3.473	
	4	3.464	

值电压波动约 1.4 mV,故测量过程的温升几乎不影响阈值电压的测试结果。在以阈值电压漂移量超过初始值 20%为失效判据的可靠性实验中误差可减小 5%~8%,对以阈值电压为温度敏感电参数的温度评估时可避免约 10 °C 的误差^[22]。

5 结语

首先,本文研究了漏源电压对阈值电压测量的影响。实验结果显示,在扫描转移曲线时通过施加不同栅压与漏压,测得阈值电压变化趋势相反的 2 种曲线。其次,本文通过瞬态电流法进一步分析了漏压对器件陷阱填充状态的影响,结果表明,当仅施加正栅压时,电子填充陷阱,阈值电压正偏;引入漏压后,陷阱总体表现为电子的释放,阈值电压负偏。最后,本文从器件层面分析了漏压影响阈值电压的机理,得出由于漏压影响纵向电场甚至令电场反向,导致陷阱由被电子填充至释放电子的转变,诱导了 V_{th} 的漂移;但仅施加漏压时,由于电压主要降在 2 个 pn 结上,未影响到界面态及近界面氧化物陷阱附近的电场,故阈值电压不变;当电压扫描法测量阈值电压时,使用较小漏压可减小因测试因素引入的误差,从而提高可靠性实验及测温准确性。

参考文献:

- [1] Suganuma K. Wide Bandgap Power Semiconductor Packaging: Materials, Components, and Reliability [M]. Woodhead Publishing Series in Electronic and Optical Materials. Oxford, UK: Woodhead Publishing, 2018.
- [2] Zhou Weicheng, Zhong Xueqian, Sheng Kuang. High temperature stability and the performance degradation of SiC MOSFETs [J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2329-2337.
- [3] Richmond J, Ryu S H, Das M, et al. An overview of Cree silicon carbide power devices [C]// Power Electronics in Transportation. Novi, MI, USA, 2004: 37-42.
- [4] Shockley W. The theory of p-n junctions in semiconductors and p-n junction transistors [J]. The Bell System Technical Journal, 1949, 28(3): 435-489.
- [5] Moghadam H A, Dimitrijevic S, Han Jisheng, et al. Quanti-

- fied density of active near interface oxide traps in 4H-SiC MOS capacitors [J]. Materials Science Forum, 2016, 858: 603-606.
- [6] Habersat D B, Lelis A J, Green R. Towards a robust approach to threshold voltage characterization and high temperature gate bias qualification [C]// 2020 IEEE International Reliability Physics Symposium (IRPS). Dallas, TX, USA, 2020: 1-4.
- [7] Unger C, Pfof M. Influence of the off-state gate-source voltage on the transient drain current response of SiC MOSFETs [C]// 2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD). Chicago, IL, USA, 2018: 48-51.
- [8] Gurfinkel M, Xiong H D, Cheung K P, et al. Characterization of transient gate oxide trapping in SiC MOSFETs using fast I - V techniques [J]. IEEE Transactions on Electron Devices, 2008, 55(8): 2004-2012.
- [9] Saks N S, Ancona M G, Rendell R W. Using the Hall effect to measure interface trap densities in silicon carbide and silicon metal-oxide-semiconductor devices [J]. Applied Physics Letters, 2002, 80(17): 3219-3221.
- [10] Yen C T, Hung C C, Hung H T, et al. Negative bias temperature instability of SiC MOSFET induced by interface trap as sisted hole trapping [J]. Applied Physics Letters, 2016, 108(1): 012106.
- [11] Lelis A J, Habersat D B, Lopez G, et al. Bias stress-induced threshold-voltage instability of SiC MOSFETs [M]// Silicon Carbide and Related Materials 2005. Stafa: Trans Tech Publications Ltd., 2006: 1317-1320.
- [12] Lelis A J, Habersat D B, Green R, et al. Temperature-dependence of SiC MOSFET threshold-voltage instability [J]. Materials Science Forum, 2008, 600-603: 807-810.
- [13] Lelis A J, Green R, Habersat D B, et al. Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC MOSFETs [J]. IEEE Transactions on Electron Devices, 2015, 62(2): 316-323.
- [14] Green R, Lelis A J, Habersat D B. Charge trapping in SiC power MOSFETs and its consequences for robust reliability testing [J]. Materials Science Forum, 2012, 717/720: 1085-1088.
- [15] 池甜甜. SiC MOSFET 阈值电压漂移特性的测试分析 [D]. 大连: 大连理工大学, 2021.
Chi Tiantian. Test analysis of threshold voltage drift characteristics of SiC MOSFET devices [D]. Dalian: Dalian University of Technology, 2021 (in Chinese).
- [16] JEDEC Solid State Technology Association, JEP183A-2023. Guidelines for measuring the threshold voltage (V_T) of SiC MOSFETs [S]. South Arlington, VA, USA: JEDEC Publication, 2023.
- [17] Infineon. Reliability of SiC based power semiconductors [R]. Munich, Germany: Infineon, 2020.
- [18] Jiang Shan, Zhang Meng, Meng Xianwei, et al. Trap characterization of trench-gate SiC MOSFETs based on transient drain current [J]. IEEE Transactions on Power Electronics, 2023, 38(5): 6555-6565.
- [19] Yu S, White M H, Agarwal A K. Experimental determination of interface trap density and fixed positive oxide charge in commercial 4H-SiC power MOSFETs [J]. IEEE Access, 2021, 9: 149118-149124.
- [20] 姜山. SiC MOSFET 陷阱特性表征方法及测试系统研究 [D]. 北京: 北京工业大学, 2023.
Jiang Shan. Research on characterization methods and testing systems for SiC MOSFET trap characteristics [D]. Beijing: Beijing University of Technology, 2023 (in Chinese).
- [21] 冯士维, 郑翔, 张亚民, 等. 瞬态时间常数谱值化分析技术及在 GaN 基 HEMT 中的应用 [J]. 微纳电子与智能制造, 2019, 1(1): 88-95.
Feng Shiwei, Zheng Xiang, Zhang Yamin, et al. Transient time constant spectral technique and its application in GaN-based HEMT [J]. Micro/Nano Electronics and Intelligent Manufacturing, 2019, 1(1): 88-95 (in Chinese).
- [22] 丁珏文. 碳化硅 MOSFET 模块结温及热阻测试方法研究 [D]. 北京: 北京工业大学, 2023.
Ding Juewen. Research on junction temperature and thermal resistance testing methods for silicon carbide MOSFET modules [D]. Beijing: Beijing University of Technology, 2023 (in Chinese).



姚博均

作者简介:

姚博均(2000-),男,硕士研究生。研究方向:SiC 半导体可靠性。E-mail:s202272125@emails.bjut.edu.cn。

郭春生(1980-),男,通信作者,博士,副教授。研究方向:微电子器件与集成电路可靠性。E-mail:guocs@bjut.edu.cn。

崔绍雄(1999-),男,硕士研究生。研究方向:SiC 半导体可靠性。E-mail:shaoxiangcui@emails.bjut.edu.cn。

李嘉芃(2000-),男,硕士研究生。研究方向:SiC 半导体可靠性。E-mail:jiapengli@emails.bjut.edu.cn。

张亚民(1970-),男,博士,副教授。研究方向:半导体器件及可靠性。E-mail:yaminzhang@bjut.edu.cn。