

DOI: 10.13234/j.issn.2095-2805.2024.2.81

中图分类号: TM46

文献标志码: A

基于氮化镓的反激同步整流 DC/DC 变换器设计

佟 强, 刘 贺, 曲 璐

(深圳信息职业技术学院智能制造与装备学院, 深圳 518172)

摘要:给出了一种适合低轨商用航天的中小功率 DC/DC 变换器的设计方法。该方法采用了反激同步整流拓扑和表贴器件, 可以覆盖常见的航天用中小功率单路及多路输出 DC/DC 变换器需求, 具备低成本、高性能、高可靠、可批量化生产的优点。为了进一步提高转换效率和功率密度, 还应用了氮化镓 GaN (gallium nitride) 功率开关。并且对不同工作条件下拓扑中主要功率器件的损耗进行了计算和对比分析。最后, 以一款宽输入电压范围 (23~47 V), 输出 5 V@30 W 的电源变换器为例对所提方法进行了验证。

关键词: 变换器; 氮化镓; 反激同步整流; 商用航天

Design of Synchronous Rectifier Flyback DC/DC Converter Based on GaN

TONG Qiang, LIU He, QU Lu

(School of Intelligent Manufacturing and Equipment, Shenzhen Institute of Information Technology, Shenzhen 518172, China)

Abstract: A design method for small- and medium-power DC/DC converters suitable for low-orbit commercial aerospace is given in this paper. A synchronous rectifier flyback topology and surface mounted devices are adopted, which can meet the demands for common single- and multi-output DC/DC converters applied in aerospace, with advantages of low cost, high performance, high reliability, and mass production. To further improve the conversion efficiency and power density, gallium nitride (GaN) FETs are also used. In addition, the losses of main power devices in the topology under different operating conditions are calculated and compared. Finally, a DC/DC converter with a wide range of input voltage (23-47 V) and output of 5 V and 30 W was built for verification.

Keywords: Converter; gallium nitride (GaN); synchronous rectifier flyback; commercial aerospace

近些年以美国 SpaceX 公司的“Star-Link”星座

收稿日期: 2022-04-25; 修回日期: 2022-07-13, 2022-07-21, 2022-08-02, 2022-08-09; 录用日期: 2022-08-15; 网络首发日期: 2022-09-07

基金项目: 深圳市科技计划基础研究项目 (20200828191356 001); 广东省普通高校特色创新项目 (KJ2021C015); 深圳信息职业技术学院校级科技项目 (SZIIT2021KJ002)

This work is supported by Basic Research Project of Shenzhen Science and Technology Plan under the grant 20200828191356 001; Characteristic Innovation Project of Colleges and Universities in Guangdong Province under the grant KJ2021C015; Shenzhen Institute of Information Technology School Project under the grant SZIIT2021KJ002

计划为代表的商用航天产业发展迅速, 在民用导航、低轨物联网通讯、遥感等领域前景广阔。这些应用的共同特点是要求卫星造价低、研制速度快、可大批量生产, 同时要保证足够的可靠度。而传统的航天器设计思路是定制化、小批量、高可靠, 导致产品的研制周期长、成本高。航天用 DC/DC 电源变换器广泛采用的是硅功率开关管, 其抗辐照和单粒子能力较弱。进行加固设计之后, 其抗空间环境能力有一定的提升^[1-2]。但是器件的性能会有所下降, 并且成本高、供货周期长, 直接影响了电源变换器的价格和研制周期。此外, 此类电源变换器的设计定

型较早,仍然采用传统的硬开关拓扑和二极管理整流技术,转换效率低、应用范围窄。氮化镓功率开关凭借其低寄生电容、低导通电阻、高开关速度、小体积、无体二极管反向恢复损耗等优势,引领了电力电子领域新的发展方向^[3-6]。在国内也涌现出英诺赛科等多个氮化镓芯片厂商,为核心器件的国产化替代提供了可能。氮化镓功率开关的优势还不止如此,多家国内外的研究机构实验证明,由于在材料和内部结构上的改进,相较于硅功率开关管,它还具备优异的抗辐照和抗单粒子能力^[7]。因此,越来越多的学者开始研究第三代半导体 GaN 和 SiC 功率开关在宇航电源变换器中的应用^[8-9]。

本文从功率器件、拓扑选择、控制方案设计等方面进行研究和实验,给出面向商用航天领域的高转换效率、高功率密度的变换器设计方案。

1 系统方案设计

1.1 主拓扑设计及功耗分析

在商用航天器中,越来越多的载荷设备需要高转换效率的低压大电流变换器供电。例如,固态功率放大器 SSPA(solid-state power amplifier)、合成孔径雷达 SAR(synthetic aperture radar)、高性能处理器等。传统的二极管整流反激拓扑结构已经无法满足这类需求。以 Interpoint、VPT 等厂家为代表的航天用货架式电源变换器产品仍然普遍采用这种拓扑结构。其产品普遍转换效率(70%左右)低、输入电压范围窄、输出电流小。这给新型高性能商用卫星的研制带来了很大的制约。与此同时,在工业及民用领域,反激同步整流拓扑、有源钳位反激拓扑等改进型的反激拓扑越来越受到关注^[10-13]。图 1 分别给出了反激同步整流拓扑和有源钳位反激同步整流拓扑。

对于传统的二极管整流反激拓扑来说,其缺点主要有两点:①其输出整流电路为二极管整流,而二极管的导通压降较大,因此不适合应用在大电流输出的场合;②拓扑主功率开关为硬开关,由于开关损耗和变压器漏感能量的原因,其开关损耗较

大,开关频率难以提升到较高频率。应对这 2 个问题,一方面可以将副边二极管整流变为采用 MOSFET 管实现同步整流,通过 MOSFET 较低的导通内阻,大大降低整流电路的损耗,使其可以应用在大电流输出场合。另一方面,用 GaN 功率开关替代 Si 功率开关。利用 GaN 功率器件较低的寄生参数进一步降低电源的功率损耗。为了体现这两方面的作用以及对拓扑效率的进一步优化提升,对其进行理论上的功耗分析至关重要。反激同步整流拓扑中关键器件的电压电流波形如图 2 所示。

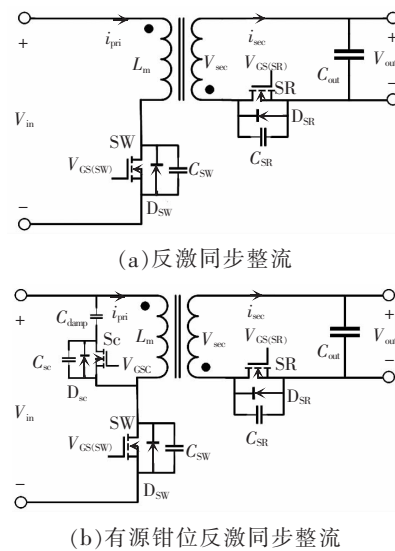


图 1 2 种反激拓扑

Fig. 1 Two types of flyback topology

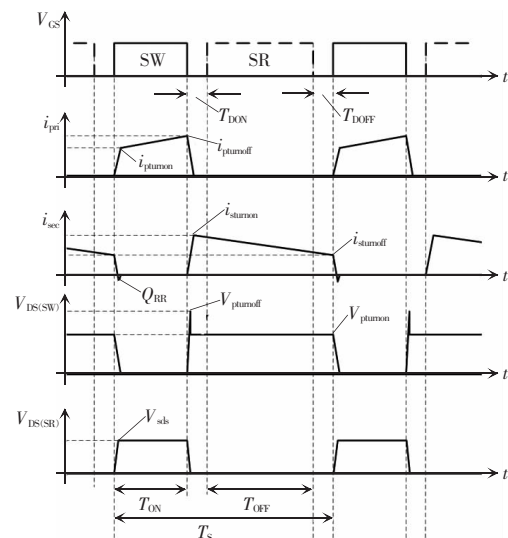


图 2 反激同步整流拓扑中的关键波形

Fig. 2 Key waveforms of synchronous rectifier flyback topology

拓扑原边功率开关的总损耗由如下部分组成: 导通损耗 P_{CON} 、驱动损耗 P_{DRV} 、开关交叉损耗 P_{SWR} 、结电容开关损耗 P_{SWC} 。其计算公式^[14]为

$$P_{\text{SW}} = P_{\text{CON}} + P_{\text{DRV}} + P_{\text{SWR}} + P_{\text{SWC}} = I_{\text{rms}}^2 R_{\text{pdson}} + Q_g V_{\text{cc}} f_s + \left(\frac{1}{2} I_{\text{pturnon}} V_{\text{pturnon}} t_{\text{pturnon}} f_s + \frac{1}{2} I_{\text{pturnoff}} V_{\text{pturnoff}} t_{\text{pturnoff}} f_s \right) + \frac{1}{2} C_{\text{pds}} V_{\text{pturnon}}^2 f_s \quad (1)$$

式中: I_{rms} 为流经原边功率开关的电流有效值; R_{pdson} 为原边功率开关等效导通内阻; V_{cc} 为门极驱动电压; Q_g 为门极电荷; f_s 为开关频率; V_{pturnon} 、 I_{pturnon} 分别为原边功率开关导通瞬间电压值和电流值; V_{pturnoff} 、 I_{pturnoff} 分别为关闭瞬间的电压和电流值; t_{pturnoff} 、 t_{pturnon} 分别为原边功率开关导通和关断瞬间电压和电流重叠区域的时间; C_{pds} 为原功率开关漏源极等效电容, 其等于其输出电容和反向传递电容之差, $C_{\text{pds}} = C_{\text{pss}} - C_{\text{pss}}$ 。对于更精确的效率评估, 可以对式(1)中的参数进行进一步的细化。例如 MOSFET 功率开关的等效内阻为

$$R_{\text{DSon}} = R_{\text{DSonMAX}}(25\text{ }^\circ\text{C}) \left(1 + \frac{\alpha}{100} \right)^{T_j - 25\text{ }^\circ\text{C}} \quad (2)$$

式中: $R_{\text{DSonMAX}}(25\text{ }^\circ\text{C})$ 为其在 $25\text{ }^\circ\text{C}$ 下的最大导通等效内阻; T_j 为结温; α 为温度系数, 可以从数据手册中得到。

对于反激同步整流拓扑, 可以分别计算出原边功率开关的电流有效值 I_{rms} 和副边功率开关的电流有效值 I_{sms} 。

$$I_{\text{rms}} = \frac{I_o}{(1-D)n} \sqrt{D} \quad (3)$$

$$I_{\text{sms}} = \frac{I_o}{\sqrt{1-D}} \quad (4)$$

式中: I_o 为变换器的输出电流; D 为占空比; n 为变压器原副边匝比。

功率开关开通过程电压电流的交叉时间包含了电流上升时间和电压下降时间, 其表达式为

$$t_{\text{turnon}} = -T_g \ln \left[1 - \frac{I_{\text{turnon}}}{g(V_{\text{drive}} - V_t)} \right] + V_{\text{turnon}} \frac{R_{\text{drive}} C_{\text{gd}}}{V_{\text{drive}} - (V_t + I_o/g)} \quad (5)$$

功率开关关断过程电压电流的交叉时间包含了电流下降时间和电压上升时间, 其表达式为

$$t_{\text{turnoff}} = T_g \ln \left(\frac{I_{\text{turnoff}}/g + V_t}{V_t} \right) + \frac{V_{\text{turnoff}} C_{\text{gd}} R_{\text{drive}}}{V_t + I_o/g} \quad (6)$$

式中: $T_g = R_{\text{drive}} C_g$; R_{drive} 为门极驱动电阻值; C_g 为有效输入电容, $C_g = C_{\text{gs}} + C_{\text{ds}} = C_{\text{iss}}$; C_{gs} 为门源极电容; C_{ds} 为漏源极电容; C_{iss} 为输入电容; V_{drive} 为门极驱动电压; V_t 为门极开启电压; g 为跨导。

对于原边主功率开关, 在关断期间其 DS 两端的稳态电压为

$$V_{\text{pturnon}} = V_{\text{in}} + V_o n \quad (7)$$

式中: V_{in} 为变换器的输入电压; V_o 为输出电压。这个电压也是功率开关在开通瞬间的初始电压。由于变压器原副边线圈之间存在一定的漏感, 漏感在每个开关周期会存储一定的能量, 这些能量在主开关关断的瞬间会作用在开关管两端, 形成一个尖峰电压, 一般通过 RC 缓冲器或钳位电路限定其电压的峰值, 本文将峰值电压控制在稳态电压的 1.5 倍, 因此

$$V_{\text{pturnoff}} = 1.5(V_{\text{in}} + V_o n) \quad (8)$$

有源钳位反激同步整流拓扑可以将变压器的漏感能量进行无损回馈, 降低主开关上的电压尖峰, 一定程度上也降低了开关损耗。因此从性能上, 有源钳位反激同步整流拓扑是要比反激同步整流拓扑更有优势^[13]。但是, 它需要在拓扑原边额外加入一个高边的功率开关, 以及其对应的驱动和控制电路, 还要加入一个钳位电容。这会增加控制电路的复杂度和功耗, 提高变换器的器件数量和体积, 也会显著增加成本。有源钳位反激同步整流在输出功率更大, 输入电压更高的应用场合更能发挥其性能上的优势, 抵消其成本和体积上的劣势。

对于副边同步整流功率开关, 由于输出电压低, 加在功率开关的反向电压也较低。与此同时, 通过控制死区时间和门极驱动信号可以很容易实现零电压开关, 因此其主要损耗为导通损耗、死区时间等效体二极管续流损耗、DS 间寄生电容损耗以及寄生体二极管的反向恢复损耗^[10]。其损耗计算公式为

$$P_{\text{SR}} = P_{\text{CON}} + P_{\text{DIO}} + P_{\text{SWC}} + P_{\text{DRR}} = I_{\text{sms}}^2 R_{\text{scson}} + I_{\text{SR}} V_t t_{\text{d}} f_s + \frac{1}{2} C_{\text{sds}} V_{\text{sds}}^2 f_s + Q_{\text{SRR}} V_{\text{sds}} f_s \quad (9)$$

式中: I_{sms} 为副边功率开关的电流有效值; R_{scson} 为副

边功率开关等效导通内阻; I_{SR} 为流经功率开关寄生体二极管的平均电流, $I_{SR}=I_o/(1-D)$; t_d 为体二极管的导通时间; V_f 为功率开关寄生体二极管导通压降; C_{sbs} 为原功率开关漏源极等效电容, 其等于其输出电容和反向传递电容之差, $C_{sbs}=C_{oss}-C_{rss}$; V_{sbs} 为副边功率开关的反向耐压值, $V_{sbs}=V_o+V_{in}/n$; Q_{SRR} 为副边功率开关的反向恢复电荷。

由图 2 可知原边功率开关不存在反向电流, 因此其寄生体二极管不存在反向恢复损耗。而副边功率开关由于存在反向电流, 因此其寄生体二极管存在反向恢复损耗。

通过以上功耗分析可知, 功率开关管的电压应力影响了其功率损耗。通过采用平面变压器以及优化的绕组设计可以降低变压器的漏感, 进而降低反激同步整流拓扑中功率开关的电压应力, 从而降低损耗以及 RCD 吸收电路的功耗^[5], 提高其功率变换效率。工作在连续电流模式下的反激拓扑的优势还包括: ①输出电压纹波小; ②变压器铁损小; ③输出电压与变压器副边线圈匝数有直接的对应关系, 对于多路输出的应用场合, 可以得到较好的电压交叉调整率。

1.2 主变压器设计

首先进行原副边匝比 n 的设定, 本应用的变换器输入电压 V_{in} 为 23~47 V, 输出电压 V_o 为 5 V, 输出电流为 $I_o=6$ A。磁芯选择 TDK 公司的 PQ16/7.8Z 磁芯, 材质为 PC95, 有效磁芯截面积 $A_e=41.8$ mm², 饱和磁感应强度 $B_{SAT}=410$ mT, 工作中允许的最高磁感应强度为 $B_{PK}=300$ mT。参考反激拓扑变压器的计算公式^[4], 按照 600 kHz 的开关频率, 经计算可得原边电感量为 20.3 μ H, 原边匝数为 6 匝, 副边匝数为 2 匝。除此之外, 在主变压器上还额外绕制了一路辅助供电线圈, 经过二极管整流后提供另外一路稳定度较高的直流输出电压。设计其匝数 $n_{al}=5$, 由于副边主输出 2 匝线圈对应 5 V 输出电压, 辅助线圈 5 匝对应整流后输出的直流电压约为 11.5 V。变压器的设计如图 3 所示。

通过“三明治”绕线方法降低 3 个绕组之间的漏感, 变压器结构如图 3(a)所示, 整个电路板为 8

层 PCB 板。由于副边绕组输出电流较大, 因此将其放置在最顶层和最底层 PCB 上, 方便其散热。原边绕组和辅助绕组交错嵌入在内层 PCB 中。PCB 绕线的布局如图 3(b)所示。图 3(c)给出了副边第一匝绕组在 PCB 顶层上的走线。对副边的 2 组输出线圈进行短路处理, 测试原边线圈的漏感为 0.68 μ H。

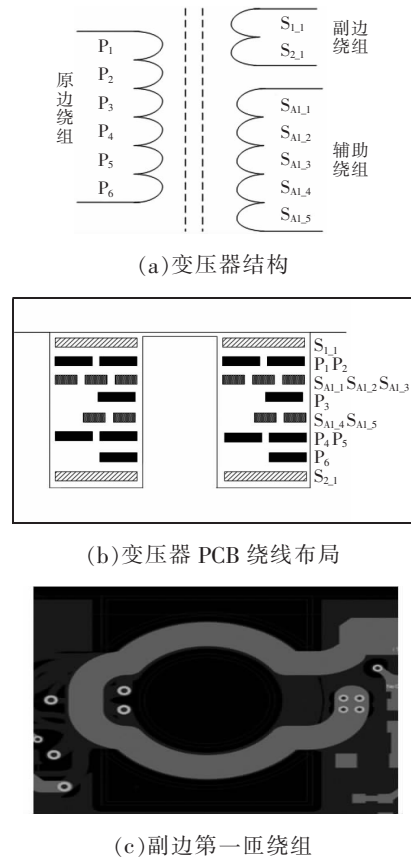


图 3 变压器的设计

Fig. 3 Design of transformer

2 控制器设计

对于一款高性能 DC/DC 变换器来说, 一个功能完善、集成度高的控制方案直接决定了整个变换器的性能、体积、功率密度乃至可靠性。本设计采用了 AD 公司的 ADP1071-2 控制芯片, 它是一款专门针对反激同步整流拓扑的电流型控制芯片^[6], 控制反激同步整流拓扑工作在连续电流模式。它采用了 iCouplers 技术, 芯片内部具有信号隔离传输能力, 省去了传统的隔离型 DC/DC 变换器所需的光耦或磁隔离变压器等信号隔离反馈器件。该芯片还集成

了原副边功率开关驱动器,并提供了完善的保护功能。采用此控制方案大幅缩减了所用元器件数量、成本和设计复杂度,提高了可靠性,使得该拓扑方案更具吸引力。基于 ADP1071-2 的控制及驱动方案如图 4 所示。其典型工作电路如图 4(a)所示。

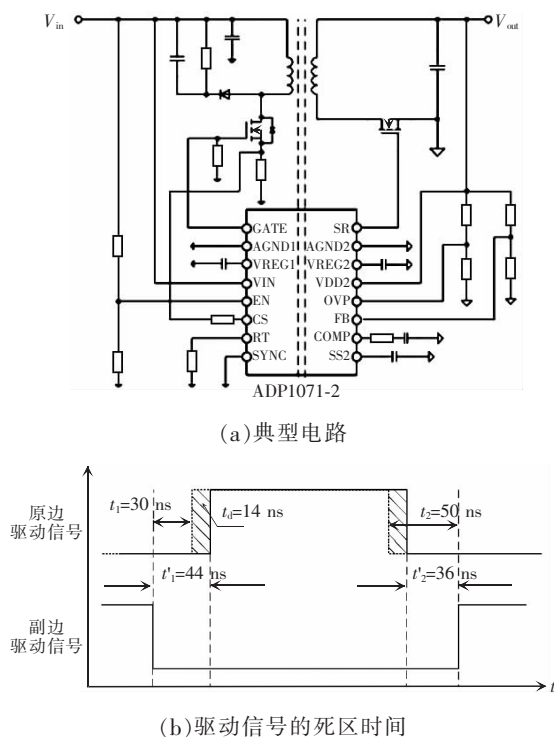


图 4 基于 ADP1071-2 的控制及驱动方案

Fig. 4 Control and drive scheme based on ADP1071-2

ADP1071 为原边和副边驱动信号设定了固定的死区时间。总的死区时间为 $T_D=t_1+t_2=30\text{ ns}+50\text{ ns}=80\text{ ns}$ 。此控制芯片的副边同步整流驱动信号为 5 V 的驱动电平,可以直接用于驱动副边的 GaN 功率开关。但其原边的驱动电压为 8 V,超过了 GaN 功率开关所能承受的最高驱动电平。因此本设计额外加入了一款 TI 公司的 UCC27611 驱动芯片。它是专门驱动 GaN 功率开关的芯片,可将 8 V 的输入 PWM 信

号转化为 5 V 的 PWM 驱动信号。此驱动芯片的输入 PWM 信号和输出 PWM 驱动信号之间的延迟时间较小,查阅数据手册可知仅为 $t_d=14\text{ ns}$ ^[17]。加入此驱动芯片后,仅对原边驱动信号的相位产生微小影响。图 4(b)原边驱动信号中虚线所示为 PWM 控制芯片发出的 PWM 信号,实线为驱动芯片发出的驱动信号,后者比前者滞后 14 ns。原边和副边驱动信号新的死区时间为 $T_D=t'_1+t'_2=44\text{ ns}+36\text{ ns}=80\text{ ns}$,不会因为死区时间的增大而增加副边同步整流开关在死区时间内的续流损耗,因此对变换器的效率没有影响。

3 主拓扑效率分析

在对拓扑和功率器件进行实际应用之前,先对各主要功耗器件进行功耗计算和分析。并结合拓扑的工作条件,对关键元器件进行功耗计算和对比分析,设定开关频率为 600 kHz。按照《GJB/Z 35—1993 元器件降额准则》中一级降额系数标准以及厂家的选型手册,GaN FET 在反激同步整流拓扑中的功耗进行对比分析。选取性能相近的器件进行对比,通过查阅器件手册列出部分典型器件参数如表 1 所示。在以下的对比中,同步整流功率开关上没有反并联肖特基二极管。根据 1.1 节的计算公式,对各功率开关的功率损耗进行计算。对比结果如图 5 所示。

图 5(a)和(b)给出了当输入电压为 23 V 时,输出满载条件下 GaN FET 和 Si FET 的损耗对比。对于原边功率开关,采用 GaN FET 的损耗为 0.34 W,而采用 Si FET 的损耗高达 2.54 W。由于极间等效

表 1 功率开关器件参数对比

Tab. 1 Comparison of parameters among power switches

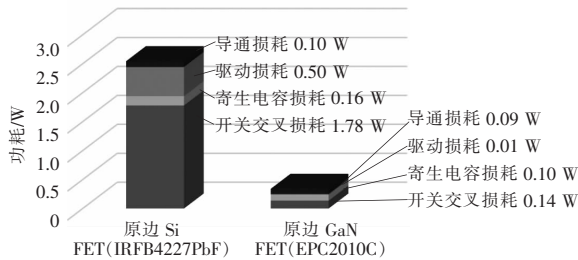
开关管类型	型号	漏源极 耐压/V	导通 电阻/mΩ	输入电容 C_{iss} /pF	输出电容 C_{oss} /pF	反向传递电容 C_{rss} /pF	反向导通压降 ($V_{CS}=0$)
原边 MOSFET	IRFB4227PbF	200	19.7	4 600	460	91.0	1.3
原边 GaN	EPC2010C	200	18.0	380	240	1.8	1.8
副边同步整流 MOSFET	IPPO30N10N5	100	2.7	7 920	1 210	53.0	0.9
副边同步整流 GaN	EPC2022	100	2.4	1 400	840	7.0	1.8

电容的差别,导致 Si FET 的其他损耗要明显高于 GaN FET。对于同步整流功率开关,采用 Si FET 的损耗为 1.93 W,而采用 GaN FET 的损耗为 1.08 W。由于 GaN 功率开关内部的横向结构使得 PN 节不存在,这也消除了体二极管和反向恢复损耗 P_{DRR} 。这使得其在硬开关工作条件下的开关损耗进一步降低。GaN FET 的缺点是其死区时间续流损耗要明

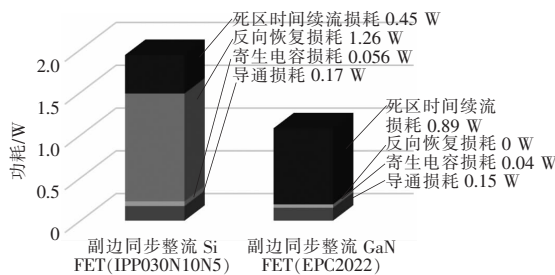
显高于 Si FET。由于内部横向结构的对称性,GaN 功率开关在反向电流导通时不需要门极驱动电压。因此更像一个二极管,只不过具有比普通二极管更大的导通电压,这个导通电压的典型值就是其门极开启电压 V_{t} 。这会导致其在死区时间内反向导通的损耗显著增大,因此要通过减小死区时间或反向并联一个肖特基二极管来抑制这个损耗。

图 5(c)和(d)给出了当输入电压为 47 V 满载时,GaN FET 和 Si MOSFET 的损耗对比。对于原边功率开关,采用 GaN FET 的损耗为 0.57 W,而采用 Si FET 的损耗高达 4.61 W。对于同步整流功率开关,采用 GaN FET 的损耗为 0.93 W。同样,如果给 GaN FET 反并联一个续流肖特基二极管,死区时间的续流损耗可以从 0.70 W 下降到 0.22 W,总损耗可以降低为 0.44 W。

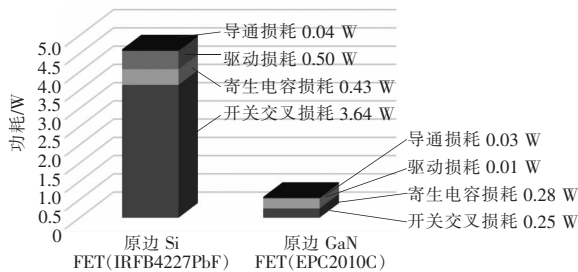
再来分析不同负载情况下原边和副边功率开关中各部分功耗占比的情况以及优化方法。原边和副边均采用 GaN FET。当输入电压为 28 V 时,半载和满载情况下,原边和副边功率开关的各损耗占比如图 6 所示。原边 GaN FET 半载和满载损耗对比如图 6(a)和(b)所示。可以看到无论是半载还是满载情况下,寄生电容的损耗和开关交叉损耗是占比最高的两项,导通损耗占比较小。副边 GaN FET 半载和满载损耗对比如图 6(c)和(d)所示。可以看到,对于应用在同步整流开关的 GaN FET,由于其反向导通压降过大,死区时间续流损耗无论在半载还是满载情况下占比都是最大的。像前面介绍的那样通过反并联二极管或者减小死区时间来控制这部分损耗是最为有效的,可以选择死区时间短或者具有自适应死区时间调节的 PWM 控制芯片。当然,从式(1)也可以看到,直接降低开关频率也可以降低各种开关损耗,提升拓扑效率。但是开关频率的降低会使得磁性器件和电容显著增加,导致变换器体积增大。因此要在体积和效率折中的情况下确定合适的开关频率。从图 6(d)可以看出,在满载情况下,对于副边 GaN FET,导通损耗的占比相对寄生电容损耗要更大。因此选择导通内阻低的功率开关对损耗的减小作用更大,这也是本文选择 EPC2022



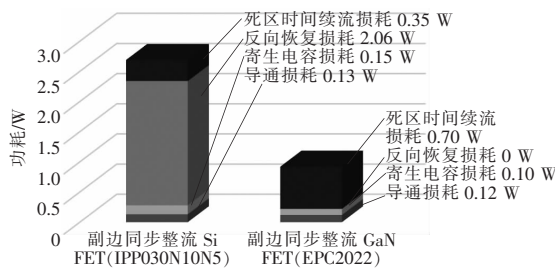
(a)原边功率开关功耗对比(输入电压为 23 V)



(b)副边功率开关功耗对比(输入电压为 23 V)



(c)原边功率开关功耗对比(输入电压为 47 V)

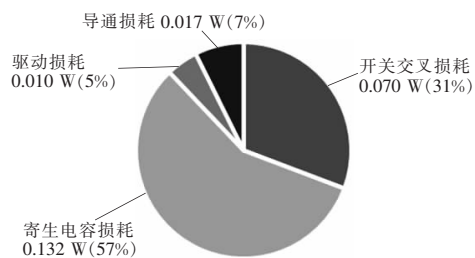


(d)副边功率开关功耗对比(输入电压为 47 V)

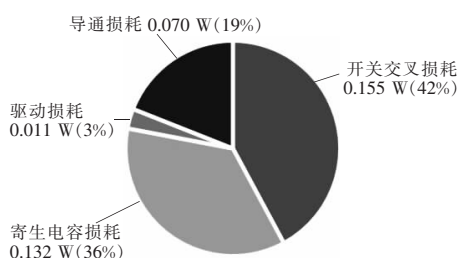
图 5 不同输入电压下 GaN FET 和 Si FET 的功率损耗对比

Fig. 5 Comparison of power loss between GaN FET and Si FET at different input voltages

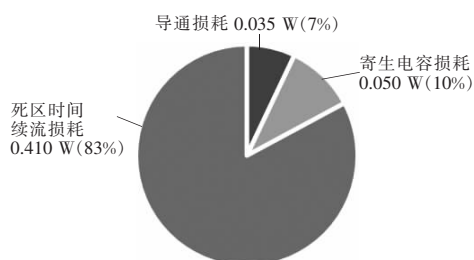
的重要原因。此外,本文选择 EPC2022 还综合考虑到航天降额标准、器件供货状态、变换器功率拓展性、减小元器件备货种类等方面的因素。设计者可以参考本文的器件损耗分析结果,根据自身的应用场景、设计标准以及器件采购周期和成本等因素选择合适的 GaN FET。



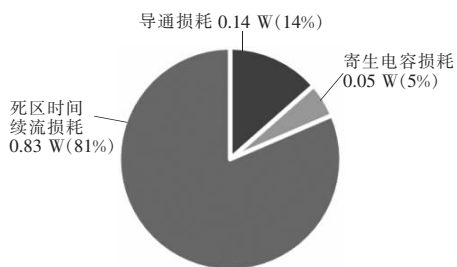
(a) 半载时原边 GaN FET 各损耗占比



(b) 满载时原边 GaN FET 各损耗占比



(c) 半载时副边 GaN FET 各损耗占比



(d) 满载时副边 GaN FET 各损耗占比

图 6 输入电压 28 V 半载和满载情况下,原边和副边功率开关的各损耗占比

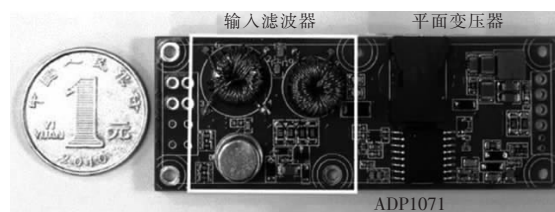
Fig. 6 Power loss ratios of primary and secondary power switches under half and full loads at $V_{in}=28\text{ V}$

在拓扑的损耗中除了原边和副边功率开关之外,还有变压器损耗、PWM 控制芯片、驱动芯片损耗,滤波电路损耗以及其他检测电路损耗等。它们的占比相对较小,由于篇幅所限,本文不再做进一步分析。

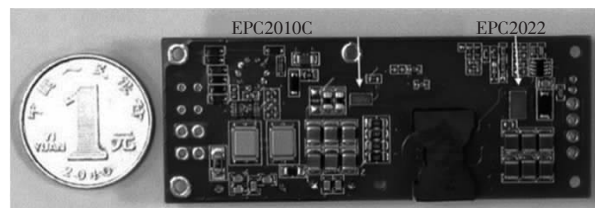
4 实验结果

根据前面的设计分析结果,本文搭建了一款基于 GaN 的高效高功率密度反激式 DC/DC 变换器的试验样机。出于成本、价格和研究周期等因素的考虑,本文采用商用级别的 GaN FET,重点对电性能进行研究。此样机的主要电气性能要求在前面的分析中已经做了说明,其输入电压范围可以覆盖目前主流的 28 V 和 42 V 2 种卫星母线电压的需求,适用范围广。

图 7(a)为样机的正面视图,主要包含开关机遥控电路、输入滤波器、平面变压器和 PWM 主控制器。图 7(b)为其背面视图,主要包含原边开关管 EPC2010C 和副边同步整流管 EPC2022。功率器件均放在 PCB 背面也有助于进一步的散热处理。



(a) 样机正面视图



(b) 样机背面视图

图 7 样机图片

Fig. 7 Photos of prototype

图 8 为 1 MHz 开关频率下,主开关管和同步整流开关的驱动电压 V_{GS} 波形和漏源极电压 V_{DS} 波形。从图 8(a)可见由于采用了平面变压器、多层

PCB 电路板以及寄生参数较小的氮化镓功率开关,主功率的电压峰值得到很好的抑制。从图 8(b) 可以看到,同步整流开关的 V_{DS} 波形中在开关关闭期间存在一定的振荡。这是由于副边整流电路的器件及线路中存在一定的等效寄生电感。抑制此振荡的一种比较简单的方法是在同步整流开关的两端并联有损吸收电路(例如 RC 吸收电路),以衰减振荡的幅值和频率。另一方面也可以通过降低副边电路等效寄生电感,来降低振荡的能量和幅度。由于原副边功率开关的驱动信号存在合适的死区时间,并且 GaN 功率开关具有较快的开关速度。在 V_{GS} 波形的上升沿之前, V_{DS} 已经降为 0,同步整流开关实现了零电压开通的软开关效果,这也是本拓扑中死区时间带来的优势。

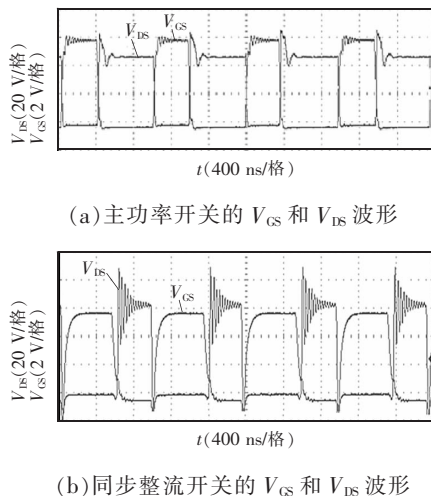


图 8 主功率开关和整流开关的电压波形($f_s=1$ MHz)

Fig. 8 Voltage waveforms of primary and secondary GaN FETs at 1 MHz

提高开关频率可以减小变压器的匝数和体积。还能减少输入输出电容的体积。而根据 1.1 节的损耗计算公式可知,提高开关频率后,各种开关损耗也会响应提高。因此在选择开关频率的时候,要做效率和体积上的折中。图 9 给出了 600 kHz 和 1 MHz 开关频率下,电源的测试效率曲线。由图 9 可以看出,600 kHz 频率下电源的转换效率优势明显,可以在体积和效率之间达到较为优化的折中。1 MHz 频率下,开关损耗明显增大,尤其是轻载时的效率下降明显。在本文的应用需求下,600 kHz 的开关频率可以在用

户规定的体积要求下达到相对较高的转换效率。在对体积要求更高的应用场合,也可以选择 1 MHz 的开关频率,因为在这个频率下其额定负载时的转换效率仍然可以达到 85%左右,这也明显优于同功率等级下采用硅功率器件的电源变换器。根据本文第 3 节的分析,可以给副边同步整流 GaN FET 反并联一个肖特基二极管,进一步提升转换效率。

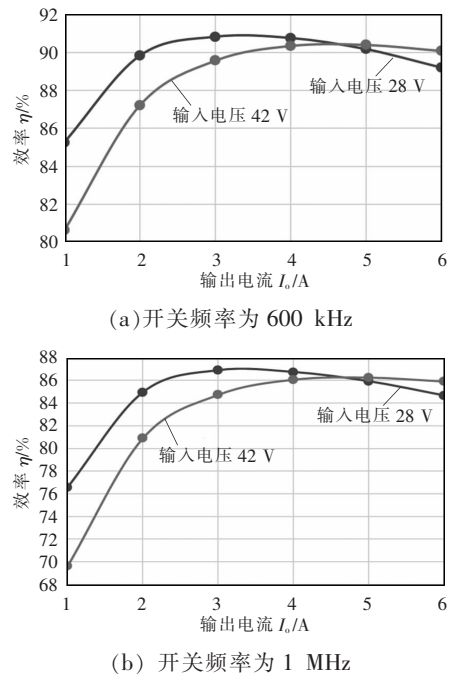


图 9 不同开关频率下效率对比

Fig. 9 Comparison of efficiency at different switching frequencies

5 结语

采用了氮化镓开关器件、反激同步整流拓扑以及高集成度控制方案的 DC/DC 变换器具备宽输入电压、高功率密度的优点,转换效率上相比传统的宇航用电源模块提升了 10%以上。本文给出了针对反激同步整流拓扑中功率器件功耗的详细计算方法,有利于变换器转换效率的对比分析和进一步优化。采用氮化镓功率开关的变换器在达到更高开关频率的同时还具备较高的转换效率。由于氮化镓器件具有优秀的空间环境适应性,以及国产化替代的可能性,本文所提方案可以作为商用航天领域的高性能 DC/DC 电源变换器的参考借鉴方案。

参考文献:

- [1] Titus J L. An updated perspective of single event gate rupture and single event burnout in power MOSFETs [J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 1912-1928.
- [2] Scheick L. Testing guidelines for single event gate rupture (SEFR) of power MOSFETS [R/OL]. California: NASA JPL Publication. (2008-08-10) [2022-04-25]. https://nepp.nasa.gov/docuploads/9E969C8F-50DF-4EE1-A932E552D3C0FA99/07-116%20Scheick_JPL%20Testing%20Guidelines%20S EGR.pdf.
- [3] Xue L X, Zhang J. Active clamp flyback using GaN power IC for power adapter applications [C]// 2017 IEEE Applied Power Electronics Conference and Exposition(APEC). Tampa, Florida, USA: IEEE, 2017: 2441-2448.
- [4] Xue L X, Zhang J. Design considerations of highly-efficient active clamp flyback converter using GaN power ICs [C]// 2018 IEEE Applied Power Electronics Conference and Exposition(APEC). San Antonio, Texas, USA: IEEE, 2018: 777-782.
- [5] Huang Xiucheng. High frequency GaN characterization and design considerations [D]. Virginia: Virginia Polytechnic Institute and State University, 2016.
- [6] 顾占彪, 许可, 唐家承, 等. GaN 超高频谐振反激变换器 [J]. 电源学报, 2020, 18(5): 19-27.
Gu Zhanbiao, Xu Ke, Tang Jiacheng, et al. GaN very-high-frequency resonant flyback converter [J]. Journal of Power Supply, 2020, 18(5): 19-27 (in Chinese).
- [7] Lidow A, Nakata A, Rearwin M, et al. Single-event and radiation effect on enhancement mode gallium nitride FETs [C]// 2014 IEEE Radiation Effects Data Workshop(REDW). Paris, France: IEEE, 2015: 1-7.
- [8] Turriate V. Design and implementation of a radiation hardened GaN based isolated DC-DC converter for space applications [D]. Virginia: Virginia Polytechnic Institute and State University, 2018.
- [9] 康庆, 李峰, 邢杰, 等. SiC 器件在卫星电源系统中的应用与分析[J]. 电源学报, 2022, 20(2): 154-160.
Kang Qing, Li Feng, Xing Jie, et al. Applications and challenges of SiC devices in satellite electrical power systems [J]. Journal of Power Supply, 2022, 20(2): 154-160 (in Chinese).
- [10] Zhang M T, Jovanovic M M, Lee F C Y. Design considerations and performance evaluations of synchronous rectification in flyback converters [C]// IEEE Transactions on Power Electronics. Atlanta, Georgia, USA: IEEE, 2002: 538-546.
- [11] Jitaru I D. High efficiency flyback converter using synchronous rectification [C]// APEC Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.02CH37335). Dallas, Texas, USA: IEEE, 2002: 867-871.
- [12] 牛雨萱, 张军明. 基于 FPGA 的 GaN 有源箝位反激式电源[J]. 电力电子技术, 2020, 54(2): 1-3, 23.
Niu Yuxuan, Zhang Junming. A GaN active clamp flyback power supply based on FPGA [J]. Power Electronics, 2020, 54(2): 1-3, 23 (in Chinese).
- [13] Watson R, Lee F C, Hua G C. Utilization of an active-clamp circuit to achieve soft switching in flyback converters [J]. IEEE Transactions on Power Electronics, 1996, 11(1): 162-169.
- [14] Maniktala S. Switching power supplies A-Z [M]. 2nd edition. USA: Newnes, 2012.
- [15] 赵海伟, 秦海鸿, 朱梓悦. 反激变换器中 RCD 箝位电路的分析与设计[J]. 电源学报, 2015, 13(3): 41-49.
Zhao Haiwei, Qin Haihong, Zhu Ziyue. Design and analysis of RCD clamp circuit in flyback converters [J]. Journal of Power Supply, 2015, 13(3): 41-49 (in Chinese).
- [16] Analog Devices. ADP1071-2 isolated synchronous flyback controller with integrated icoupler [EB/OL]. [2022-04-25]. <https://www.analog.com/en/products/ADP1071-2.html>.
- [17] Texas Instruments. 4-A/6-A single-channel gate driver with 4-V UVLO and 5-V regulated output [EB/OL]. [2022-04-25]. <https://www.ti.com.cn/product/cn/UCC27611>.



作者简介:

佟强(1982-),男,通信作者,博士,研究员。研究方向:航天电源、特种电源。E-mail: 83295627@qq.com。

刘贺(1989-),女,博士,讲师。研究方向:新能源变换器。E-mail: liuhe_power@163.com。

曲璐(1988-),女,博士,讲师。研究方向:新能源汽车。E-mail: 793727383@qq.com。

佟强