DOI：10.13234/j.issn.2095-2805.2026.7.71 **中图分类号**：TM44 **文献标志码**：A

一种宽带宽高 PSR 的无片外电容 LDO

卢振贤[1,2]，宋树祥[1,2]，蔡超波[1,2]
(1.广西师范大学电子与信息工程学院，广西类脑计算与智能芯片重点实验室，桂林 541004；
2.广西师范大学电子与信息工程学院，广西高校集成电路与微系统重点实验室，桂林 541004)

摘要：针对传统的无片外电容低压差线性稳压器 LDO(low-dropout regulator)在中、高频率范围内工作时电源抑制 PSR(power supply rejection)特性较差的问题，提出了一种具有低通滤波器的嵌入式前馈纹波抵消 EFFRC(embedded feedforward ripple cancellation)技术。通过在级联翻转电压跟随器中嵌入自适应偏置的超级源随器来驱动功率晶体管，并采用米勒补偿以及前馈电容补偿方式，以确保系统稳定性并扩宽 LDO 整体环路带宽。此外，将低通滤波器内嵌至缓冲器中，在不消耗额外功耗的情况下实现了 LDO 输出端电源纹波相互抵消，从而提高了 LDO 的 PSR 频率特性。该 LDO 基于 SMIC 130 nm CMOS 工艺设计实现，仿真测试表明在 0~50 mA 的负载变化下，低频 PSR 数值均达到 90 dB，PSR 的频率带宽超过 10 MHz，并且中频段 PSR 最大可以实现 12 dB 的提升。良好的 PSR 特性表明该 LDO 对于输入电压的不同频率噪声具有较好的动态抑制能力，因此可为其驱动的电路(如高性能模数转换器、低噪声放大器)提供干净的电源电压。

关键词：低压差线性稳压器；无片外电容；电源抑制比；嵌入式前馈纹波抵消

A Wideband High-PSR Capacitorless LDO

LU Zhenxian[1,2], SONG Shuxiang[1,2], CAI Chaobo[1,2]
(1. Guangxi Key Laboratory of Brain-inspired Computing and Intelligent Chips, School of Electronic and Information Engineering, Guangxi Normal University, Guilin 541004, China; 2. Key Laboratory of Integrated Circuits and Microsystems, School of Electronic and Information Engineering, Guangxi Normal University, Guilin 541004, China)

Abstract: An embedded feedforward ripple cancellation (EFFRC) technology with a low-pass filter is proposed to address the issue of poor power supply rejection (PSR) performance in traditional output-capacitorless low-dropout regulator (LDO) operating in the medium and high frequency range. Firstly, an adaptive bias super source follower is inserted into a cascaded flipped voltage followers to drive the power transistor, and Miller compensation and feedforward capacitance compensation techniques are employed to ensure system stability and widen the LDO loop bandwidth. Additionally, a dedicated low-pass filter is integrated into the buffer to effectively eliminate power ripples at the LDO output without consuming additional power, thereby significantly enhancing PSR frequency characteristics. The designed LDO is implemented using SMIC130 nm CMOS process. Simulation results demonstrate that it achieves a low-frequency PSR value of 90 dB across a load change ranging from 0 to 50 mA. Furthermore, the PSR exhibits a frequency bandwidth exceeding 10 MHz, with potential improvements of up to 12 dB in the mid-frequency band. The good PSR characteristics show that the LDO has good dynamic suppression ability for different-frequency noise of input voltage, so it can provide a clean power supply voltage for the circuit driven by it, such as high-performance analog-to-digital converters and low-noise amplifier.

Keywords: Low-dropout regulator; output-capacitorless; power supply rejection; embedded feedforward ripple cancellation

收稿日期：2024-05-20；**修回日期**：2024-08-07；**录用日期**：2024-08-27；**网络首发日期**：2024-12-12
基金项目：国家自然科学基金资助项目(62061005)；广西自然科学基金资助项目(2022GXNSFBA035646)
This work is supported by Natural Science Foundation of China under the grant 62061005; Guangxi Natural Science Foundation under the grant 2022GXNSFBA035646

片上系统 SOCs (system on scips)应用中的电源管理单元通常包含开关功率转换器 DC-DC 模块及低压差线性稳压器 LDO(low-dropout regulator)

模块。DC-DC 模块由于输出的电压波动较大，常用于驱动对噪声不敏感的模块，如处理器电路。而 LDO 模块通常级联在高效率的开关稳压器之后，以过滤开关噪声并为噪声敏感的电路(如传感器、功率放大器等)提供相对干净的驱动电压。随着 SOCs 的发展，来自电源上的随机噪声对噪声敏感电路功能的恶化变得越来越明显。因此，LDO 必须在较宽的频率范围内具备高的电源抑制 PSR (power supply rejection)特性，以确保系统中噪声敏感模块的稳定运行。

目前用于提升 LDO 电源抑制能力的技术大致可分为 4 大类：一是使用高增益的放大器来提高环路增益或者扩展环路带宽[1-4]，但往往存在稳定性问题，并且还会消耗较大的静态功耗；二是通过在功率管上方堆叠额外的晶体管来对电源噪声进行预处理或采用 NMOS 类型的功率管[5-7]，但需要增加电荷泵电路来获得足够的电压余量，另外输入与输出之间较大的压差使得 LDO 的效率下降；三是使用 2 个 LDO 模块级联的方式来提高整体的 PSR 特性[8]，但 LDO 串联的形式也增加了电压降，降低了 LDO 的效率，同时由于第一级 LDO 的中、高频 PSR 特性较差，而下一级 LDO 也无法有效地滤除该频段内的噪声，因而使得整个 LDO 电路的中高频 PSR 性能较差；四是在电压域或者电流域采用前馈纹波抵消技术[9-12]，通过前馈路径将一定比例的电源纹波复用至功率管的栅端，以减小功率管上电流的波动，从而提高电路的 PSR 特性。前向纹波抵消技术可以实现较宽带宽范围内 PSR 特性的提高，同时还具备不影响反馈回路稳定性、不增加电压降的优点。但其往往需要一个高带宽的前馈放大器及求和电路将高频的电源纹波再生至功率晶体管的栅端，会消耗一定的功耗且增加电路设计的复杂度[13-14]。

针对无片外电容 LDO 中、高频率段 PSR 特性差的问题，提出了一种带有低通滤波器 LPF (low-pass filter)的嵌入式电源纹波前馈 EFFRC (embedded feedforward ripple cancellation)技术。从电源轨中提取出高频纹波后重新复用至功率晶体管的栅端，使得功率管的栅端与源端间的交流纹波电压差接近 0，从而减小电源纹波对输出电压的影响。所提出的技术不需要额外的求和电路或者宽带宽的放大器结构，只需要重用传统 LDO 中的缓冲级即可实现电源纹波的再生与消除操作。另外，所提出的电路结构中使用内嵌有超级源随器 SSF(super source follower)的翻转电压跟随器 FVF (flipped voltage follower)来驱动功率管，将 SSF 与 FVF 相容合的拓扑结构形成一个大带宽的局部环路，可以快速地响应负载电流的突变。利用其超低的输出阻抗特性将环路带宽提高，进一步提升了整体电路的 PSR 特性。

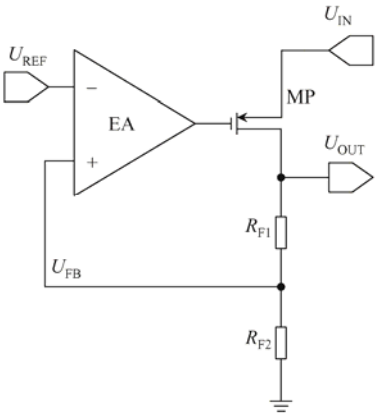
1 LDO 结构原理分析

传统的 LDO 电路如图 1(a)所示，功率晶体管 MP 直接由误差放大器 EA(error amplifier)驱动，使得其栅端的转换速率受限于 EA 的尾电流源，在低功耗应用下进一步恶化了 LDO 的负载瞬态响应。本文所设计的 LDO 电路如图 1(b)所示，功率管由驱动能力更强的缓冲器来驱动。SSF 与级联 FVF 构成了一个快速的局部负反馈环路，在不需要消耗大的静态电流的情况下实现了快速的负载瞬态响应。此外，低通滤波器可将 SSF 中的电流源负载管 M_{FF} 的栅端交流接地，因此当频率超过 LPF 的截止频率时，M_{FF} 管可视为共栅级放大器，可将电源上的纹波放大后再生至功率管 MP 的栅端，实现前馈纹波抵消，从而提高 LDO 的 PSR 特性。

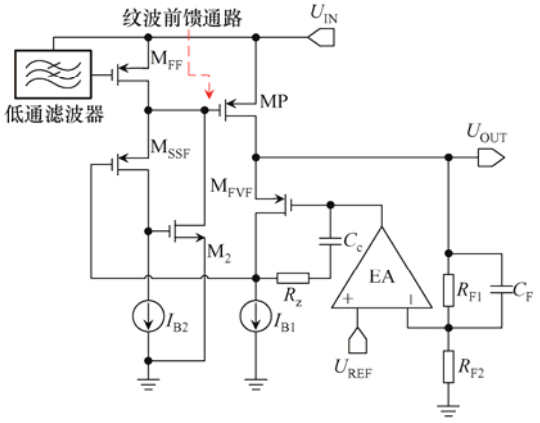
1.1 缓冲器结构

为了获得良好的瞬态特性，通常需要驱动能力强的电路来直接驱动功率管，因此提出了在误差放大器与功率管之间插入缓冲级的 LDO 架构，如图 2 所示。该类型的缓冲器结构具有较小的输入寄生电容及较低的输出阻抗，可以实现扩展环路带宽的作用。常见的源随器如图 2(a)所示，相比于传统的源随器，M_2 管的引入构成并联负反馈，使得输出阻抗进一步降低。同时该结构具有良好的下沉能力，可以快速打开功率晶体管 MP。但是作为一个

单极点系统，电压误差放大器 VEA(voltage error amplifier)输出端的压摆率直接限制了功率管栅端的瞬态响应[15-17]。因此，为了实现快速的瞬态响应以及良好的稳定性，需要消耗比较大的静态电流。基于 FVF 的功率级如图 2(b)所示，由于局部负反馈的作用实现了低输出阻抗，增强了 LDO 的



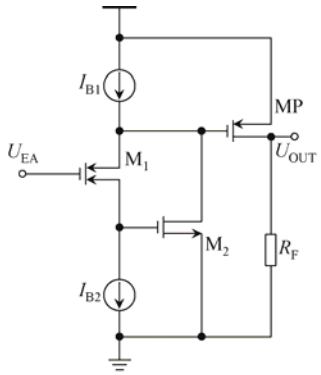
(a) 传统架构



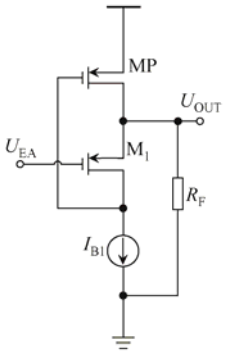
(b) 本文设计架构

图 1　无片外电容 LDO 架构

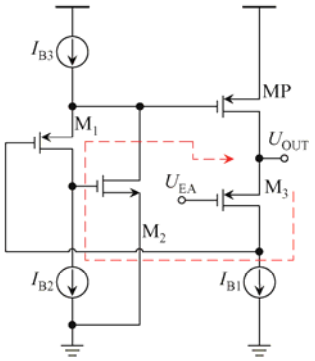
Fig. 1 The architecture of output-capacitorless LDO



(a) 超级源随器



(b) 翻转电压跟随器



(c) 本文所采用的缓冲器架构

图 2　缓冲器结构

Fig. 2 Buffer structures

带载能力，但功率管栅端的转换速率依旧受限于恒流源 I_{B1} 的大小[18]。

为了在无需大的静态电流的条件下实现快速的负载响应特性，本文将 SSF 与 FVF 进行融合，如图 2(c)所示。误差放大器的输出端直接驱动 M_3 管，而功率管由超级源随器来驱动，2 种结构的融合使得功率管的栅端结点及 LDO 输出端结点所对应的极点频率处于更高频的位置，保证整体电路实现大带宽的条件下依旧具有足够的相位裕度 PM(phase margin)。当负载存在快速突变的过程中，M_3 管作为共栅级放大器可以检测 U_{OUT} 处的欠冲，并在很小的延迟后经过 M_1 管反馈至功率管的栅端，实现一个快速的局部负反馈环路来改善负载瞬态响应特性。

1.2　嵌入式前馈纹波消除技术

在典型的 LDO 结构中，电源纹波可以通过如图 3(a)所示的 4 条路径馈通至输出端。带隙基准源以及误差放大器有限的 PSR 特性，使得电源轨上的纹波传输至输出端，如图 3(a)中路径 a 和路径 b 所示，但是仅对整体低频段的 PSR 特性产生影响。路径 c 与路径 d 分别表示电源纹波通过功率晶体管的等效跨导 g_{mp} 和等效输出电导 g_{dsp} 传递至输出端，在中、高频段范围内，由于环路增益的下降，功率晶体管大大降低了 LDO 的 PSR 性能，因此功率晶体管成为提高中、高频段 PSR 特性的瓶颈[12]。

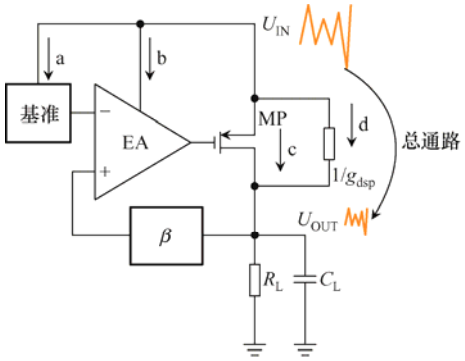
假设功率管的栅端电压与电源纹波无关，则电源纹波通过晶体管传输至输出端的纹波电压可表示为

$$U_{\mathrm{OUT,c+d}}=(g_{\mathrm{mp}}+g_{\mathrm{dsp}})U_{\mathrm{IN}}[(1/g_{\mathrm{dsp}})\|R_{\mathrm{L}}\|(1/(sC_{\mathrm{L}}))] \tag{1}$$

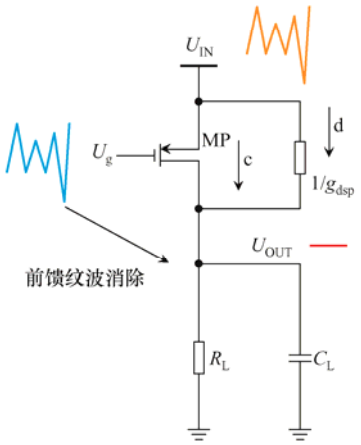
式中：U_{IN} 为电源电压上的纹波；R_{L} 为负载电阻；C_{L} 为负载电容。纹波抵消技术的核心是通过在功率晶体管栅极引入相关纹波信号来实现，完美的纹波抵消情况如图 3(b)所示。通过前馈路径将电源纹波再生至功率管栅极后所产生的输出端纹波电压大小可表示为

$$U_{\mathrm{OUT,FFRC}}=-g_{\mathrm{mp}}U_{\mathrm{g,FFRC}}[(1/g_{\mathrm{dsp}})\|R_{\mathrm{L}}\|(1/(sC_{\mathrm{L}}))] \tag{2}$$

式中，$U_{\mathrm{g,FFRC}}$ 为前馈通路所引入的纹波小信号幅值。



(a) 电源纹波馈通路径



(b) 前馈纹波抵消原理

图 3 LDO 的 PSR 特性

Fig. 3 The PSR characteristics of the LDO

结合式(1)可知，LDO 输出端的纹波幅度为 0 时所需要引入的纹波大小的最优值为

$$U_{\mathrm{g,optimal}}=(1+g_{\mathrm{dsp}}/g_{\mathrm{mp}})U_{\mathrm{IN}} \tag{3}$$

嵌入式电源纹波前馈路径如图 1(b)中虚线所示，M_{FF} 管作为电流源为超级源随器提供直流偏置电流，所添加的 LPF 将 M_{FF} 管的栅极分流至交流地，从而使其成为一个在 LPF 拐角频率以上工作的共栅级放大器。通过设置合适的 M_{FF}、M_{SSF}、M_2 管的尺寸，可以使得功率管栅极出现的电源纹波电压接近式(3)所示的数值，从而实现电源纹波的抵消，因此整体电路的中、高频段的 PSR 特性将得到改善。式(1)表示传统的无片外电容 LDO 架构的 PSR 中、高频段的特性，而引入 EFFRC 技术后，LDO 中、高频段的 PSR 特性为式(1)与式(2)叠加的结果。由于两者相位相差 180°，可以实现抵消的效果，因此改善了 LDO 的 PSR 特性。并且本文所提出的 EFFRC 技术将前馈路径嵌入到缓冲级中，在同一条电流支路上即可实现前馈放大器的功能，不需要消耗额外的功耗。

2 LDO 电路实现

本文所设计的晶体管级 LDO 电路如图 4 所示，由误差放大器、内嵌前馈通路的缓冲级、功率管及补偿网络构成。其中 EA 采用 PMOS 输入对管的折叠共源共栅结构，用于保证较高的环路增益及较宽的共模输入电压范围，并且 EA 的电源电压来自 LDO 的输出电压，与直接由电源电压供电的方式相比，相对干净的 LDO 输出电压提高了误差放大器的 PSR 特性，从而使得整体电路的低频 PSR 有所改善。

图 4 中的 M_7 和 M_8 管的栅源端分别与功率管的栅源端相连，从而使得源随器中的偏置电流跟随负载电流的变化，即具备自适应动态偏置功能。该设计的最终效果是源随器的输出阻抗随着负载电流的增大而减小，那么当负载电流增大所引起的环路带宽增大时，功率管栅端所对应的极点频率始终远离增益带宽积 GBW(gain bandwidth product)，保证系统的稳定性。另外，为保证 SSF 内部环路的稳

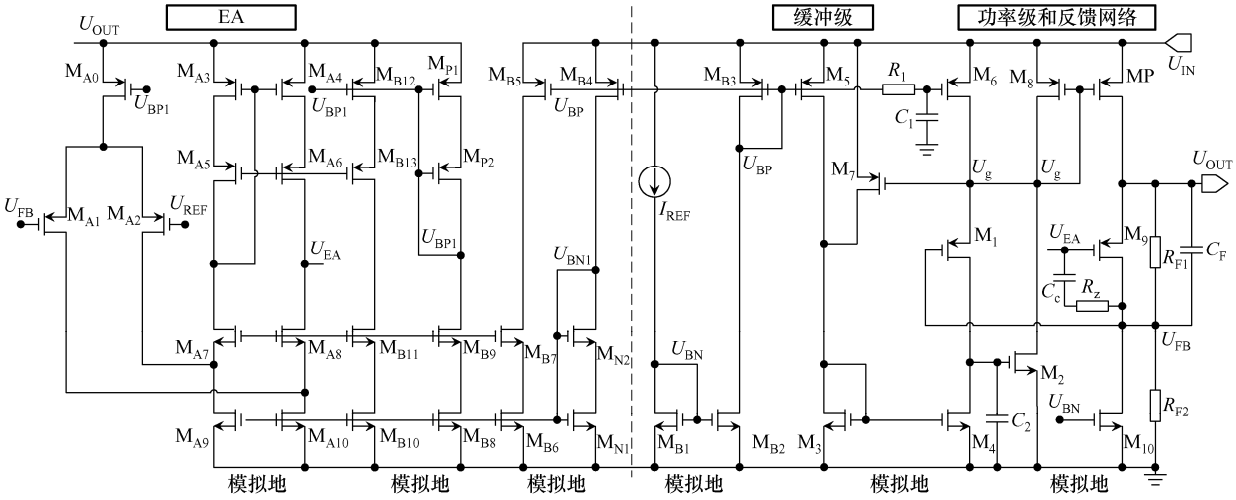


图 4　LDO 晶体管级电路原理图

Fig. 4 Schematic diagram of the LDO transistor-level circuit

定性，在 M_2 管的栅端接入补偿电容 C_2，从而避免了由于内部环路不稳造成的整体电路阶跃响应的抖动现象。电阻 R_1 与电容 C_1 构成低通滤波器，用于阻断来自偏置电路的高频纹波分量，使得 M_6 管作为共栅极放大器，将电源上的纹波快速馈通至功率管的栅端，从而实现纹波的消除。

整个系统的小信号等效电路模型如图 5 所示。图中：G_{M1} 为 EA 输入对管的等效跨导；R_{o1}、C_{o1} 分别为 EA 输出端的等效电阻和寄生电容；G_{M2} 为级联翻转电压跟随器中 M_9 管的等效跨导；R_{o2}、C_{o2} 分别为 M_9 管漏端等效的电阻和总的寄生电容；G_{M3} 为带自适应偏置的超级源随器中 M_1 管的等效跨导；R_{o3} 为超级源随器的等效输出阻抗；C_{o3} 为功率管栅端总的寄生电容；G_{MP} 为功率晶体管的等效跨导；R_{op} 为 LDO 输出端中不包含反馈电阻网络的等效电阻。

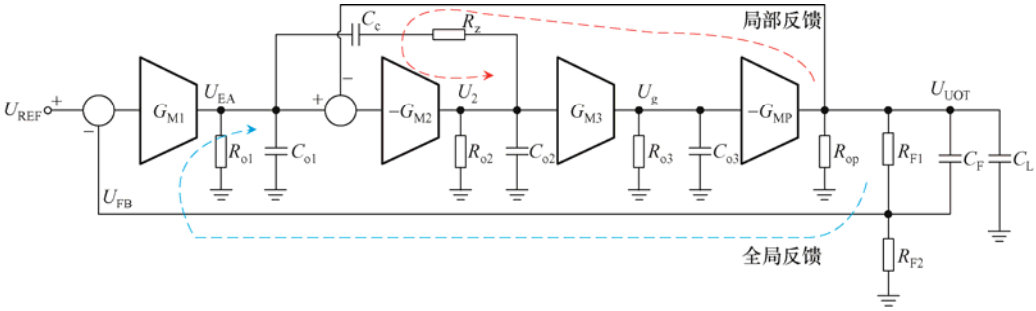


图 5　LDO 小信号等效模型

Fig. 5 Small signal equivalent diagram of LDO

由于米勒效应的影响，所添加的补偿电容 C_c 在 EA 输出端的等效电容值往往远大于 C_{o1}，并且在中、高频段，C_c 相当于短路，使得 M_9 管形成二极管的连接方式，因此 U_{EA} 结点、U_2 结点所对应的极点频率可分别近似表示为

$$P_{U_{EA}} = -\frac{1}{R_{o1}C_c(1+G_{M2}R_{o2})} \tag{4}$$

$$P_{U_2} \approx -\frac{g_{m9}}{C_c} \tag{5}$$

式中，g_{m9} 为 M_9 管的等效跨导。

另外，超级源随器极低的输出阻抗使得功率管的栅极所对应的极点处于较高的频率，其近似表达式为

$$P_{U_g} = -\frac{1}{R_{o3}C_{o3}} \approx -1\Big/\left[\left(\frac{1}{g_{m1}g_{m2}r_{ds1}}\Big\|\frac{1}{g_{m8}}\right)C_{gg,MP}\right] \tag{6}$$

式中：$C_{gg,MP}$ 为功率管 MP 栅极总的寄生电容；g_{m1}、g_{m2}、g_{m8} 分别为 M_1、M_2、M_8 管的等效跨导；r_{ds1} 为功率管漏源导通电阻。而 LDO 输出端的极点与负载电流 I_{Load} 以及负载所引入的总的寄生电容 C_L 有关，即

$$P_{U_{OUT}} \approx -\frac{1}{C_L[R_{op}\|(R_{F1}+R_{F2})]} \approx \frac{1}{C_L[1/g_{m9}\|1/g_{dsp}\|(R_{F1}+R_{F2})]} \propto \frac{I_{Load}}{C_L} \tag{7}$$

式中，R_{F1}、R_{F2} 为反馈网络分压电阻。

因此在轻载、大电容的情况下，输出端的极点有可能处于比较低的频率从而恶化环路的相位裕度，造成系统稳定性方面的问题。米勒补偿及前馈电容补偿还会产生 2 个零点，分别为

$$\begin{cases} Z_1 = \dfrac{1}{C_c(R_z - 1/G_{M2})} \\ Z_2 = -\dfrac{1}{C_F R_{F1}} \end{cases} \tag{8}$$

式中：R_z 为米勒补偿调零电阻；C_F 为补偿电容。通过合理设计，上述 2 个零点均可以起到补偿相位裕度的作用，使得系统的环路在所有的负载条件下都保持稳定。

3 LDO 电路仿真验证

本文所设计的 LDO 是基于 SMIC 130 nm CMOS 工艺进行设计与仿真的，整体版图绘制如图 6 所示，面积为178 μm×103 μm。其中 EA 输入管采用共质心布局且添加 Dummy 管来保证 MOS 管环境的一致性，功率管以单元管进行矩形布局，并通过增加单元管之间的距离来实现良好的散热效果，且单元管间采用叉指的方式连接，从而以最小的面积保证电流密度的要求。

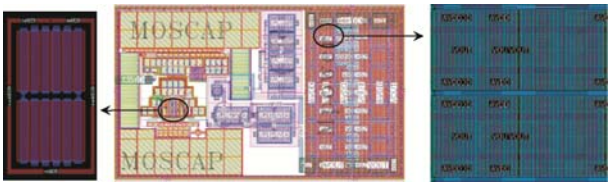
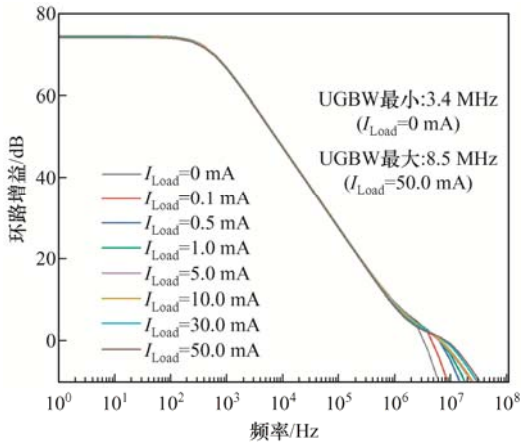


图 6 无片外电容 LDO 版图

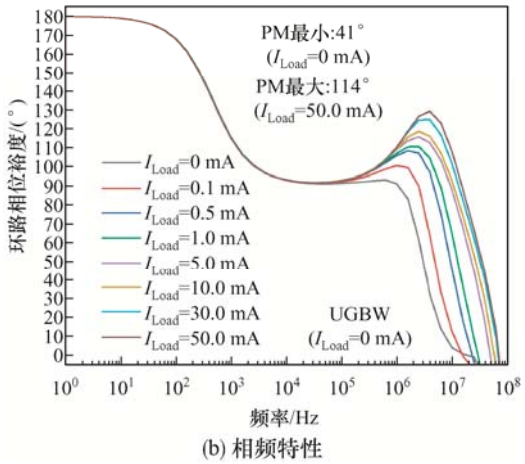
Fig. 6 Layout of Capacitorless LDO

3.1 环路稳定性仿真

在输入电压为 1.2 V、负载电容为 100 pF、负载电流从 0 mA 变化至 50 mA 的情况下，LDO 整体环路的稳定性仿真结果如图 7 所示。在空载条件下，LDO 的相位裕度最小，为 41°；最小的单位增益带宽积 UGBW (unity gain bandwidth product)为 3.4 MHz。当负载电流为 50 mA 时，LDO 环路的相位裕度为 114°；GBW 为 8.5 MHz。从仿真结果可以看出，无论轻载还是重载，LDO 的低频环路增益均处于 75 dB 左右，相位裕度最差为 41°，可以满足系统的稳定性要求。



(a) 幅频特性



(b) 相频特性

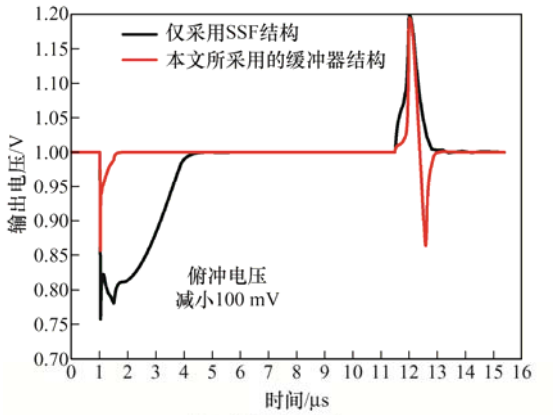
图 7 不同负载电流下 LDO 环路稳定性仿真曲线

Fig. 7 Simulation curves of LDO loop stability under different load currents

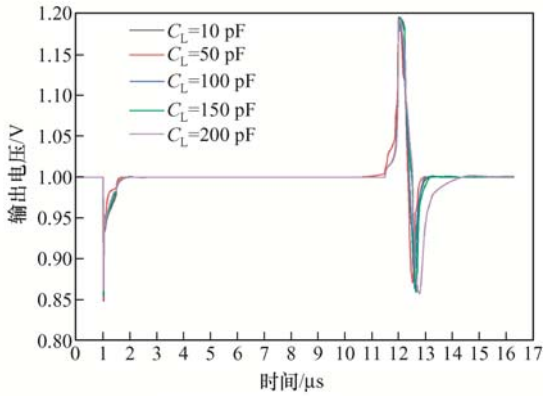
3.2 负载瞬态响应仿真

在输入电压为 1.2 V、输出为 1.0 V、负载电容 C_L=100 pF 条件下，当负载电流在 0.5 μs 内从 0 mA

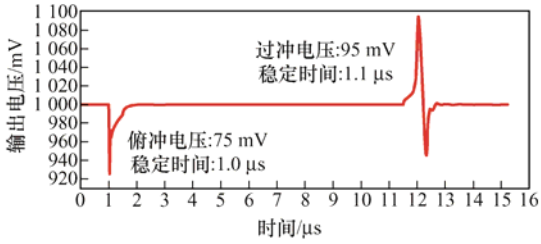
到 50 mA 突变时，LDO 的负载瞬态响应曲线如图 8(a)所示。负载电流从轻载到重载突变时，如果仅采用普通的源随器架构，其下冲量为 250 mV，而局部负反馈环路的引入使得下冲量减小至 150 mV，并且能在 1.0 μs 内输出稳定至理想数值且误差小于 0.1%。相比于上冲量，2 种架构的数值相差不大，但是由于存在快速的局部负反馈环路，其输出电压同样能在 1.0 μs 的时间范围内稳定。从图 8(a)的仿真结果可以看出，本文所采用的缓冲器结构相比于普通的超级源随器结构，瞬态响应能力得到明显改善。当负载电流在 0~50 mV 变化时，该 LDO 在不同的负载电容下的瞬态响应曲线如图 8(b)所示。可以看出，LDO 的下冲量及下冲恢复时间基本不变，但随着负载电容的增大，所需的过冲恢复时间有所增大，最大的过冲恢复时间为 2.0 μs。该 LDO 所接负载电容为 100 pF，负载电流发生不同程度突变时的瞬态响应曲线如图 8(c)、8(d)所示。当负载电流在 0.5 μs 内从 0 mA 突变至 10 mA 时，



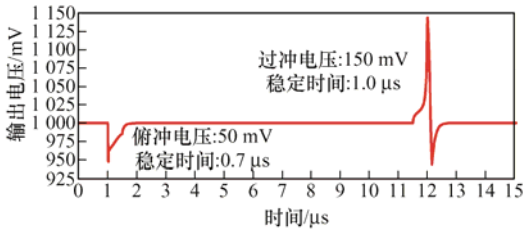
(a) 不同缓冲结构



(b) 不同负载电容C_L



(c) 空载突变到中等负载电流



(d) 中等负载电流突变到满载

图 8　LDO 负载瞬态响应仿真曲线

Fig. 8 Simulation curves of LDO load transient response

对应的下冲电压大小为 75 mV，上冲电压大小为 95 mV；而负载电流在 0.5 μs 内从 1 mA 突变至 50 mA 时，对应的下冲电压为 50 mV，上冲电压为 115 mV，均能在 1.0 μs 内实现稳定。综上所述，该 LDO 能在负载电流为 0~50 mA、寄生的负载电容为 10~200 pF 范围内实现较好的瞬态响应效果。

3.3　电源抑制特性仿真

在输入电压为 1.2 V、负载电容为 100 pF 的条件下，该 LDO 在不同负载电流情况下的 PSR 特性曲线仿真结果如图 9 所示。可以看出，本文所设计的 LDO 在低频段的 PSR 提高了 10 dB，而针对不同的负载电流大小，在中、高频段的 PSR 提升效果不一致，在空载条件下，所优化的 PSR 量级最大为 12 dB 左右，随着负载电流的增大，其在最大负载电流的情况下减小为 4 dB。由此可见，本文所提出的 EFFRC 技术可以在一定的负载电流变化范围内提高 LDO 的 PSR 特性，但是当负载电流波动范围很大时，中、高频处的 PSR 提升效果会减小。

本文所设计的 LDO 与近年来发表的相关研究参数对比见表 1。可以看出，本文所设计的 LDO 负载电流可以从 0 mA 开始突变，并且输出电压所需的稳定时间最小，另外所允许的负载电容相比于其他文献变化范围最大，同时该 LDO 具有较好的中、高频段的电源抑制特性。

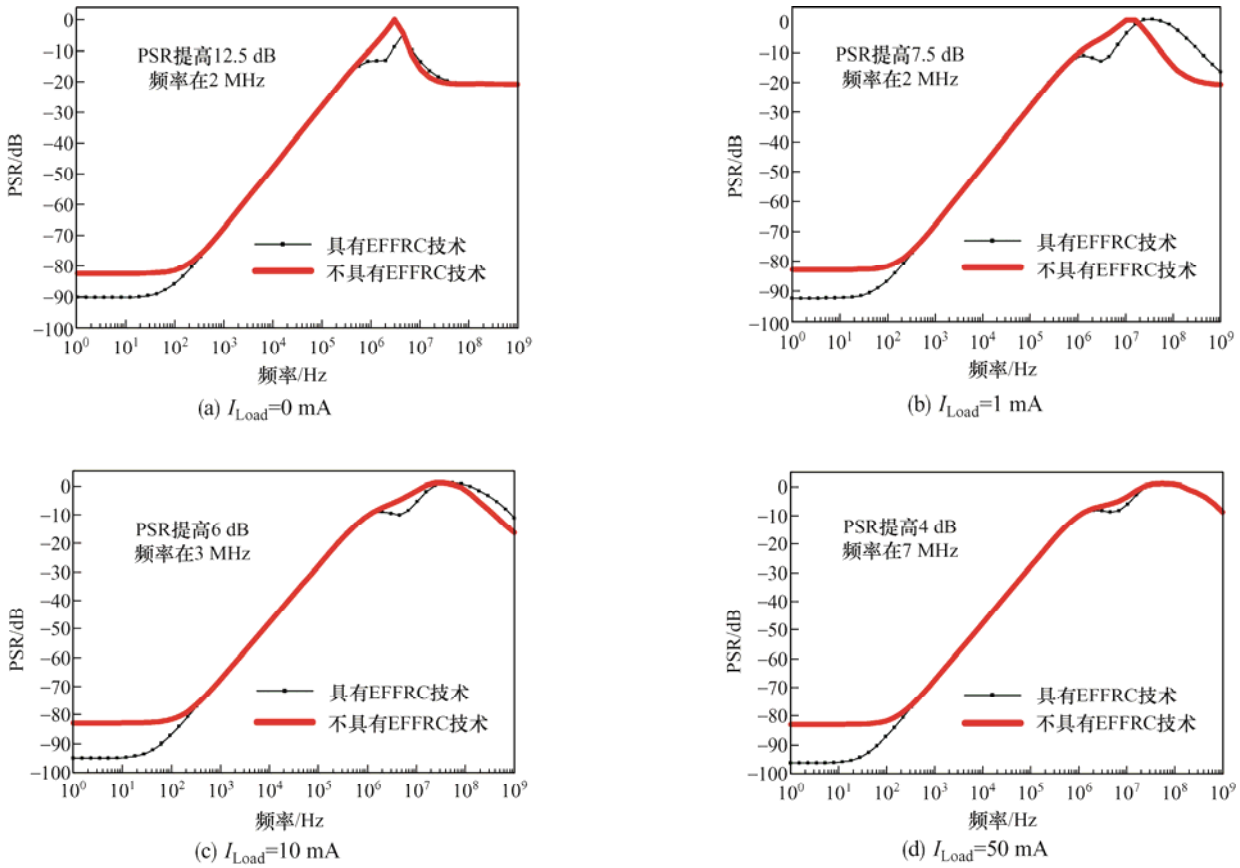


图 9 不同负载电流下 LDO 电源抑制能力仿真曲线

Fig. 9 Simulation curves of LDO power supply rejection under different load currents

表 1 本文 LDO 与其他文献对比

Tab. 1 Performance parameters comparison of different LDOs

方法	工艺/nm	电源电压/V	输出电压/V	负载电流/mA	负载电容/pF	最大(俯冲/过冲)/mV @突变时间/μs	稳定时间/μs	PSR/dB
本文所提	130	1.2	1.0	0~50.00	10~200	150/195@0.5	1	−68@1 kHz −11@1 MHz
文献[19]	180	1.8	1.6	0.05~50.00	0~20	162/—@1.0	—	−69@1 kHz
文献[20]	180	1.8	1.5	0.01~50.00	100	116/150@1.0	3	−43@1 MHz
文献[21]	130	3.3	1.2	100.00	—	—	26	−46@1 kHz
文献[22]	130	0.5~1.2	0.4~1.1	0.10~100.00	50	89/40@0.3	—	−30@1 kHz −30@10 kHz

4 结语

本文基于 SMIC 130 nm CMOS 工艺，设计了一款快速负载响应、宽带宽、高 PSR 的无片外电容 LDO。该 LDO 消耗静态电流 110 μA，负载电容范围为 10~200 pF。该 LDO 基于 SSF 和 FVF 相结合形成的局部快速负反馈环路，在合理电流消耗的前提下实现了大环路带宽，从而使得 LDO 的负载瞬态响应得到改善。当负载电流从 0 mA 突变至 50 mA 时，该 LDO 能够在 1.0 μs 内恢复至理想数值且误差小于 0.1%，具有良好的负载响应效果。同时将前馈纹波抵消技术与缓冲级电路进行融合，扩宽了 LDO 的 PSR 频率带宽。与传统的无片外电容 LDO 相比，其 PSR 最差所对应的频率点被推远至数十 MHz 处，使得无片外电容 LDO 的中、高频

PSR 得到很好的提升。在 LDO 的负载电流变化范围较大的应用场景下，本文所提出的 EFFRC 技术方案对 PSR 的优化效果下降，如何保证前馈纹波的大小跟踪负载电流的变化而变化，从而在不同程度的负载电流大小下均能实现与输出纹波的完美抵消，仍需进一步研究。

参考文献：

[1] Xu Dongfan, Zhang Yangyi, Luo Xiongshi, et al. A 0.96–0.9 V fully integrated FVF LDO with two-stage cross-coupled error amplifier [J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2023, 70(10): 3757-3761.

[2] Cai Guigang, Lu Yan, Zhan Chenchang, et al. A fully integrated FVF LDO with enhanced full-spectrum power supply rejection [J]. IEEE Transactions on Power Electronics, 2021, 36(4): 4326-4337.

[3] Bu Shi, Guo Jianping, Leung K N. A 200-ps-response-time output-capacitorless low-dropout regulator with unity-gain bandwidth >100 MHz in 130 nm CMOS [J]. IEEE Transactions on Power Electronics, 2018, 33(4): 3232-3246.

[4] Kim T, Kim B, Roh J. A 54 nA quiescent current capless LDO with −39 dB PSRR at 1 MHz using a load-tracking bandwidth extension technique [J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2024, 71(3): 1556-1560.

[5] Zhan Chenchang, Ki W H. A low dropout regulator with low quiescent current and high power supply rejection over wide range of frequency for SOC [J]. Journal of Circuits, Systems and Computers, 2011, 20(1): 1-13.

[6] Cao Haixiao, Yang Xu, Li Wuhua, et al. An impedance adapting compensation scheme for high current NMOS LDO design [J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2021, 68(7): 2287-2291.

[7] Park H, Jung W, Kim M, et al. A wide-load-range and high-slew capacitor-less NMOS LDO with adaptive-gain nested Miller compensation and pre-emphasis inverse biasing [J]. IEEE Journal of Solid-State Circuits, 2023, 58(10): 2696-2708.

[8] Han Xu, Ki W H, Wu Lianbo, et al. Ultrahigh PSR output-capacitor-free adaptively biased 2-power-transistor LDO with 200 mV dropout [J]. IEEE Solid-State Circuits Letters, 2022, 5: 106-109.

[9] El-Nozahi M, Amer A, Torres J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique [J]. IEEE Journal of Solid-State Circuits, 2010, 45(3): 565-577.

[10] Liu Heng, Li Dongxu, Tang Xian. A high PSR and fast transient response output-capacitorless LDO using GM-Boosting and capacitive bulk-driven feed-forward technique in 22 nm CMOS [C]// 2022 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA). Xi'an, China, 2022: 123-124.

[11] Joshi K, Manandhar S, Bakkaloglu B. A 5.6 μA wide bandwidth, high power supply rejection linear low-dropout regulator with 68 dB of PSR up to 2 MHz [J]. IEEE Journal of Solid-State Circuits, 2020, 55(8): 2151-2160.

[12] Chen Feng, Lu Yasu, Mok P K T. Transfer function analysis of the power supply rejection ratio of low-dropout regulators and the feed-forward ripple cancellation scheme [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(8): 3061-3073.

[13] Dinesh Shylaja A, Rincón-Mora G A. High-PSR LDOs: Variations, improvements, and best compromise [J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2022, 69(3): 924-928.

[14] Lee Y, Park J E. Analysis of power-supply-rejection enhancement techniques for low-dropout regulators [J]. IEEE Access, 2024, 12: 59976-59995.

[15] Tang Jun, Lee J, Roh J. Low-power fast-transient capacitor-less LDO regulator with high slew-rate class-AB amplifier [J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2019, 66(3): 462-466.

[16] 唐俊龙, 于澈, 关浩, 等. 一种低功耗瞬态增强的无片外电容 LDO 的设计[J]. 电源学报, 2026, 24(4): 11-18.
Tang Junlong, Yu Che, Guan Hao, et al. Design of transient enhanced capacitor-less LDO with low power consumption [J]. Journal of Power Supply, 2026, 24(4): 11-18. (in Chinese)

[17] 程铁栋, 谈泽辉, 许立军, 等. 一种具有快速瞬态响应

的无片外电容低压差线性稳压器[J]. 电源学报, 2025, 23(6): 105-113.
Cheng Tiedong, Tan Zehui, Xu Lijun, et al. Output-capacitorless LDO regulator with fast transient response [J]. Journal of Power Supply, 2025, 23(6): 105-113. (in Chinese)

[18] Surkanti P R, Garimella A, Manda M, et al. On the analysis of low output impedance characteristic of flipped voltage follower (FVF) and FVF LDOs [C]// 2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS). Boston, MA, USA, 2017: 17-20.

[19] Ahmadi M, Ebrahimi E. Double-OTA external capless low-power LDO regulator with enhanced PSR and transient response [C]// 2023 5th Iranian International Conference on Microelectronics (IICM). Tehran, Iran, Islamic Republic of, 2024: 11-15.

[20] Sularea I, Răducan C, Neag M. A Capacitor-less LDO with high PSR over a wide frequency range [C]// 2021 International Semiconductor Conference (CAS). Romania, 2021: 213-216.

[21] ul Ain Q, Khan D, Basim M, et al. A high power low dropout voltage regulator design with an enhanced resistive bank circuit for powering an RF IC for DSRC applications [C]// 2020 35th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC). Nagoya, Japan, 2020: 94-98.

[22] Yang Chao, Ye Kaixuan, Tan Min. A 0.5 V capless LDO with 30 dB PSRR at 10 kHz using a lightweight local generated supply [J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2020, 67(10): 1785-1789.



卢振贤

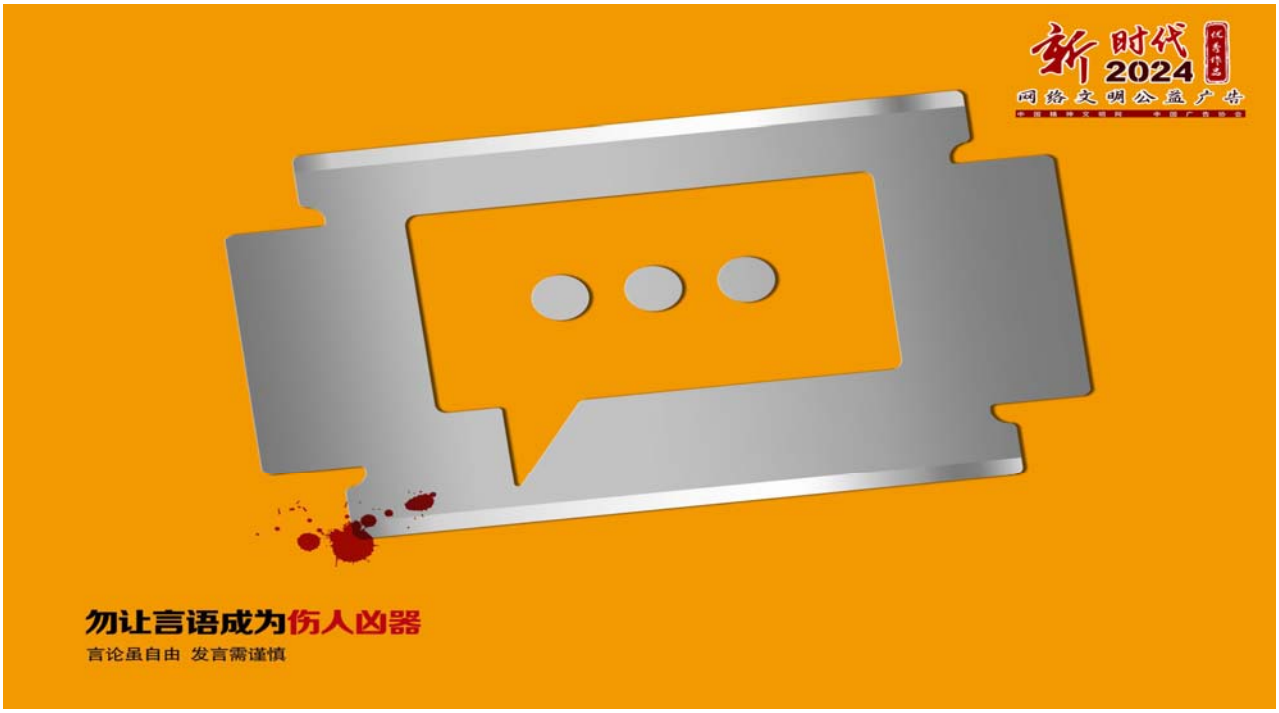
作者简介：

卢振贤(1998—)，男，硕士。研究方向：模拟集成电路设计。E-mail：jakey_lou@qq.com。

宋树祥(1970—)，男，博士，教授。研究方向：模拟集成电路设计。E-mail：songshuxiang@mailbox.gxnu.edu.cn。

蔡超波(1987—)，男，通信作者，硕士，讲师。研究方向：模拟集成电路设计。E-mail：caichaobo@gxnu.edu.cn。

(责任编辑：郭凯凯)



公益广告来源：中国文明网