DOI：10.13234/j.issn.2095-2805.2026.7.1　　**中图分类号**：TN386.1　　**文献标志码**：A

一种具有 PN-Bottom 的 UMOSFET 新结构设计

裴春荟，冯全源

(西南交通大学微电子研究所，成都 611756)

摘要：由于击穿电压 BV(breakdown voltage)和特征导通电阻 $R_{on,sp}$ 之间存在折中关系，为了在减小导通电阻的同时尽可能抑制击穿电压的下降，提出了一种改进的具有 PN-Bottom 的 U 型金属氧化物半导体场效应晶体管 UMOSFET (U-trench metal-oxide-semiconductor field-effect transistor)结构。首先在传统 100 V U 型金属氧化物半导体 UMOS (U-trench metal-oxide-semiconductor)器件的基础上，采用深沟槽刻蚀技术，在沟槽底部引入了一个 PN 型包裹区 PN-Bottom，N 型区将 P 型区包裹在内；然后介绍了器件的新结构参数和制备工艺流程；接着借助 TCAD 仿真工具，对 N 型包裹区和 P 型包裹区的掺杂浓度、宽度和深度进行详细讨论，研究了其对器件击穿电压和特征导通电阻的影响；最后在控制其他参数不变的条件下，实现了击穿电压为 110 V、特征导通电阻为 1.115 mΩ·cm^2 的优化设计。

关键词：沟槽金属氧化物半导体场效应晶体管；PN 型包裹区；击穿电压；特征导通电阻

A New Structural Design of UMOSFET with PN-Bottom

PEI Chunhui, FENG Quanyuan

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, China)

Abstract: Due to the trade-off relationship between breakdown voltage (BV) and specific on-resistance $R_{on,sp}$, to minimize the decrease in breakdown voltage while reducing on-resistance, an improved U-trench metal-oxide-semiconductor field-effect transistor (UMOSFET) structure with PN-Bottom is proposed. First, on the basis of traditional 100 V U-trench metal-oxide-semiconductor (UMOS) devices, deep trench etching technology is adopted to introduce a PN-Bottom wrapping region at the bottom of the trench, which wraps the P-type region inside the N-type region. Then, the new structural parameters and fabrication process of the device are introduced. Next, using the TCAD simulation tool, a detailed discussion was conducted on the doping concentration, width, and depth of the N-Bottom and P-Bottom encapsulation regions, and their effects on the breakdown voltage and specific on-resistance of the device were studied. Finally, the simulation results show that under the same conditions, an optimized design with BV of 110 V and $R_{on,sp}$ of 1.15 mΩ·cm^2 was obtained.

Keywords: Trench metal-oxide-semiconductor field-effect transistor (MOSFET); PN-Bottom; breakdown voltage; specific on-resistance

目前，功率金属氧化物半导体场效应晶体管 MOSFET(metal-oxide-semiconductor field-effect transistor)行业正处于繁荣发展状态，因其具有低功耗、低驱动速率及高可靠性的特点，被广泛应用于机器人、汽车、消费电子、家用电器等领域。传统的平面栅结构导通电阻过大，于是专家学者将目标集中到了沟槽 MOSFET。相较于垂直双扩散金属氧化物半导体场效应晶体管 VD-MOSFET (vertical double-diffused metal-oxide-semiconductor field-effect transistor)，U 型金属氧化物半导体 UMOS(U-trench metal-oxide-semiconductor)结构没有结型场效应

收稿日期：2024-04-29；**修回日期**：2024-08-29，2024-09-24，2024-11-04；**录用日期**：2024-11-25；**网络首发日期**：2024-12-05

基金项目：国家自然科学基金资助项目(62090012)；四川省重点研发资助项目(2023YFG0004)

This work is supported by National Natural Science Foundation of China under the grant 62090012; Key R&D Project of Sichuan Province under the grant 2023YFG0004

晶体管 JFET(junction field-effect transistor)区的影响，使得器件整体的导通电阻明显减小[1]。

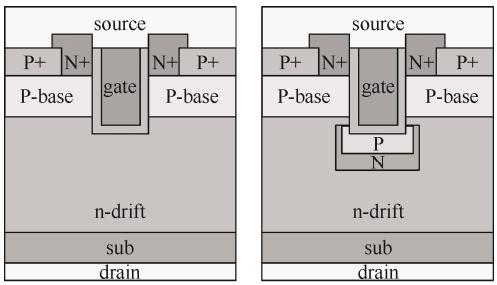
在功率 MOSFET 中有 2 个重要参数：击穿电压和特征导通电阻，击穿电压是器件阻断高压的能力，特征导通电阻决定了器件的传导损耗[2]，二者之间存在折中关系。王颖等[3]提出了一种改进的沟槽 MOSFET 结构，通过在外延层顶端或底部加一层 N+掺杂区，有效减小了器件的导通电阻；陈力等[4]研究了不同耐压下器件导通电阻的最优值，重点讨论了沟槽宽度、沟槽间距对导通电阻的影响，实验结果表明，耐压高的沟槽 MOSFET 的导通电阻比低压 MOSFET 的导通电阻更接近理想值；Zhao 等[5]提出了一种具有浮空 P 型区的 UMOS 结构，可以有效减小器件的导通电阻；乔杰等[6]研究了沟槽深度和宽度对导通电阻和耐压的影响，设计出耐压为 81 V、特征导通电阻为 0.79 mΩ·cm^2 的沟槽 MOSFET；张跃等[7]提出了一种改进的超结 UMOS，通过引入变掺杂浓度的 P 柱，达到减小导通电阻的作用；Zhang 等[8]设计了一种具有倒 T 型沟槽的 UMOSFET(IT-UMOS)，减小了器件的特征导通电阻和栅漏电荷，实现了最低的开关损耗。

本文在传统 UMOS 的基础上进行了结构创新，即在沟槽底部加入一个 PN 型包裹区 PN-Bottom，接着基于 TCAD 软件和实验对器件的电学参数进行模拟仿真，重点讨论了 P 型包裹区 P-Bottom 和 N 型包裹区 N-Bottom 在不同掺杂浓度、宽度和深度条件下，新器件击穿电压和导通电阻的变化情况，并与传统结构进行对比研究。

1 器件结构

传统的 UMOS 器件与改进后的具有 PN-Bottom 的 UMOS 器件结构如图 1 所示。两种结构元胞尺寸均为 1.9 μm，N+源区和 P-base 区参数均一致。

与传统结构相比，改进结构在沟槽底部引入了一个 P-Bottom 和一个 N-Bottom，N-Bottom 将 P-Bottom 包裹在内。根据文献[3]的研究内容，如果在沟槽附近仅加入一个N-Bottom，虽然可以减小器件的导通电阻，但是器件的击穿电压较低，达不到设计裕量的 10%~20%。故先在环绕槽的底部周围加一个 P-Bottom，可以降低因槽拐角处的电场增强引起的击穿电压降低及热电子不稳定问题产生的影响，有效保护沟槽底部[9]。但由于 P-Bottom 的存在使得器件在正向导通时的电流通路相比于传统 UMOS 器件结构较窄，器件的导通电阻会明显增大，再引入掺杂浓度较高的 N-Bottom 来提高导通时的电流密度，以降低器件的导通电阻。



(a) 传统UMOS结构 (b) 改进的新结构

图 1 器件结构

Fig. 1 Device structure

1.1 参数设计

在设计 PN-Bottom 结构前，首先要确定结构的主要参数。PN-Bottom 结构的主要参数设计以传统 UMOS 结构的参数为依据。对于耐压为 100 V 的 MOSFET 器件，需要的平行平面结电压为 125 V。通过目标电压 $U_{\mathrm{BV,pp}}$=125 V 来计算外延层的掺杂浓度[10]，即

$$N_{\mathrm{D}}=\left(\frac{5.34\times10^{13}}{U_{\mathrm{BV,PP}}}\right)^{4/3} \tag{1}$$

最大耗尽层的宽度为

$$W_{\mathrm{D}}=2.67\times10^{10}(N_{\mathrm{D}})^{-7/8} \tag{2}$$

由式(1)和式(2)可以计算出 N_{D}=3.22×10^{15} cm^{-3}、W_{D}=7.2 μm，由于考虑到重掺杂工艺过程中会向外延扩散近 1.0 μm，再加上沟槽深度和源区结深，综合考虑取外延层厚度 T_{epi}=9.0 μm。根据实际工艺流程选取的沟槽宽度为 0.3 μm，栅氧化层为 60 nm。本次仿真中设置 P-Bottom 初始掺杂浓度为 4×

10^{12} cm^{-3}，宽度为 0.5 μm，深度为 0.2 μm；N-Bottom 初始掺杂浓度为 3×10^{15} cm^{-3}，宽度为 0.6 μm，深度为 0.5 μm；其余参数按照传统 UMOS 器件设计。

1.2 制备工艺流程

PN-Bottom 的形成借鉴了超结有关的工艺，超结 P-Pillar 的形成[11]一般有 3 种方式，包括多次外延工艺、高能离子注入工艺和深槽刻蚀工艺。多次外延工艺成本较高，且多次离子注入位置不易控制且杂质分布不均匀；高能离子注入工艺对设备的要求比较高，同时由于能量过高，注入的离子对外延层可能产生损害，破坏器件特性；深槽刻蚀工艺可以获得相对均匀的 P-Bottom 掺杂[12]。如果直接进行离子注入，离子的剂量和能量会影响形成的 P 区宽度和深度，导致 P 区形状无法控制，进而影响器件的性能，因此深槽刻蚀工艺是最佳选择。

改进的具有 PN-Bottom 的 UMOS 器件的一个可实现工艺制造流程如图 2 所示，具体流程如下：①重掺杂 N 型硅衬底上生长 N−漂移区；②刻蚀 N-Bottom，淀积 N+型硅填满沟槽，并将覆盖在表面的 N 型硅利用平坦化处理去除；③在 N 型区域内再次进行沟槽刻蚀形成 P 型区，淀积硅填满沟槽并对其进行平坦化处理；④二次外延生长；⑤刻蚀形成栅极沟槽，进行栅氧生长，淀积多晶硅并回刻形成栅极；⑥硼离子注入形成 P-base 区；⑦砷离子注入形成 N+源区；⑧以层间介质层 ILD(interlayer dielectric)作为阻挡层进行 BF_2 离子注入形成 P+区；⑨制作源漏电极。

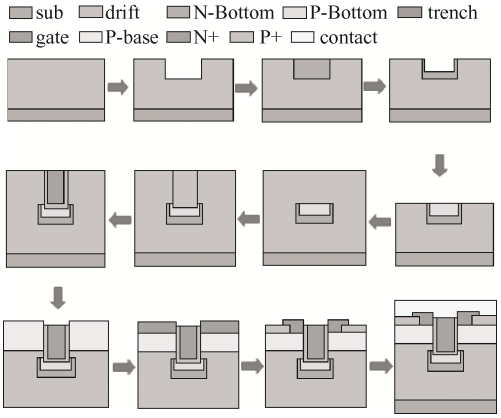


图 2　器件制备工艺流程

Fig. 2 Device preparation process flow

2　仿真讨论

为获得最佳的器件性能，利用 TCAD 软件分别对 P-Bottom 和 N-Bottom 的掺杂浓度、宽度和深度这 3 个参数进行拉偏仿真，模拟不同掺杂浓度、宽度和深度对器件击穿电压和特征导通电阻的影响。

2.1 仅 P-Bottom

首先对仅含有 P-Bottom 的器件结构进行讨论分析，分别对 P-Bottom 的掺杂浓度 N_P、宽度 W_P 和深度 D_P 进行仿真实验，研究其对器件击穿电压和特征导通电阻的影响。不同掺杂浓度下 P-Bottom 的截面如图 3 所示，设置初始深度为 0.2 μm，宽度为 0.5 μm。

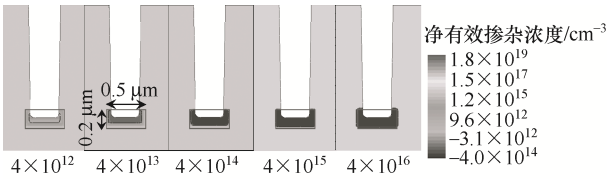


图 3　不同掺杂浓度的 P-Bottom 截面

Fig. 3 Cross-sectional views of P-Bottom with different doping concentrations

首先对不同数量级的掺杂浓度进行拉偏，结果显示掺杂浓度数量级为 14 时，特征导通电阻有最小值。因此，增加 2×10^{14}、6×10^{14}、7×10^{14}、8×10^{14} 这 4 个浓度进行拉偏仿真，不同浓度 P-Bottom 的击穿电压和特征导通电阻如图 4 所示，可以看出，随着掺杂浓度的增大，器件导通电阻呈先减小后增大的趋势，击穿电压呈上升趋势。在浓度为 6×10^{14} 时，特征导通电阻有最小值。P-Bottom 器件结构仿真如图 5 所示，当漏源之间有电压时，P-Bottom 的上表面附近①处，外加电场的存在削弱了内建电场，相当于降低了势垒高度，会导致大量的空穴越过势垒注入到 N−区内，同时也会有大量的自由电子注入到 P-Bottom 中，空穴和电子的移动会形成电流，空穴移动方向即为电流方向。随着 P-Bottom

浓度的增加，空穴数量会增加，会有更多的空穴在电场作用下移动，从而使得电流增大；同时在②处，PN 结是反偏的，在电场力的作用下，空穴作漂移运动，会向着①的位置运动，使①处的空穴浓度增大，最终使得总电流增大，导通电阻减小。但是随着 P-Bottom 掺杂浓度不断增加，会有大量的空穴堆积在沟槽附近，阻挡了一部分电流流经的路径，导致器件的导通电阻增大[13]。同时在扩散作用下，在③处，漂移区表面的掺杂浓度减小，使得 N−漂移区的固定正电荷数量减小，但 P-Base 固定负电荷数量不变，若要二者平衡就需更多的固定正电荷，故通过展宽势垒区来提供更多的电荷，而势垒区宽度增加，阻挡作用加强[14]，从而承受的电压更大。

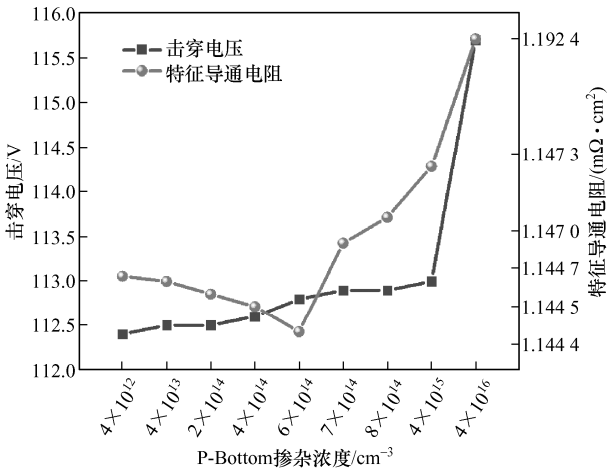


图 4 击穿电压和特征导通电阻与 P-Bottom 掺杂浓度的关系

Fig. 4 Relationship between breakdown voltage, specific on-resistance and the doping concentration of P-Bottom

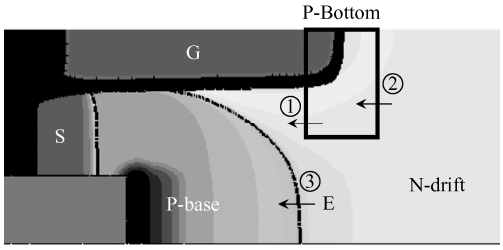


图 5 UMOS 结构仿真(部分)

Fig. 5 Structural simulation of UMOS (partial)

选择导通电阻最小的掺杂浓度 6×10^{14} cm^{-3}，研究 P-Bottom 在不同宽度和深度的条件下，器件击穿电压和导通电阻的变化情况，仿真结果如图 6 所示。随着宽度和深度的增加，P-Bottom 对电流通路的阻挡作用增强，器件的导通电阻呈增大的趋势。

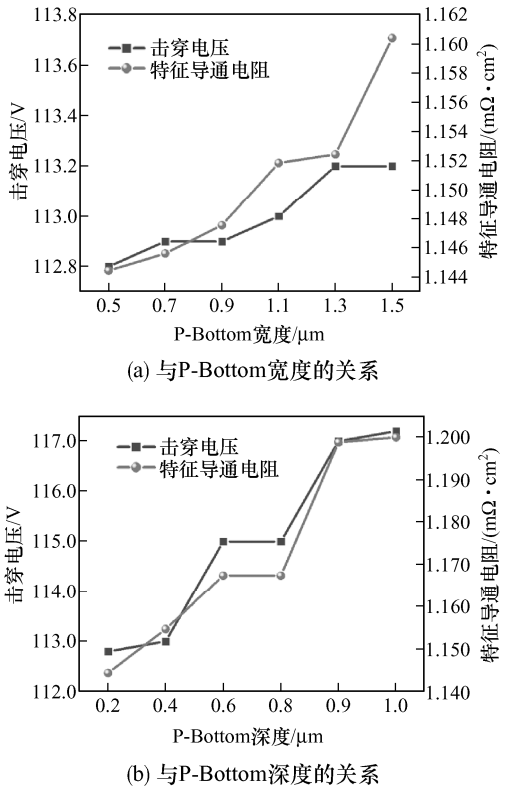


图 6 P-Bottom 在不同宽度和深度下器件击穿电压和特征导通电阻的变化情况

Fig. 6 Variation of device breakdown voltage and specific on-resistance with different widths and depths of P-Bottom

综上所述，选择掺杂浓度为 6×10^{14} cm^{-3}、宽度为 0.5 μm、深度为 0.2 μm 的 P-Bottom 作为后续仿真的结构参数。

2.2 PN-Bottom

基于 P-Bottom 的结构，新增加了 N-Bottom，并将 P-Bottom 包裹其中，不同掺杂浓度的 PN-Bottom 截面如图 7 所示，设置初始宽度为 0.6 μm，

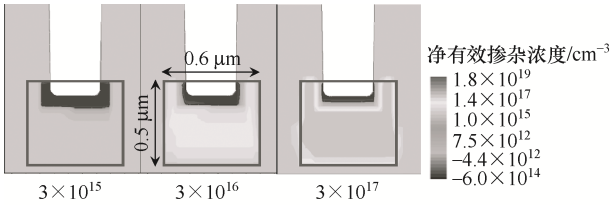


图 7 不同掺杂浓度的 PN-Bottom 截面

Fig. 7 Cross-sectional views of PN-Bottom with different doping concentrations

深度为 0.5 μm。对 N 型包裹区的掺杂浓度 N_N、宽度 W_N 和深度 D_N 进行仿真实验，研究其对器件击穿电压和特征导通电阻的影响。

加入 PN-Bottom 后，与传统 UMOS 器件和仅有 P-Bottom 器件在栅极电压为 4.5 V 时的输出特性对比曲线如图 8 所示。从图中可以看出，当 N-Bottom 的掺杂浓度小于外延层的掺杂浓度时，导通电阻小于传统 UMOS 器件，故 N-Bottom 的掺杂浓度必须高于外延层浓度才能达到减小电阻的目的。在满足掺杂浓度的条件下，具有 PN-Bottom 的器件漏极电流明显大于其他结构，因而具有更小的导通电阻。

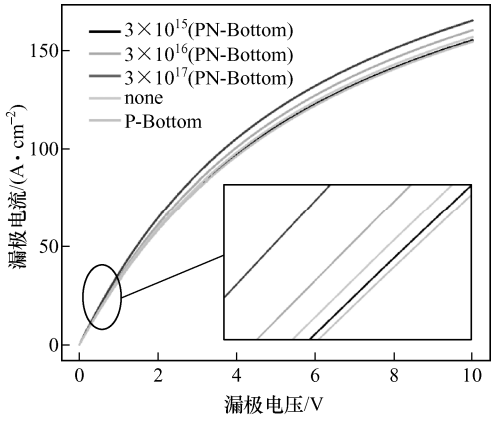


图 8　当栅极电压为 4.5 V 时，不同结构器件的输出特性曲线

Fig. 8 Output characteristic curves of devices with different structures when gate voltage is 4.5 V

不同浓度 N-Bottom 下器件击穿电压和特征导通电阻的关系如图 9 所示。随掺杂浓度的增大，器件导通电阻减小。这是由于高浓度掺杂区的导通电阻较小，电流会流向导通电阻更小的区域，且由于 N-Bottom 掺杂浓度的增加，与 P-Base 形成的耗尽区也会变薄，使得电子从沟道出来后流向漂移区的面积变大，也起到了减小导通电阻的作用。但是由于电场在高掺杂区产生强烈的电场集中效应，电场强度增大，仅需很低的电压即可将器件击穿[15]，器件的击穿电压降低。由于当浓度为 $3\times10^{17}\ cm^{-3}$ 时，器件的击穿电压仅有 27 V，不满足击穿电压裕量 10%的条件，故选择了数量级为 15 和 16 的掺杂浓度进行分析讨论。在浓度为 $3\times10^{16}\ cm^{-3}$ 时，器件具有最小的导通电阻，选择该浓度研究 N-Bottom 的宽度和深度对器件击穿电压和特征导通电阻的影响，观察其变化情况。

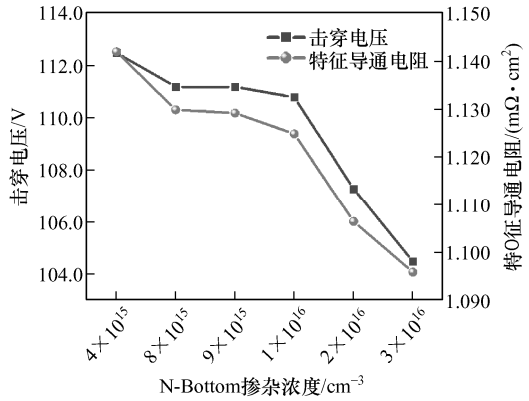


图 9　击穿电压和特征导通电阻与 N-Bottom 掺杂浓度的关系

Fig. 9 Relationship between breakdown voltage, specific on-resistance and the doping concentration of N-Bottom

仿真结果如图 10 所示，当掺杂浓度为 $3\times10^{16}\ cm^{-3}$ 时，随着宽度和深度的增大，器件的击穿

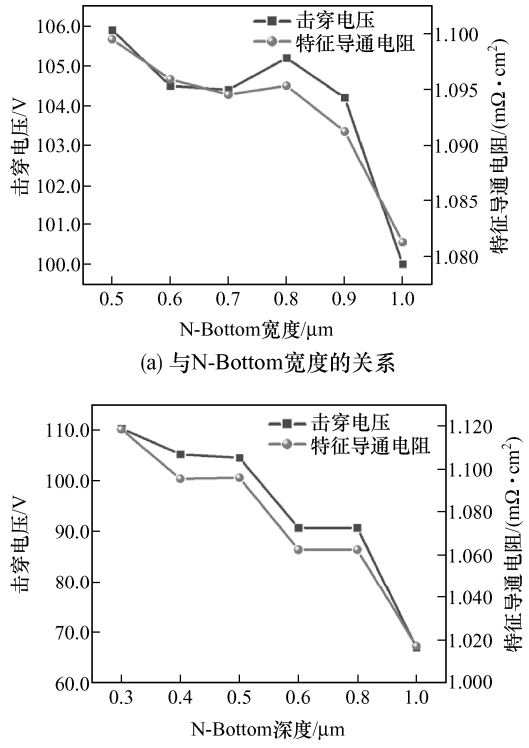


图 10　N-Bottom 在不同宽度和深度下器件击穿电压和特征导通电阻的变化情况

Fig. 10 Variation of device breakdown voltage and specific on-resistance with different widths and depths of N-Bottom

电压呈下降趋势，特征导通电阻整体也呈下降趋势。N-Bottom 的截面积增大，漂移区的掺杂浓度增大[16]，PN-Bottom 内和图 5 中③处形成的耗尽层均会变薄，导通电阻减小，阻挡能力减弱，使得击穿电压降低。

通过上述仿真结果可以发现，击穿电压和导通电阻之间存在一个折中的关系，要减小导通电阻，就要牺牲击穿电压，因此尽可能选择小导通电阻且满足10%裕量的击穿电压。本文选择了几组击穿电压在 110 V 左右的不同浓度、宽度和深度的参数进行仿真拉偏，结果见表 1，最终取掺杂浓度为 9×10^{15} cm^{-3}、宽度为 0.6 μm、深度为 0.7 μm 的 N-Bottom。

2.3 与传统 UMOS 结果对比

优化仿真之后，最终确定了具有 PN-Bottom 的 UMOS 器件的各项结构参数。其中外延掺杂浓度为 3.22×10^{15} cm^{-3}，P-Bottom 和 N-Bottom 的浓度分别为 6×10^{14} cm^{-3} 和 9×10^{15} cm^{-3}，P-Bottom 的宽度和深度分别为 0.5 μm 和 0.2 μm，N-Bottom 的宽度和深度分别为 0.6 μm 和 0.7 μm。改进的新结构和传统 UMOS 结构的电学特性对比见表 2，其中特征导通电阻是在栅极电压为 5 V 时测得的。改进结构与传统结构相比，特征导通电阻减小了 2.3%，击穿电压减小了 2.4%；文献[17]与传统结构相比，特征导通电阻减小了 2.8%，击穿电压降低了 7.3%，相比之下，本文所提结构性能更优。

表 1 不同浓度、宽度和深度的 N-Bottom 条件下的 UMOS 击穿电压和特征导通电阻

Tab. 1 BV and $R_{on,sp}$ of UMOS under N-bottom conditions at different concentrations, widths and depths

N_N/cm^{-3}	W_N/μm	D_N/μm	BV/V	$R_{on,sp}$/(mΩ·cm^2)
8×10^{15}	0.6	0.5	111.2	1.129 9
8×10^{15}	0.6	0.7	110.3	1.119 0
8×10^{15}	0.7	0.6	110.3	1.119 0
9×10^{15}	0.6	0.5	111.2	1.129 2
9×10^{15}	0.6	0.7	110.0	1.115 0
9×10^{15}	0.7	0.6	109.4	1.113 0
1×10^{16}	0.6	0.5	110.8	1.124 0
1×10^{16}	0.6	0.7	109.3	1.110 0
2×10^{16}	0.7	0.5	108.0	1.105 0

表 2 新结构和传统 UMOS 结构的电学特性对比

Tab. 2 Comparison of electrical characteristics between new and traditional UMOS structures

结构	元胞尺寸/μm	掺杂浓度/cm^{-3}	外延层厚度/μm	阈值电压/V	BV/V	$R_{on,sp}$/(mΩ·cm^2)
传统 UMOS	1.9	3.22×10^{15}	9.0	1.32	112.6	1.140 8
文献[17]	1.9	3.37×10^{15}	9.0	1.30	104.9	1.110 0
PN-Bottom	1.9	3.22×10^{15}	9.0	1.31	110.0	1.115 0

3 结语

本文设计了一种具有 PN-Bottom 的 UMOSFET 结构，并利用 TCAD 软件对传统 UMOSFET 和改进后的新结构进行性能仿真，在不改变其他参数的条件下，研究分析了 PN-Bottom 内 P-Bottom 和 N-Bottom 各自的掺杂浓度、宽度和深度对器件特征导通电阻和击穿电压的影响。实验结果表明，与直接改变掺杂浓度来减小导通电阻的方法相比，新增加的 PN-Bottom 能够在减小同样导通电阻的情况下，将击穿电压减少量从 7.3%降至 2.4%，有效缓解了击穿电压的降低，实现了更优的击穿电压与导通电阻的折中关系。

参考文献：

[1] 张娜, 吴晓鹏. 沟槽栅低压功率 MOSFET 的发展(下): 减小器件优值 FOM[J]. 中国集成电路, 2008, 17(6): 45-50.
Zhang Na, Wu Xiaopeng. Development of trenched gate low voltage power MOSFET (Part Ⅱ): Decrease figure of merit (FOM) [J]. China Lntegrated Circuit, 2008, 17(6): 45-50. (in Chinese)

[2] Kim T, Kim K. High breakdown voltage and low on-resistance 4H-SiC UMOSFET with source-trench optimization [J]. ECS Journal of Solid State Science and Technology, 2019, 8(8): Q147-Q152.

[3] 王颖, 程超, 胡海帆. 沟槽栅功率 MOSFET 导通电阻

的模拟研究[J]. 北京工业大学学报, 2011, 37(3): 342-346.
Wang Ying, Cheng Chao, Hu Haifan. Analysis of power trench MOSFET with lower on-resistance [J]. Journal of Beijing University of Technology, 2011, 37(3): 342-346. (in Chinese)

[4] 陈力, 冯全源. 低压沟槽功率 MOSFET 导通电阻的最优化设计[J]. 微电子学, 2012, 42(5): 725-728, 732.
Chen Li, Feng Quanyuan. Optimal design of on-resistance for low voltage trench power MOSFET [J]. Microelectronics, 2012, 42(5): 725-728, 732. (in Chinese)

[5] Zhao Zhengxi, Feng Quanyuan, Chen Xiaopei, et al. Buried-oxide-in-drift-region technique for breakdown voltage of trench power MOSFETs [C]// 2017 Progress in Electromagnetics Research Symposium-Spring (PIERS). St. Petersburg, Russia, 2018: 1806-1809.

[6] 乔杰, 冯全源. 沟槽 MOSFET 耐压与导通电阻的优化设计[J]. 电子元件与材料, 2020, 39(12): 71-76.
Qiao Jie, Feng Quanyuan. Optimal design of breakdown voltage and on-resistance for trench MOSFET [J]. Electronic Components and Materials, 2020, 39(12): 71-76. (in Chinese)

[7] 张跃, 黄润华, 柏松. 一种改进型 4H-SiC 超结 UMOS 器件[J]. 电源学报, 2024, 22(S1): 254-260.
Zhang Yue, Huang Runhua, Bai Song. Improved 4H-SiC superjunction UMOS device [J]. Journal of Power Supply, 2024, 22(S1): 254-260. (in Chinese)

[8] Zhang Yue, Bai Song, Huang Runhua, et al. 4H-SiC trench MOSFET with inverted-T groove [J]. Micro and Nanostructures, 2023, 175: 207510.

[9] 胡嘉豪, 王英伦, 代豪豪, 等. SiC MOSFET 器件栅氧可靠性研究综述[J]. 电源学报, 2024, 22(4): 1-11.
Hu Jiahao, Wang Yinglun, Dai Haohao, et al. Review on gate oxide reliabilty of SiC MOSFET devices [J]. Journal of Power Supply, 2024, 22(4): 1-11. (in Chinese)

[10] Baliga B J. Fundamentals of Power Semiconductor Devices [M]. Cham: Springer International Publishing, 2019.

[11] Fukui T, Ishii T, Tawara T, et al. Effects of ion implantation process on defect distribution in SiC SJ-MOSFET [J]. Japanese Journal of Applied Physics, 2023, 62(1): 016508.

[12] 张琛. 具有高 K 介质和多数载流子积累新型 UMOS 特性分析[D]. 西安: 西安电子科技大学, 2019.
Zhang Chen. Analyses of novel UMOS with high-K dielectric and majority carrier accumulation [D]. Xi'an: Xidian University, 2019. (in Chinese)

[13] 张岩, 薛少鹏, 李阳, 等. 安全工作区外重复过电压硬开关下 SiC MOSFET 参数退化特性与机理[J]. 电工技术学报, 2025, 40(16): 5029-5043.
Zhang Yan, Xue Shaopeng, Li Yang, et al. Degradation of SiC MOSFETs under repetitive overvoltage and hard-switching stress outside the safe operating area [J]. Transactions of China Electrotechnical Society, 2025, 40(16): 5029-5043. (in Chinese)

[14] Wang Zhuo, Li Pengcheng, Zhang Bo, et al. Ultralow specific on-resistance trench MOSFET with a U-shaped extended gate [J]. Chinese Physics Letters, 2015, 32(6): 068501.

[15] Zareiee M. A new structure for lateral double diffused MOSFET to control the breakdown voltage and the on-resistance [J]. Silicon, 2019, 11(6): 3011-3019.

[16] Zhu Hui, Li Haiou, Li Qi. Novel high voltage SJ LDMOS structure with non-uniform cross-distributed P-pillar [J]. Research & Progress of SSE, 2014, 34(5): 465-469, 475.

[17] 周熹. 100 V UMOS 器件元胞的设计、研究与优化[D]. 成都: 西南交通大学, 2021.
Zhou Xi. Design study and optimization of cell for 100 V UMOS device [D]. Chengdu: Southwest Jiaotong University, 2021. (in Chinese)



裴春荟

作者简介：

裴春荟(2000—　)，女，硕士。研究方向：功率器件。E-mail：1468803401@qq.com。

冯全源(1963—　)，男，通信作者，博士，教授。研究方向：集成电路设计，功率器件设计，移动天线与智能天线设计。E-mail：fengquanyuan@163.com。

(责任编辑：耿越)