DOI：10.13234/j.issn.2095-2805.2026.5.1 中图分类号：TM386 文献标志码：A

一种非线性 VLD 终端的研究与设计

苏昕瑞，冯全源
(西南交通大学微电子研究所，成都 611756)

摘要：功率器件的耐压特性主要由终端决定，横向变掺杂 VLD(variation of lateral doping)是一种应用广泛的终端技术，具有成本低、工艺简单、灵活性高等优点。传统的线性 VLD 终端在一些情况下具有局限性，其耐压会受到限制。通过理论分析提出了一种新型非线性 VLD 终端，这种终端的电学特性更为优异、电场分布更为均匀，有效削弱了电场的集中效应，从而提升了其耐压。在相同工艺流程和材料情况下，线性 VLD 结构的耐压峰值为 728 V，而非线性 VLD 结构的耐压可达 758 V，耐压特性提高了 4.12%，且其工艺难度较小，易于实现。

关键词：功率器件；终端；耐压；非线性横向变掺杂

Research and Design of A Nonlinear VLD Terminal

SU Xinrui, FENG Quanyuan
(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, China)

Abstract: The breakdown voltage characteristics of power devices are primarily determined by the terminal. Variation of lateral doping (VLD) is a commonly used terminal technology, known for its advantages such as low cost, simple process, and high flexibility. In some cases, traditional linear VLD terminals have limitations, particularly in terms of breakdown voltage. A new nonlinear VLD terminal derived from theoretical analysis is presented, which features superior electrical characteristics and more uniform electric field distribution. This effectively weakens the concentration of the electric field and increases the breakdown voltage. In the same process and material conditions, the breakdown voltage peak of the linear VLD structure is 728 V, while the nonlinear VLD structure can weakens 758 V, achieving a 4.12% enhancement in breakdown voltage characteristics. Moreover, the new structure is relatively easy to implement with minimal increase in process complexity.

Keywords: Power devices; terminal; breakdown voltage; nonlinear variation of lateral doping (VLD)

功率器件是用于控制和传输大功率电能的电子器件[1]，其核心特性有耐压特性、低导通压降特性、高开关速度特性、高热稳定性特性、低开关噪声特性等。其中，耐压特性是一个重要的研究方向，功率器件需要具备承受高电压和大电流的能力，在高电压应用中才不会发生击穿或电气失效等问题，确保其在高功率应用中的可靠性和稳定性，同时降低能量损耗。一些常见的功率器件，如绝缘栅双极型晶体管 IGBT(insulated gate bipolar transistor)、金属-氧化物-半导体场效应晶体管 MOSFET(metal-Oxide-semicoductor field-effect transistor)等，通常具有较高的耐压能力，可承受几百甚至几千伏的高电压[2-4]。

功率器件一般由元胞(cell)和终端(termination)构成。由于终端承受着器件的主要耐压，其优化了器件的电场分布、提高了击穿电压、减少了漏电流、改善了器件的特性[5-6]，因此对功率器件耐压特性的研究转变为对终端技术的研究。

目前主要使用的终端技术有：等位环 GR (guard ring)、结终端扩展 JTE(junction termination

收稿日期：2023-11-20；**修回日期：**2024-03-21；**录用日期：**2024-04-23；**网络首发日期：**2024-04-29
基金项目：国家自然科学基金资助项目(62531021)；四川省重点研发资助项目(2023YFG0004)
This work is supported by National Natural Science Foundation of China under the grant 62531021; Key R&D Projects in Sichuan under the grant 2023YFG0004

extension)、减小表面电场 RESURF(reduced surface field)、场板 FP(field plate)、沟槽终端 ET(etch termination)、横向变掺杂 VLD(variation of lateral doping)、斜角终端等[7-9]。其中，VLD 技术相较于其他终端技术能更好地优化电场分布，因而具有更高的击穿电压，且其具有灵活性高、精度高、成本低、工艺简单、易于制造等优点[10-11]，从而使得 VLD 技术成为非常重要和热门的终端技术。

传统 VLD 的窗口大小和掩膜大小是呈线性分布的，这种分布方式简单且常用，但是在一些场合下具有一定的局限性，击穿电压的上限会受到限制。本文提出了一种新的优化方法，得出一种新的非线性分布，可进一步提高击穿电压的上限。

1 传统 VLD 和优化分析

1.1 传统 VLD 终端设计方法

VLD 终端通过掺杂后，在主结后方延伸出的耗尽区进行耐压，该区域不仅能调整内部边缘的曲率使电场分布变得分散，还能调整击穿线的位置[12-14]。若 VLD 结构的耗尽区不能有效扩展，将会导致电场分布集中，从而削弱终端的耐压性能。因此，在设计中需要注重耗尽区的扩展，以实现更优的耐压性能。

传统 VLD 终端结构如图 1 所示，其窗口大小与掩膜大小呈线性分布，这种 VLD 称为线性 VLD。窗口和掩膜的要求分别为

$$G_m + R_m = S \tag{1}$$

$$G_m = G_1 - (m-1)a \tag{2}$$

$$R_m = (S - G_1) + (m-1)a \tag{3}$$

式中：G_m 为窗口宽度；R_m 为掩膜宽度；S 为每个窗口与其掩膜的总长度；G_1 为首个窗口的宽度；m 为窗口序号(m=1, 2, 3,⋯, N)，N 为注入窗口数；a 为变化量。

以 650 V 耐压级别的 VLD 终端为例，选取外延层材料的厚度为 55 μm、电阻率为 20 Ω·cm，选取 VLD 终端掺杂长度 L_{VLD}=60 μm、注入窗口数 N=10，则 S=6 μm。分别以 a=0.40、0.35、0.30、0.25、0.20 μm 这 5 个不同的变化量进行仿真对比研究。VLD 终端在不同 a 下的窗口宽度情况见表 1。

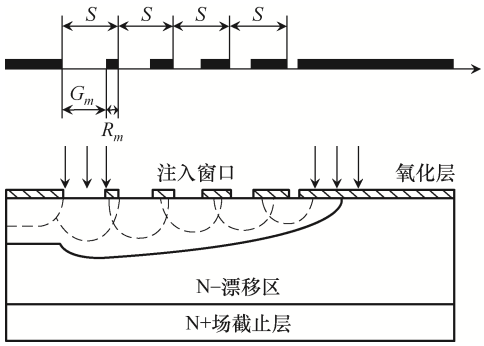


图 1 传统 VLD 终端结构

Fig. 1 Traditional VLD terminal structure

表 1 不同 a 下线性 VLD 终端窗口宽度

Tab. 1 Linear VLD terminal window width with different a

μm

a	0.40	0.35	0.30	0.25	0.20
G_1	5.00	5.00	5.00	5.00	5.00
G_2	4.60	4.65	4.70	4.75	4.80
G_3	4.20	4.30	4.40	4.50	4.60
G_4	3.80	3.95	4.10	4.25	4.40
G_5	3.40	3.60	3.80	4.00	4.20
G_6	3.00	3.25	3.50	3.75	4.00
G_7	2.60	2.90	3.20	3.50	3.80
G_8	2.20	2.55	2.90	3.25	3.60
G_9	1.80	2.20	2.60	3.00	3.40
G_{10}	1.40	1.85	2.30	2.75	3.20

线性 VLD 终端在不同 a 下注入窗口宽度的变化趋势如图 2 所示，分别用这些不同的窗口宽度在相同工艺下进行耐压仿真，得到的耐压 B_{BV} 结果如图 3 所示。由图可见，随着 a 的增大，终端的耐压

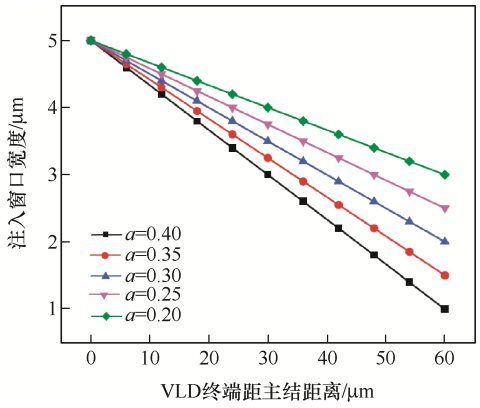


图 2 不同 a 下注入窗口宽度变化趋势

Fig. 2 The trend of window width with different a

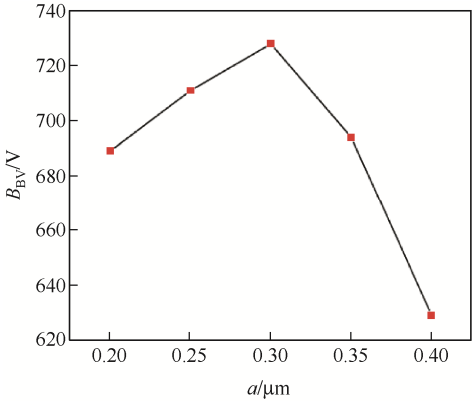


图 3　线性 VLD 终端耐压与 a 关系图

Fig. 3 Breakdown voltage of linear VLD terminal versus a

先增大后减小。在 a=0.20~0.30 μm 范围内，终端耐压逐渐增大；在 a=0.30~0.40 μm 范围内，终端耐压逐渐减小；在 a=0.30 μm 时，终端耐压达到最大值 728 V。

线性 VLD 终端最大耐压值的电势分布、电场分布、电流密度分布、碰撞电离率分布分别如图 4~图 7 所示。

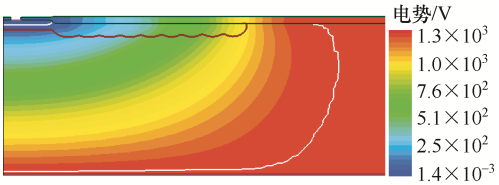


图 4　线性 VLD 终端电势分布

Fig. 4 Linear VLD terminal potential distribution

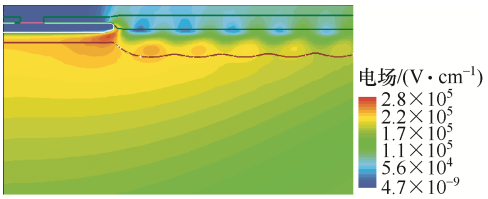


图 5　线性 VLD 终端电场分布

Fig. 5 Linear VLD terminal electric field distribution

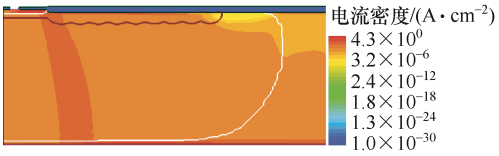


图 6　线性 VLD 终端电流密度分布

Fig. 6 Linear VLD terminal current density distribution

图 8 为耐压值为 728 V 线性 VLD 终端的击穿电压曲线。图中：I_c 为 IGBT 集电极电流；U_c 为 IGBT 集电极电压。

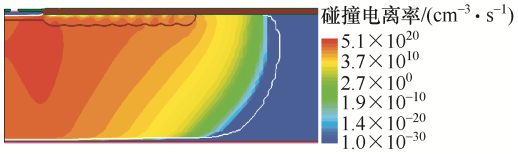


图 7　线性 VLD 终端碰撞电离率分布

Fig. 7 Linear VLD terminal impact ionization distribution

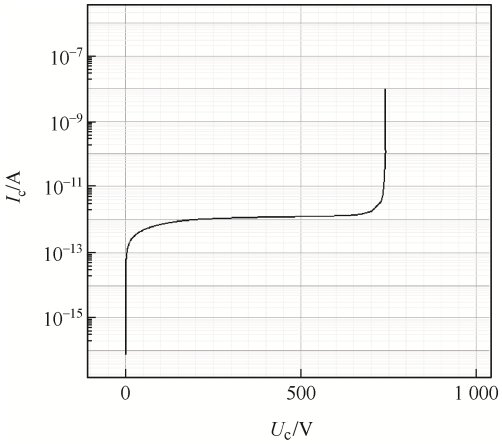


图 8　线性 VLD 终端击穿电压曲线

Fig. 8 Linear VLD terminal breakdown voltage curve

1.2　优化的 VLD 终端理论

本文提出一种优化方法使 VLD 终端不再呈线性分布，呈非线性分布。下面对非线性 VLD 终端模型进行理论分析。图 9 为结深不随主结距离变化的 VLD 终端结构。图中：O'为圆弧的圆心；R 为耗尽区半径；h 为圆心到 VLD 终端的垂直距离；d 为结深；A 为 VLD 终端底部起点；r 为耗尽区纵向最大深度；圆弧 BC 为耗尽区的边界线；x 为任意一点横坐标；$P(x, 0)$为任意半径线

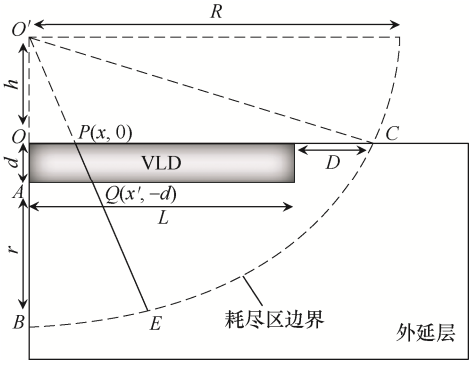


图 9　VLD 终端结构

Fig. 9 VLD terminal structure

与终端的上交点；$Q(x', -d)$为任意半径线与终端的下交点；PQ 为上、下交点构成的线段；L 为 VLD 终端长度；E 为任意半径线与耗尽线交点；QE 为下交点与耗尽线交点构成的线段；D 为 VLD 终端与耗尽区边界的横向距离。以 O 为坐标原点，建立坐标系。

当器件发生击穿时，由电荷平衡原理可知，位于 VLD 终端表面的线段 PQ 所包含的电荷总量与耗尽区线段 QE 所包含的电荷总量相等。根据此原理可进行以下推导。

设 N_A、$f(t)$分别为终端的外延层杂质浓度与 VLD 区的杂质浓度分布函数，由电荷平衡可得

$$\int_x^{x'} f(t)\frac{\sqrt{x^2+h^2}}{x}\mathrm{d}t = (R-|O'P|-|PQ|)N_A \tag{4}$$

其中，x 与 x'的关系为

$$x' = \frac{x(d+h)}{h} \tag{5}$$

由几何关系可得线段 PQ 和线段 $O'P$ 的表达式分别为

$$|PQ| = \frac{d}{h}\sqrt{x^2+h^2} \tag{6}$$

$$|O'P| = \sqrt{x^2+h^2} \tag{7}$$

由于线段 PQ 比较短，故线段 PQ 上各个点的杂质浓度可用中间点的杂质浓度 $f[(2h+d)x/2h]$近似代替，同时引入有效注入剂量 D_e 代替杂质浓度，得出线段 PQ 上的电荷量为

$$\int_x^{x'} f(t)\frac{\sqrt{x^2+h^2}}{x}\mathrm{d}t = D_e\left(x+\frac{d}{2h}x\right)|PQ|/\,d \tag{8}$$

将式(5)~式(8)代入式(4)可得

$$D_e\left(x+\frac{d}{2h}x\right)\frac{1}{h}\sqrt{x^2+h^2} = N_A\left(R-\frac{d}{h}\right)\sqrt{x^2+h^2} \tag{9}$$

对式(9)进行一系列变换后可得 VLD 终端有效注入剂量 D_e 的决定关系式为

$$D_e(x) = N_A\left[\frac{R(2h+d)}{\sqrt{4x^2+(2h+d)^2}}-h-d\right] \tag{10}$$

从式(10)中可以看出，VLD 终端的有效注入剂量呈非线性分布。由图 9 可知，h、d、r、L、D、R 参数的几何关系为

$$h^2+(L+D)^2 = (r+d+h)^2 = R^2 \tag{11}$$

VLD 终端的窗口大小和掩膜大小满足

$$G_m + R_m = \frac{L}{N} \quad m=1, 2, \cdots, N \tag{12}$$

根据式(10)可得，当 x=0 时，$D_e(0)$为最大有效注入剂量，令 $D_e(0)=D_{max}$，将 $D_e(x)$与 D_{max} 做比值运算，得到归一化有效注入剂量，其表达式为

$$\frac{D_e(x)}{D_{max}} = \frac{R(2h+d)}{r\sqrt{4x^2+(2h+d)^2}}-\frac{h+d}{r} \tag{13}$$

有效注入剂量与窗口大小的关系为

$$D_e(x) = \frac{NG_m}{L}D_{max} \tag{14}$$

最后联立式(13)和式(14)可得任意注入窗口宽度的表达式为

$$G_m = \frac{L}{N}\left[\frac{R(2h+d)}{r\sqrt{4x_m^2+(2h+d)^2}}-\frac{h+d}{r}\right] \tag{15}$$

由此可知，窗口大小呈非线性分布，并且随着距主结距离的增大，窗口大小呈递减趋势。

2 仿真和设计方法对比

为了与线性分布的 VLD 终端进行耐压对比分析，非线性分布的 VLD 采用相同的 N、L、外延层材料和工艺流程。其中，线性 VLD 终端的 r=45 μm、d=6 μm、N=10。根据式(15)的注入窗口设计方法，对耗尽区半径 R 进行拉偏以确定最大耐压值。非线性 VLD 终端在不同 R 下的窗口宽度情况见表 2，变化趋势如图 10 所示。

根据第 1 节的窗口设计规则使用相同的工艺进行耐压仿真，得到的耐压结果如图 11 所示。由图可见，随着 R 的增大，终端的耐压值先增大后减小。在 R=90~110 μm 范围内，终端耐压逐渐增大；在 R=110~120 μm 范围内，终端耐压逐渐减小；在 R=110 μm 时，终端耐压达到最大值 758 V。

表 2　不同 *R* 下非线性 VLD 终端窗口宽度

Tab. 2 Nonlinear VLD terminal window width with different *R*

μm

R	90	100	110	120
G_1	5.00	5.00	5.00	5.00
G_2	4.95	4.96	4.97	4.97
G_3	4.84	4.85	4.89	4.91
G_4	4.66	4.71	4.75	4.79
G_5	4.41	4.52	4.61	4.67
G_6	4.16	4.28	4.38	4.47
G_7	3.85	4.02	4.16	4.27
G_8	3.47	3.71	3.92	4.06
G_9	3.18	3.39	3.65	3.87
G_{10}	2.85	3.12	3.34	3.58

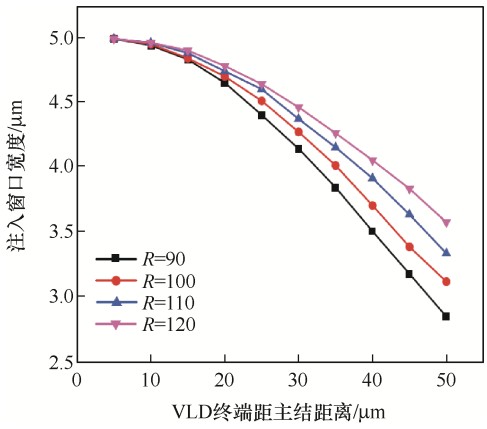


图 10　不同 *R* 下注入窗口宽度变化趋势

Fig. 10 The change trend of window width with different *R*

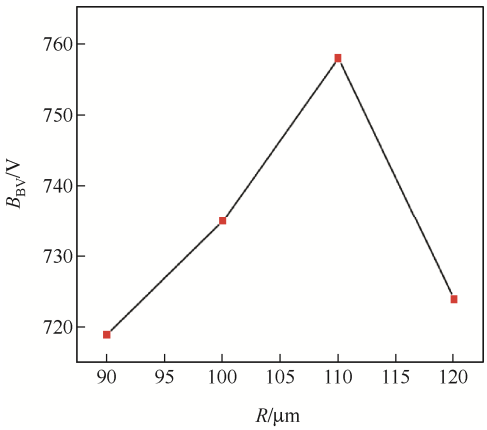


图 11　非线性 VLD 终端耐压与 *R* 的关系

Fig. 11 Breakdown voltage of nonlinear VLD terminal versus *R*

耐压达到最大值 758 V 的终端结构及其电势分布如图 12 所示，由图可知，电势下降曲率良好，分布均匀；与图 4 所示的线性终端电势分布相比，其电势下降趋势更为缓慢。图 13 为 VLD 终端与 IGBT 主结交界处的电场分布，由图可知，击穿线的位置分布在主结与 VLD 区域的下方，电场线在主结处均匀分布且未出现聚集现象；与图 5 所示的线性终端电场分布相比，其电场较为分散；与传统的线性 VLD 相比，非线性 VLD 的最大表面电场显著降低，电场分布更为均匀，有效削弱了电场的集中效应。图 14 和图 15 分别为电流密度与碰撞电离率的分布，因为击穿位置在主结底部，所以此处电流和碰撞电离率最大。

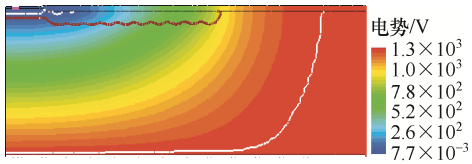


图 12　非线性 VLD 终端电势分布

Fig. 12 Nonlinear VLD terminal potential distribution

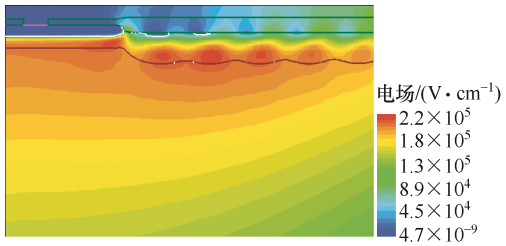


图 13　非线性 VLD 终端电场分布

Fig. 13 Nonlinear VLD terminal electric field distribution

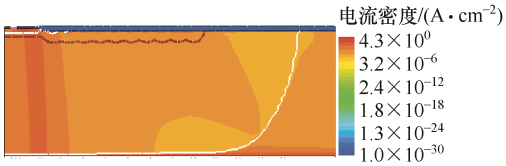


图 14　非线性 VLD 终端电流密度分布

Fig. 14 Nonlinear VLD terminal current density distribution

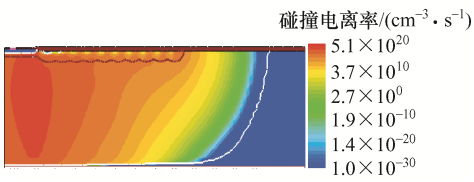


图 15　非线性 VLD 终端碰撞电离率分布

Fig. 15 Nonlinear VLD terminal impact ionization distribution

图 16 为耐压值为 758 V 非线性 VLD 终端的击穿电压曲线。由图可知，其击穿电压显著提高，相较于线性 VLD 提高了 4.12%。同时，非线性结构的 VLD 终端的工艺步骤与线性结构相比未增加过多，因此工艺难度较低，相对于改变终端的整体结构，其具备更高的工艺实现可靠性。

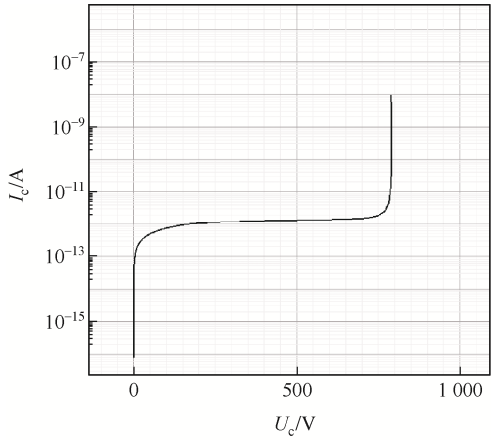


图 16 非线性 VLD 终端击穿电压曲线

Fig. 16 Nonlinear VLD terminal breakdown voltage curve

3 结语

本文提出了一种新的非线性 VLD 终端结构，这种 VLD 的窗口宽度呈非线性分布，能更好地削弱电场的集中效应、降低表面电场、提高击穿电压。通过理论分析得出窗口宽度的分布函数，并对耗尽区半径进行拉偏仿真，确定最大耐压值。在相同材料和工艺的情况下，这种非线性 VLD 的最大击穿电压可达 758 V，相比于传统线性 VLD 提高了 4.12%，且其工艺难度较低，易于实现。

参考文献：

[1] 皇甫宜耿, 宋少林, 王晓鹏, 等. 功率模块主动热控制技术研究综述[J]. 电源学报, 2024, 22(3): 118-126.
Huangfu Yigeng, Song Shaolin, WANG Xiaopeng, et al. Review of research on active thermal control technologies for power modules [J]. Journal of Power Supply, 2024, 22(3): 118-126. (in Chinese)

[2] Kong Moufu, Hu Z ewei, Gao Jiacheng, et al. A 1 200 V-class ultra-low specific on-resistance SiC lateral MOSFET with double trench gate and VLD technique [J]. IEEE Journal of the Electron Devices Society, 2022, 10: 83-88.

[3] 赵相睿, 董超, 姚婉荣, 等. 计及磁链和电流的 PMSM DTC 系统中功率器件键合线老化监测方法[J]. 电源学报, 2024, 22(4): 292-300.
Zhao Xiangrui, Dong Chao, Yao Wanrong, et al. Aging monitoring method for power device bond wires in PMSM DTC system involving flux linkage and current [J]. Journal of Power Supply, 2024, 22(4): 292-300. (in Chinese)

[4] Balestra L, Reggiani S, Gnudi A, et al. TCAD study of VLD termination in large-area power devices featuring a DLC passivation [J]. IEEE Transactions on Electron Devices, 2020, 67(11): 4645-4648.

[5] Ebihara K, Yamamoto Y, Nakaki Y, et al. Designing and fabrication of the VLD edge termination for 3.3 kV SiC SBD [J]. Materials Science Forum, 2014, 778-780: 791-794.

[6] Yang Tongtong, Bai Song, Huang Runhua. Optimization of junction termination extension for ultrahigh voltage 4H-SiC planar power devices [J]. Journal of Semiconductors, 2017, 38(4): 044004.

[7] 赵磊, 冯全源. VDMOS 横向变掺杂终端的优化与设计[J]. 电子元件与材料, 2018, 37(9): 53-56.
Zhao Lei, Feng Quanyuan. Optimization and design of variable lateral doping termination for VDMOS [J]. Electronic Components & Materials, 2018, 37(9): 53-56. (in Chinese)

[8] Wei Jie, Luo Xiaorong, Zhang Yanhui, et al. High-voltage thin-SOI LDMOS with ultralow on-resistance and even temperature characteristic [J]. IEEE Transac- tions on Electron Devices, 2016, 63(4): 1637-1643.

[9] 闫丽君. GCT 横向变掺杂(VLD)结终端结构的优化设计[D]. 西安: 西安理工大学, 2017.
Yan Lijun. Optimal design of GCT termination structure with variation lateral doping [D]. Xi'an: Xi'an University of Technology, 2017. (in Chinese)

[10] Kim K Y, Noh J S, Yoon T Y, et al. Improvement in turn-off loss of the super junction IGBT with separated

n-buffer layers [J]. Micromachines, 2021, 12(11): 1422.

[11] Du Wenfang, Wang Yaohua, Jin Rui, et al. Deep trench termination structure with p-type SiC layer for improved reliability of high voltage IGBT [J]. Materials Science Forum, 2019, 963: 643-646.

[12] Zhang B. Power Semiconductor Devices and Smart Power ICs [M]. Chengdu: University of Electronic Science and Technology of China, 2011: 196-197.

[13] Zhou Jiyu, He Liang, Li Xiaobo, et al. Vertical GaN Schottky barrier diodes with area-selectively deposited p-NiO guard ring termination structure [J]. Superlattices and Microstructures, 2021, 151: 106820.

[14] 石存明, 冯全源. 一种 VLD 结构 VDMOS 终端设计[J]. 微电子学, 2016, 46(3): 415-418.
Shi Cunming, Feng Quanyuan. Design of a VLD structure VDMOS termination [J]. Microelectronics, 2016, 46(3): 415-418. (in Chinese)



苏昕瑞

作者简介：

苏昕瑞(2000—)，男，硕士研究生。研究方向：半导体功率器件。E-mail：2859177625@qq.com。

冯全源(1963—)，男，通信作者，博士，教授。研究方向：半导体功率器件，集成电路，射频，天线。E-mail：fengquanyuan@163.com。

(责任编辑：耿越)



公益广告来源：中国文明网