DOI：10.13234/j.issn.2095-2805.2026.4.11 **中图分类号**：TN402 **文献标志码**：A

一种低功耗瞬态增强的无片外电容 LDO 的设计

唐俊龙[1]，于 澈[1]，关 浩[1]，邹望辉[1]，喻 华[2]
(1.长沙理工大学物理与电子科学学院，长沙 410114；2.广东华芯微特集成电路有限公司，长沙 410205)

摘要：针对传统无片外电容型低压差线性稳压器 LDO(low dropout linear regulator)的瞬态响应较差的问题，设计了 1 种低功耗瞬态增强的无片外电容型 LDO，采用推挽式 AB 类运算放大器作为误差放大器来提高功率管栅极处的电流充放电速率，并且在 LDO 中设计了 1 种新型的瞬态增强电路，在低功耗的前提下感应负载电流的波动,为功率管栅极提供额外的充放电电流，减小输出电压的瞬态波动。基于 0.18 μm 的 CMOS 工艺，完成电路设计、版图设计与仿真。仿真结果表明：在 1.6~4.0 V 的输入电压范围内，LDO 的输出电压为 1.5 V。在额定输入电压下,静态电流为 9.4 μA,负载电流在 0~50 mA 范围内变化,该 LDO 输出的过冲电压和下冲电压分别为 56 mV 和 55 mV，稳定时间在 1.7 μs 内。在 0~50 mA 的全负载范围内，降低了 LDO 输出的过冲电压与下冲电压，瞬态性能大幅提升，满足应用需求。

关键词：低功耗；线性稳压器；无片外电容；瞬态增强

Design of Transient Enhanced Capacitor-less LDO with Low Power Consumption

TANG Junlong[1], YU Che[1], GUAN Hao[1], ZOU Wanghui[1], YU Hua[2]
(1. School of Physics and Electronic Science, Changsha University of Science and Technology, Changsha 410114, China; 2. Guangdong Synwit Integrated Circuit Co., Ltd., Changsha 410205, China)

Abstract: To solve the problem of poor transient response of a traditional capacitor-less low dropout linear regulator (LDO), a transient enhanced capacitor-less LDO with low power consumption was proposed, which used a push-pull Class AB operational amplifier as an error amplifier to improve the charging and discharging rate of current at the gate of a power tube. In addition, a novel type of transient enhanced circuit was designed in the LDO to detect the fluctuation of load current under the premise of low power consumption and provide extra charging and discharging current for the gate of the power tube, so as to reduce the transient fluctuation of output voltage. Based on the 0.18 μm CMOS process, the circuit, layout and simulation of the LDO were completed. Simulation results show that the output voltage of LDO was 1.5 V in the input voltage range of 1.6–4 V. Under the rated input voltage, the static current was 9.4 μA, the load current varied in the range of 0–50 mA, the output overshoot voltage and undershoot voltage of the LDO were 56 mV and 55 mV, respectively, and the stable time was within 1.7 μs. In the full-load range of 0–50 mA, the output overshoot voltage and undershoot voltage of the LDO were reduced, and the transient performance was greatly improved. As a result, the designed LDO can meet the application requirements.

Keywords: Low power consumption; linear regulator; capacitor-less; transient enhancement

收稿日期：2024-01-10；**修回日期**：2024-02-15，2024-03-01；**录用日期**：2024-03-05；**网络首发日期**：2024-04-26
基金项目：柔性电子材料基因工程湖南省重点实验室开放基金资助项目(202015)
This work is supported by Open Research Fund of Hunan Provincial Key Laboratory of Flexible Electronic Materials Genome Engineering under the grant 202015

传统的低压差线性稳压器 LDO(low dropout linear regulator)电路为了保证系统的稳定性及良

好的瞬态响应，经常要在片外接大电容[1]。然而过大的片外电容会占用大量的印制电路板 PCB(printed circuit board)面积，不利于片上集成。因此，无片外电容型 LDO 成为了如今的主流发展方向。为了提升便携式设备的续航时长，低功耗设计也成为了 LDO 的研究热点，低功耗的设计要求在保持低静态电流的条件下，确保 LDO 的稳定性并改善 LDO 的瞬态响应[2]，保证 LDO 正常工作。

针对低功耗无片外电容型 LDO 的稳定性和瞬态响应差的问题，研究人员提出了诸多解决方案。刘云超等[2]采用嵌套密勒补偿自适应偏置技术，针对误差放大器和负载电流不同步的问题提出了由循环折叠共源共栅放大器和跨导提高放大器组成的误差放大器，负载电流从 10 μA~1 mA 以 1 μs 的时间阶跃变化，过冲与下冲电压分别为 133 mV 和 162 mV，改善了瞬态特性，但是轻载瞬态特性依旧较差；Yang 等[3]采用了自适应偏置局部共模反馈 LCMFB(local common-mode feedback)和动态充电晶体管 DCT(dynamic charging transistor)技术，负载电流从 0~100 mA 以 1 μs 的时间阶跃变化，过冲与下冲电压分别为 76 mV 和 129 mV，调整时间分别为 2.16 μs 和 2.03 μs，减小了瞬态电压的变化，但调整时间较长；Lavalle-Aviles 等[4]采用了体驱动前馈 BDFF(bulk-driven feed-forward)技术，并设计了频率补偿模块，负载电流从 0~100 mA 以 1 μs 的时间阶跃变化，过冲与下冲电压分别为 80 mV 和 140 mV，调整时间为 0.3 μs，提高了 LDO 的单位增益带宽，但增加了静态功耗和片上面积。曾范祥等[5]设计了 1 种零点-极点跟踪技术，结合摆率增强电路提高瞬态特性，负载电流从 1~50 mA 以 1 μs 的时间阶跃变化，过冲与下冲电压分别为 169 mV 和 170 mV，瞬态特性有一定的改善但效果并不明显。TI(Texas Instruments)最新推出的 LP5912-EP 的输出电压为 0.8~5.5 V，输出电流为 500 mA，静态电流为 30 μA，负载电流从 5~500 mA 以 10 μs 的时间阶跃变化，过冲与下冲电压均为 45 mV。此 LDO 瞬态特性较好，但 10 μs 的阶跃时间会限制该 LDO 的使用范围。

针对以上文献和产品中 LDO 的瞬态特性改善效果不明显及使用范围受限等问题，本文设计了 1 种低功耗瞬态增强无片外电容型 LDO。采用推挽式 AB 类运算放大器作为误差放大器来提高 LDO 的增益带宽积和瞬态响应，同时设计了 1 种新型的瞬态增强电路，使得在低功耗的前提下，负载电流瞬间变化时，可以有效减小输出电压的波动并缩短恢复时间。在实际过程中，考虑到大电流会导致芯片烧毁，因此加入过流保护电路，保证 LDO 的稳定性。

1 LDO 架构分析

本文设计的无片外电容型 LDO 架构如图 1 所示，包含了基准电源、误差放大器、保护电路、瞬态增强模块、缓冲级、功率管 MP 和频率补偿模块。其中，误差放大器采用了推挽式 AB 类运算放大器，可以在静态时保持低功耗，瞬态响应时提供大的瞬态电流[6]；瞬态增强电路检测负载电流波动导致的电压波动，为功率管栅极电容充放电提供额外的充放电电流，从而保证系统快速瞬态响应；缓冲级具有较低的输出阻抗，对极点进行分裂，将传统 LDO 的 2 个极点变为 3 个极点，使得功率管栅极的极点被推向更高的频率[5]。

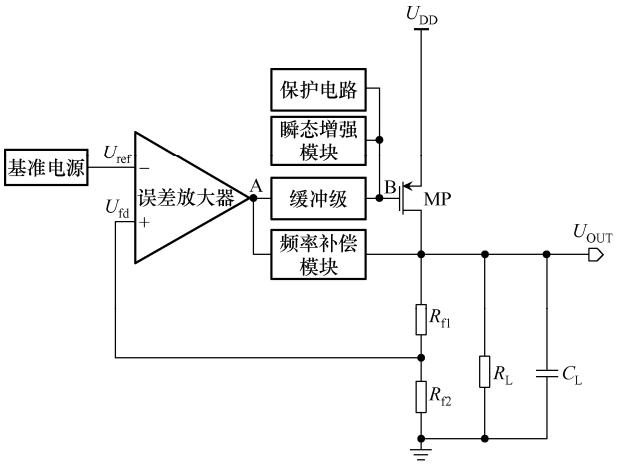


图 1 本文设计的无片外电容 LDO 架构

Fig. 1 Capacitor-less LDO architecture designed in this paper

2　LDO 原理分析

2.1 设计的 LDO 电路

本文设计的 LDO 电路如图 2 所示，MP2~MP6、MN3~MN6 构成推挽式 AB 类运算放大器。其主要结构为输入差分对管和 3 组电流镜，MP4 和 MP5 组成输入差分对管，MN3、MN4 和 MN5、MN6 组成 2 组负载电流镜，MP2、MP6 组成输出电流镜。R_z 和 C_z 分别为整点补偿电阻和电容，构成了零点补偿电路；C_m 为密勒补偿电容；MN7、MN8、MP10 构成缓冲级；MP11~MP13、MN7、R_3、BUFFER、COMP 组成了限流保护电路；MP14~MP17、MN8~MN12、C_1、C_2 组成了瞬态增强电路；MP 为功率管；R_1 和 R_2 均为反馈网络电阻。

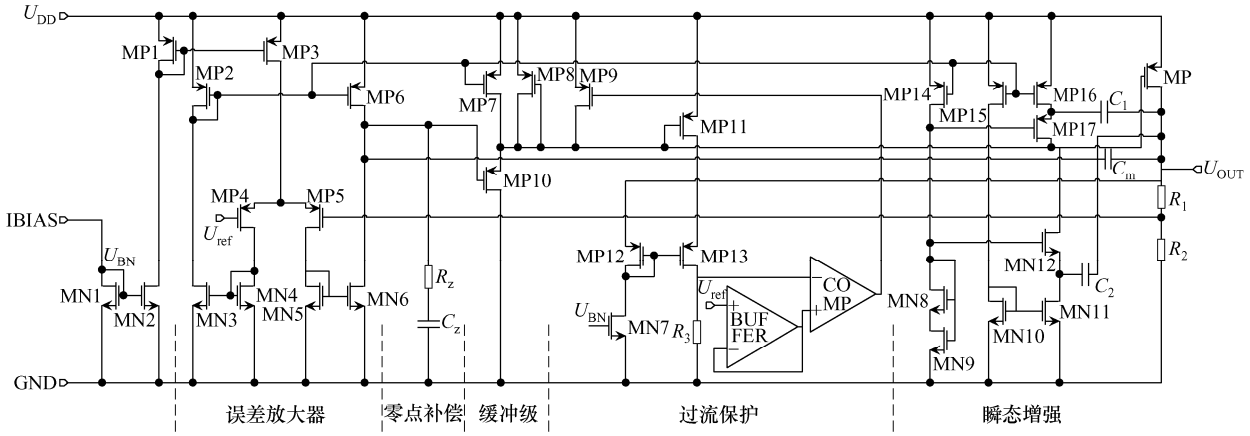


图 2　无片外电容 LDO 电路

Fig. 2 Capacitor-less LDO circuit

2.2 低功耗与瞬态增强电路设计

功耗作为 LDO 较为重要的性能之一，影响着电子器件的使用寿命和效率[7]。在 LDO 电路中功耗与静态电流密切相关，各支路消耗的静态电流总和为 LDO 整体的静态功耗[8]。低功耗设计就是尽可能减少电路支路并通过低功耗的偏置，为各支路提供较低的静态电流，从而在保证性能的前提下减少整个电路的功耗[9]。

LDO 的瞬态响应通常由负载瞬态响应和线性瞬态响应组成[10]，LDO 的瞬态响应特性直接影响电路的性能。在实际应用中，负载瞬态响应还受多种因素的影响，如 LDO 的静态功耗、瞬态负载电流变化时间、瞬态负载电流变化幅度、功率管栅极转换速率、LDO 的增益带宽积与相位裕度、输出电容等[11]。本文提出 1 种瞬态增强电路，其中，C_1 和 MP12~MP15 构成过冲电压增强电路，C_2 和 MN8~MN12 构成下冲电压增强电路。

瞬态响应期间，若负载电流急剧增加，输出电压 U_{OUT} 将出现下冲尖峰，MN12 源极电压变小，NMOS 管 MN12 的栅源电压 $U_{GS,MN12}$ 变大，流过 MN12 的电流 $I_{D,MN12}$ 变大，具体为

$$I_{D,MN12}=\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(U_{GS,\ MN12}-U_{THN})^2 \tag{1}$$

式中：C_{ox} 为单位面积栅氧化层电容；μ_n 为 NMOS 管的电子迁移率；W 和 L 分别为 MOS 管的沟道宽度和长度；U_{THN} 为 NMOS 管的阈值电压。

同理，流过 MP15 的电流变小，产生的由功率管 MP 栅极流向 MN12 的电流为功率管栅极放电，使得 U_g 减小，为功率晶体管栅极放电，减小下冲电压。

若负载电流急剧减小，U_{OUT} 将出现过冲尖峰，MP15 源极电压变大，导致$|U_{GS,MP15}|$变大，流过 MP15 的电流 $I_{D,MP15}$ 变大，具体为

$$I_{D,MP15}=\frac{1}{2}\mu_p C_{ox}\frac{W}{L}(\left|U_{GS,\ MP15}\right|-U_{THP})^2 \tag{2}$$

式中：μ_p 为 PMOS 管的电子迁移率；U_{THP} 为 PMOS 管的阈值电压。

同理，流过 MN12 的电流变小，因此产生的由 MP15 流向功率管栅极的电流变大，为功率管栅极充电，减小过冲电压。

2.3 限流保护电路设计

无片外电容 LDO 限流保护电路，在电流过大或者电路短路时会限制电路的极限最大电流，避免因电流过大导致芯片损坏[12]。MP9 按照 1：k 的比例采集负载电流的变化，在电阻 R_3 处产生的电压 U_s 为

$$U_s=\frac{1}{k}I_{load}R_3 \tag{3}$$

式中，I_{load} 为负载电流。

将基准电压 U_{ref} 与 U_s 进行比较，若 $U_s>U_{ref}$，则比较器输出低电平使得 MP8 导通，将功率管栅极电压抬高，限制电流继续增大；若电流减小使 $U_s<U_{ref}$，则比较器输出高电平，MP8 关断，限流电路不工作。如果功率管电流一直趋于增大，限流电路会始终将电流限制在设定值，使得输出电压下降。

2.4 稳定性分析

由于本文设计的 LDO 采用无片外电容，因此在频率补偿方面使用了缓冲级进行极点分裂，将次极点推向更高频率[13]。将主极点设置在误差放大器的输出端，同时采用密勒电容补偿和零点补偿相结合的方式，保证系统的稳定性。将图 2 中各电路模块分别进行跨导、阻容，等效得到无片外电容 LDO 小信号等效模型，如图 3 所示。其中，U_{IN} 为输入电压；U_a 和 U_b 分别为节点 a 和节点 b 的电压；g_{m1} 为误差放大器的等效跨导，且 $g_{m1}=g_{mp5}g_{mn6}$；g_{m2} 为缓冲级的跨导，且 $g_{m2}=g_{mp10}+g_{mp7}$；g_{mp} 为功率晶体管 MP 的等效跨导；g_{mb} 为反馈级的等效跨导，且 $g_{mb}=g_{mp5}$；R_a 和 C_a 分别为误差放大器的等效电阻和等效电容；R_L 和 C_L 为输出端等效阻抗和负载电容。

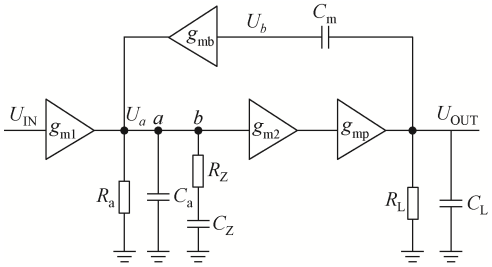


图 3 LDO 小信号模型

Fig. 3 Small-signal model of LDO

根据图 3 的 LDO 小信号模型，节点 a、b 的电流表达式分别为

$$g_{m1}U_{IN}+g_{mb}U_b=U_a\left[\left(\frac{1+sR_aC_a}{R_a}+\frac{sC_z}{1+sR_zC_z}\right)+(g_{m2}+g_{mp})\right] \tag{4}$$

$$-g_{mp}U_a=(U_{OUT}-U_b)sC_m+U_{OUT}\frac{1+sR_LC_L}{R_L} \tag{5}$$

式中，s 为拉普拉斯变量。

由式(4)和式(5)化简得到系统的传递函数 A_V 为

$$A_V(s)=\frac{U_{OUT}}{U_{IN}}=\frac{A_{dc}(1+sC_zR_z)}{\left(1+\frac{s}{P_1}\right)\left[1+\frac{sC_aC_L}{g_{mp}(C_m+C_z)}+s^2\right]} \tag{6}$$

式中，A_{dc} 为 LDO 的直流增益，可表示为

$$A_{dc}=-g_{m1}R_ag_{mp}R_L \tag{7}$$

从小信号模型和式(6)可知，系统主要有 3 个极点 P_1~P_3 和 3 个零点 Z_1~Z_2，可分别表示为

$$P_1=\frac{1}{g_{mp}R_aR_L(C_m+C_z)} \tag{8}$$

$$P_2=\frac{g_{mp}C_m}{C_a(C_m+C_{gd}+C_L)+C_mC_L} \tag{9}$$

$$P_3=\frac{1}{R_{ob}C_{ob}} \tag{10}$$

$$Z_1=\frac{1}{R_zC_z} \tag{11}$$

$$Z_2=\frac{g_{mb}}{C_m} \tag{12}$$

式中：P_1 为主极点，位于误差放大器的输出端；P_2 和 P_3 均为次极点，分别位于功率管栅极和缓冲器输出端；C_{gd} 为功率晶体管的栅漏极结电容；R_{ob} 和 C_{ob} 分别为缓冲级的等效电阻与等效电容。由于 R_{ob} 值较小，因此将 P_3 推向了高频，位于单位增益带宽之外，对整个环路的稳定性没有影响。此外，系

统还含有 2 个零点，其中，Z_1 由零点补偿电路决定，用于补偿极点，由于功率管跨导随负载变化，而零点频率随之变化，故可选取适当的 C_m 让单位增益带宽内只有 1 个极点，使 LDO 系统稳定。

3　电路仿真结果与分析

本文设计的无片外电容 LDO 采用标准 0.18 μm CMOS 工艺，使用 Cadence 软件完成电路与版图设计，利用 Spectre、Virtuoso 等工具进行仿真分析。充分考虑电路的对称、匹配及噪声隔离等多个方面后，对 LDO 的整体版图绘制如图 4 所示，尺寸为 276 μm×139 μm，电源电压为 3.3 V，空载静态电流为 9.4 μA。

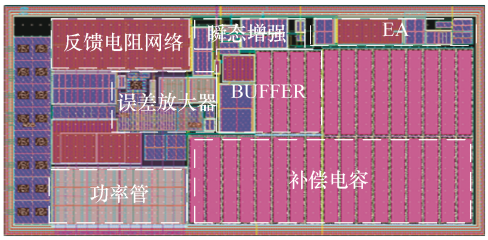


图 4　无片外电容 LDO 电路版图

Fig. 4 Layout of capacitor-less LDO circuit

针对 LDO 进行后仿真，考虑工艺参数的影响，选择 TT(typical NMOS，typical PMOS)、FF(fast NMOS，fast PMOS)、SS(slow NMOS，slow PMOS) 3 种工艺角进行仿真，确保仿真的全面性。图 5 为不同工艺角下输入电压范围的仿真曲线，电源电压从 0~4 V 扫描输入，负载电流为 50 mA，LDO 的输出电压如图所示，可以看出在 U_{DD} 为 1.6 V 时，LDO 稳定输出 1.501 V，最小压差仅为 99 mV。

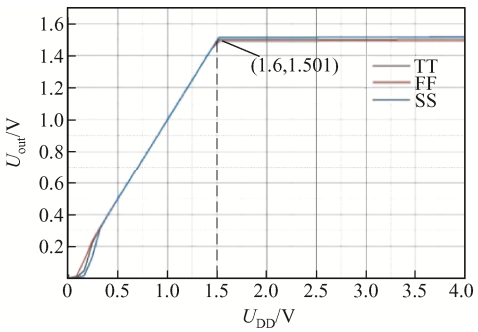
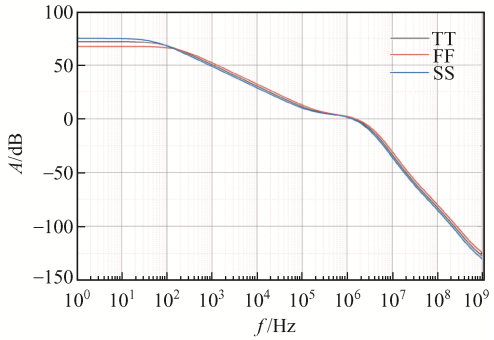


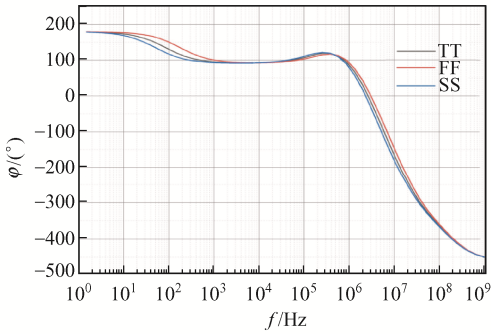
图 5　输入电压范围仿真曲线

Fig. 5 Simulation curves in input voltage range

图 6、图 7 为不同工艺角、不同负载电流下的



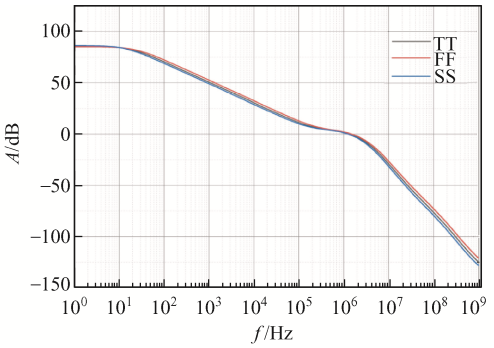
(a) 空载幅频特性曲线



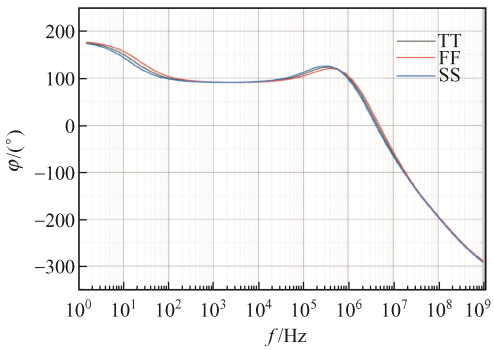
(b) 空载幅相特性曲线

图 6　空载稳定性仿真曲线

Fig. 6 Simulation curves for no-load stability



(a) 满载幅频特性曲线



(b) 满载幅相特性曲线

图 7　满载稳定性仿真曲线

Fig. 7 Simulation curves for full-load stability

环路稳定性仿真曲线。图 6 为电源电压为 3.3 V、负载电流为 0 A、频率扫描范围为 1 Hz~1 GHz 下 LDO 的稳定性仿真曲线。可以看出，TT 工艺角下低频环路增益为 71 dB，相位裕度为 62.2°，单位增益带宽为 1 MHz。图 7 为电源电压为 3.3 V、负载电流为 50 mA、频率扫描范围为 1 Hz~1 GHz 下 LDO 的稳定性仿真曲线。负载电流为 50 mA，TT 工艺角下低频环路增益为 86 dB，相位裕度为 86.5°，与理论分析结果吻合，满足稳定性要求。

电源抑制比是衡量电源纹波抑制的重要参数，用来描述电源变化传递到输出信号的能力。图 8 为不同工艺角下电源抑制比仿真曲线，电源电压为 3.3 V，负载电流为 50 mA，交流电压为 1 V，频率扫描范围为 1 Hz~1 GHz。可以看出 TT 工艺角低频段的电源抑制比为−70.7 dB，可以将 100 mV 的纹波衰减到 28.6 μV，在 100 kHz 处电源抑制比为 −20.2 dB。因此，在较宽的频率范围内，LDO 电路具有较好的电源纹波抑制能力。

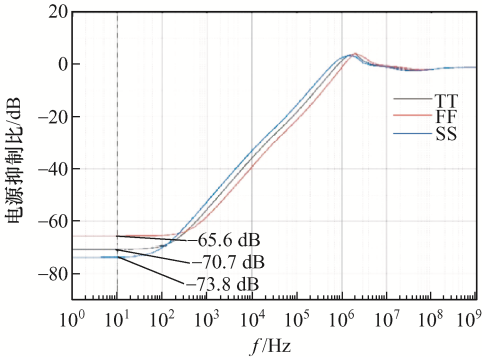


图 8 电源抑制比仿真曲线

Fig. 8 Simulation curves for power supply rejection ratio

图 9 为负载瞬态响应仿真曲线，输入电压为 3.3 V，负载电流从 0~50 mA 在 1 μs 的时间内进行跳变，测量 LDO 的输出电压。图 9(a)为负载电流曲线，图 9(b)与图 9(c)分别加入无瞬态增强电路前、后的仿真曲线。可以看出当负载从轻载向重载变化时，加入瞬态增强电路前，输出电压的最大下冲电压为 102 mV，而加入瞬态增强电路后，输出电压的最大下冲电压为 55 mV，下冲电压减小了 47 mV，恢复时间为 1.7 μs。当负载从重载向轻载

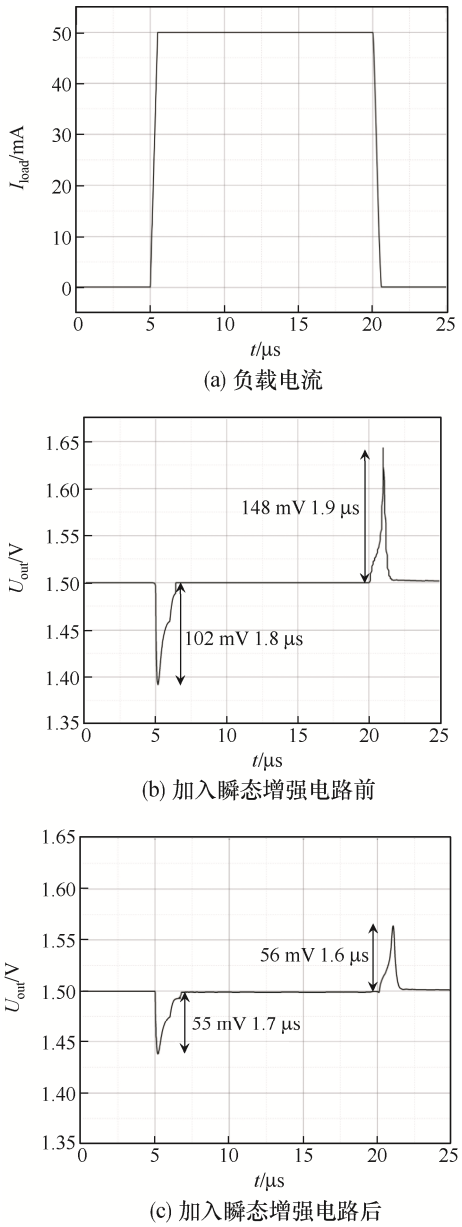


图 9 负载瞬态响应仿真曲线

Fig. 9 Simulation curves of load transient response

变化时，加入瞬态增强电路前，输出电压的最大过冲电压为 148 mV，而加入瞬态增强电路后，输出电压的最大过冲电压为 56 mV，过冲电压减小了 92 mV，恢复时间为 1.6 μs。

图 10 为限流保护仿真波形，输入电压为 3. 3V，负载电流设置为 0~120 mA、线性上升，扫描时间为 0~1.5 ms，测量功率管栅极电压 U_g。可以看出随着负载电流增大，U_g 变小。当负载电流增大到 120 mA 时，U_g 被钳位在 3.2 V，功率管的输出电流限制在 120 mA。

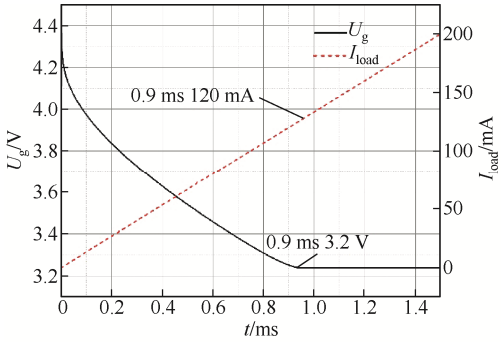


图 10　限流保护仿真曲线

Fig. 10 Simulation curves for current-limiting protection

表 1 为本文设计的 LDO 与近年来相关文献的性能仿真结果对比。从表中数据可以看出，本文设计的无片外电容 LDO 在静态电流为 9.4 μA 的情况下，过冲电压与下冲电压仅为 56 mV 和 55 mV，性能优于文献[2]、[3]、[4]、[5]、[8]，与文献[7]相近，但文献[7]、[13]的负载调整率较差。与文献[12]对比，文献[12]的静态电流过大，为 700.0 μA，但其在 1 MHz 处的电源抑制比为 60 dB，性能较好，而本文的 LDO 因考虑低功耗设计，未对电源抑制比进行针对性改善。

表 1　与其他文献的 LDO 的性能对比

Tab. 1 Comparison of performance with LDOs in other references

文献	工艺/μm	输出电压/V	压差/mV	负载电流/mA	静态电流/μA	线性调整率/(mV·V^{-1})	负载调整率/(μV·mA^{-1})	电源抑制比/dB	过冲电压/mV	下冲电压/mV	调整时间/μs
[2]	0.18	1.2	200	1~100	1.0	0.372	3.50	−60.5@1kHz	162	133	1.00
[3]	0.18	1.0	200	0~100	2.3	—	—	—	76	129	2.16
[4]	0.13	1.0	200	0~50	42.0	0.300	10.00	−64@1kHz	80	140	0.30
[5]	0.11	1.2	100	0~50	35.0	7.625	—	—	169	170	3.00
[7]	0.09	0.9	100	0~50	9.3	14.000	82.00	−54@10kHz	45	65	—
[8]	0.13	0.4~1.1	100	0.1~100	21.0	—	150.00	−30@10kHz	40	89	—
[12]	0.18	1.15	650	10	700.0	11.750	6.80	−60@1MHz	25	25	0.01
[13]	0.18	1.2	200	150	13.5	7.785	75.00	−30@100Hz	—	17	2.00
本文	0.18	1.5	100	0~50	9.4	0.740	35.54	−71@100Hz	56	55	1.70

4　结语

本文基于 0.18 μm CMOS 工艺，设计了 1 种低功耗瞬态增强的无片外电容型 LDO，针对低功耗下瞬态响应差的问题，提出了 1 种新型的瞬态增强电路，该电路可以检测输出电压的瞬态变化，为功率管栅极提供额外的充放电电流，提升电路的瞬态能力。针对芯片电流过大导致损坏的问题，设计了过流保护电路，进一步提高了电路可靠性。仿真结果表明，该 LDO 在 1.6~4.0 V 的输入电压范围内输出电压为 1.5 V，静态电流为 9.4 μA，负载电流在 0~50 mA 范围内变化，LDO 的输出过冲电压和下冲电压分别为 56 mV 和 55 mV。本文设计的无片外电容型 LDO 稳定性高、功耗低，可为 ADC、OSC 等多种模块或系统提供稳定的电源电压。

参考文献：

[1] 王忆, 何乐年. CMOS 低压差线性稳压器[M]. 北京: 科学出版社, 2012: 1-5, 203-210.
Wang Yi, He Lenian. CMOS Low Dropout Linear Regulator [M]. Beijing: Science Press, 2012: 1-5, 203-210. (in Chinese)

[2] 刘云超, 陈敏, 刘云涛, 等. 低功耗自适应偏置无片外电容低压差稳压器[J]. 湖南大学学报(自然科学版), 2018, 45(10): 93-101.
Liu Yunchao, Chen Min, Liu Yuntao, et al. Low-power adaptively biased output-capacitor-free low-dropout regulator [J]. Journal of Hunan University (Natural Sciences), 2018, 45(10): 93-101. (in Chinese)

[3] Yang Hao, Huang Shengming, Duan Quanzhen. Low-power LDO design of high-efficiency class AB OTA based on adaptive biasing [J]. Journal of Physics: Conference Series, 2021, 1754(1): 012058.

[4] Lavalle-Aviles F, Torres J, Sánchez-Sinencio E. A high power supply rejection and fast settling time capacitor-less LDO [J]. IEEE Transactions on Power Electronics, 2019, 34(1): 474-484.

[5] 曾范洋, 蒋品群, 宋树祥, 等. 一种应用于 SoC 的高稳定性无片外电容 LDO 稳压器[J]. 电子元件与材料, 2022, 41(3): 278-283.
Zeng Fanyang, Jiang Pinqun, Song Shuxiang, et al. A high stable output-capacitor-less LDO regulator for SoC applications [J]. Electronic Components & Materials, 2022, 41(3): 278-283. (in Chinese)

[6] 王超, 姚若河, 邝国华. 一种快速瞬态响应无片外电容 LDO[J]. 微电子学, 2018, 48(5): 625-629.
Wang Chao, Yao Ruohe, Kuang Guohua. A fast transient response capacitor-less low dropout regulator [J]. Microe-lectronics, 2018, 48(5): 625-629. (in Chinese)

[7] Ho M, Leung K N, Mak K L. A low-power fast-transient 90-nm low-dropout regulator with multiple small-gain stages [J]. IEEE Journal of Solid-State Circuits, 2010, 45(11): 2466-2475.

[8] Yang Chao, Ye Kaixuan, Tan Min. A 0.5-V capless LDO with 30-dB PSRR at 10-kHz using a lightweight local generated supply [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(10): 1785-1789.

[9] 宋猛, 吴红飞, 吴嘉昊, 等. 低冗余高可靠模块化输入并联输出串联电源系统及其控制方法[J]. 电工技术学报, 2024, 39(6): 1898-1906.
Song Meng, Wu Hongfei, Wu Jiahao, et al. Low redundancy high reliability modular input-parallel output-series power system and control method [J]. Transactions of China Electrotechnical Society, 2024, 39(6): 1898-1906. (in Chinese)

[10] 尚俊杰, 曹太强, 林轩, 等. 一种新型车载充电 DC-DC 变换器的变论域模糊 PI 预测控制[J]. 电源学报, 2025, 23(6): 76-85.
Shang Junjie, Cao Taiqiang, Lin Xuan, et al. Variable universe fuzzy PI predictive control for novel on-board charging DC-DC converters [J]. Journal of Power Supply, 2025, 23(6): 76-85. (in Chinese)

[11] 程铁栋, 谈泽辉, 许立军, 等. 一种具有快速瞬态响应的无片外电容低压差线性稳压器[J]. 电源学报, 2025, 23(6): 105-113.
Cheng Tiedong, Tan Zehui, Xu Lijun, et al. Output-capacitorless LDO regulator with fast transient response [J]. Journal of Power Supply, 2025, 23(6): 105-113. (in Chinese)

[12] Manikandan P, Bindu B. High-PSR capacitorless LDO with adaptive circuit for varying loads [J]. Journal of Circuits, Systems and Computers, 2020, 29(11): 2050178.

[13] Ming Xin, Liang Hua, Zhang Zhiwen, et al. A high-efficiency and fast-transient low-dropout regulator with adaptive pole tracking frequency compensation technique [J]. IEEE Transactions on Power Electronics, 2020, 35(11): 12401-12415.



唐俊龙

作者简介：

唐俊龙(1973—)，男，通信作者，博士，副教授。研究方向：集成电路芯片设计。E-mail: tangjl625@163.com。

于澈(1996—)，男，硕士。研究方向：模拟集成电路设计。E-mail：841641572@qq.com。

关浩(1997—)，男，硕士。研究方向：模拟集成电路设计。E-mail：1476078088@qq.com。

邹望辉(1978—)，男，博士，副教授。研究方向：模拟、混合集成电路设计。E-mail：zouwh@csust.edu.cn。

喻华(1983—)，男，本科。研究方向：集成电路芯片设计。E-mail：yuh@synwit.cn。

(责任编辑：孙美菊)