DOI：10.13234/j.issn.2095-2805.2026.3.11 **中图分类号**：TM46 **文献标志码**：A

基于差值损耗的谐振 DC-DC 变换器中集成磁件磁心损耗测量方法

高晓光[1](中国电源学会会员)，杨金旭[2]
(1.中兴通讯股份有限公司，深圳 518052；2.浙江大学电气工程学院，杭州 310027)

摘要：DC-DC 谐振变换器中磁性元件的损耗和体积占比接近 50%，严重制约了高频变换器功率密度的提升。磁集成技术可以降低磁件损耗、减小磁件体积，因此得到广泛研究和应用。但是传统磁损测量方法无法对集成谐振电感和变压器磁件的磁心损耗进行准确、便捷地测量和评估，给磁心损耗的优化带来了困难。通过对集成磁件磁通分布的分析，提出了在谐振拓扑中额外并联辅助集成磁件，测试系统前后损耗差值来得到集成磁件磁心损耗的方法，同时给出了辅助磁件的参数设计方法。该方法可以较准确、便捷地测得集成磁件在电路实际工况下的磁心损耗，仿真和实验结果验证了所提集成磁件磁损测量方法的有效性。

关键词：集成磁件；磁心损耗；磁通分布；高频谐振变换器

Magnetic Core Loss Measurement Method for Integrated Magnetic Components in Resonant DC-DC Converter Based on Loss Difference

GAO Xiaoguang[1], *Member*, *CPSS*, YANG Jinxu[2]
(1. ZTE Communications Co., Ltd., Shenzhen 518052, China; 2. College of Electrical Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: The loss and volume of magnetic components in resonant DC-DC converters account for nearly 50%, which seriously restricts the improvement of power density in high-frequency converters. The magnetic integration technology can reduce the loss and volume of magnetic components, so it has been widely studied and applied. However, the traditional magnetic loss measurement methods cannot accurately and conveniently measure and evaluate the magnetic core loss of magnetic components in integrated resonant inductors and transformers, causing difficulties in the optimization of magnetic core loss. In this paper, the magnetic flux distribution in integrated magnetic components is analyzed, and a method is proposed to obtain the magnetic core loss of integrated magnetic components by testing the difference in losses before and after adding auxiliary integrated magnetic components in parallel in a resonant topology. At the same time, a parameter design method for auxiliary magnetic components is also put forward. This method can accurately and conveniently measure the magnetic core loss of integrated magnetic components under actual circuit conditions. Simulation and experimental results verified the effectiveness of the proposed magnetic loss measurement method for integrated magnetic components.

Keywords: Integrated magnetic components; magnetic core loss; flux distribution; high-frequency resonant converter

小型化、轻量化是车载充电机 OBC(on-board charger)不断追求的性能指标。得益于 SiC 和 GaN 等宽禁带半导体的发展，变换器的开关频率可由传统的百千赫兹(kHz)提升至兆赫兹(MHz)等级，无源元件的体积得以有效减小，从而大幅提升 OBC 的功率密度。采用软开关拓扑可以大幅减小高频下器件的开关损耗，常见的软开关拓扑包括 LC 串联谐

收稿日期：2023-08-13；**修回日期**：2023-09-17，2023-10-09；**录用日期**：2023-10-14；**网络首发日期**：2024-01-26

振电路、LLC 串并联谐振电路、CLLC 谐振电路等[1-3]。谐振电路中通常涉及 2 个甚至多个谐振电感器件，为了进一步减小磁性元件的体积，可以使用磁集成技术[4]。本文的研究对象为 CLLC 电路中谐振电感和变压器的集成磁件。

在磁件的集成与优化设计时，对磁件磁心损耗的准确评估至关重要，然而目前对于集成磁件的磁心损耗尚缺乏既便捷又相对准确的评估方案。目前磁件损耗的评估方法主要可分为计算和测试 2 类。部分文献对磁心的损耗进行了建模计算：基于斯坦梅兹方程，对其不断修正和优化，以使该方程满足任意波形激励下的损耗，使得磁心损耗计算方程更加简化和具有普适性[5-11]。然而，目前磁心材料厂家提供的数据手册中的磁心损耗密度是使用标准磁环且基于正弦波电流激励测定的数据，开关电源中的磁件通常受到三角波等其他非正弦波形的电流励磁，会引起磁心损耗的计算值与电路工作中的实际值有较大偏差。实验测量的方式可以有效避免上述计算过程导致的偏差问题。一种测量方法是加设开路的辅助绕组测试其开路电压，同时测量被测磁件流过的电流，对测得的电压和电流进行积分等处理后可以得到磁心损耗[12-13]，但是上述方法仅针对单一电感或变压器结构适用。另一种方法是量热法，即利用被测磁件工作时对热工质引起的温升来反推磁件的损耗[14-15]，但是该方法一方面需要剥离绕组导通损耗导致的温升，容易引入额外误差；另一方面搭建标准热测试平台复杂且成本高。第三种方法是差值损耗法，在待测磁件上并联与之磁心损耗相同的辅助磁件，通过测量并联前后的损耗差别来得到磁心损耗[16]，该方法操作简单，但是现有方案仅针对单一电感的磁心损耗进行了研究，对集成磁件磁心损耗测量方案的探讨和研究仍然缺乏。

针对目前集成磁件磁心损耗缺乏简便有效的测试方法的问题，本文基于差值损耗分析的思路，提出了集成磁件磁心损耗的测试方法；同时为了减小实际应用时的测试误差，对负载匹配和损耗修正进行了建模分析；最后搭建样机，基于所提出的测试方法对集成磁件磁心损耗进行了实验测试。

1 所提出的集成磁件磁心损耗测试方法

1.1 所提出的集成磁件磁心损耗测试电路及基本原理

本文研究的电路拓扑基于 CLLC 串并联谐振电路，其电路原理如图 1 所示，谐振电感和变压器为一体集成磁元件。为了测量集成磁件的磁心损耗，本文提出了改进的差值损耗测量方法，其测量电路如图 2 所示，将集成磁件一、二次绕组同时与额外辅助磁件一、二次侧并联，测试并联辅助集成磁件前后的总损耗差值得到原有集成磁件的磁心损耗。作为集成磁件，与单个变压器或电感的不同点在于集成磁件的不同磁柱中所流经的磁通可能为单一磁件的磁通或者多个分立磁件磁通的叠加形式，该磁通分布由一、二次绕组共同决定，因此所提方案待测主磁件一、二次绕组端口同时与辅助磁件一、二次绕组端口并联，以保证辅助磁件与主磁件具有相同的电路等效模型，进而通过参数设计

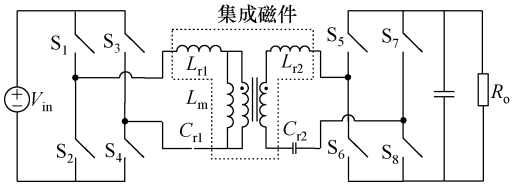


图 1 本文所研究的 CLLC 谐振电路

Fig. 1 CLLC resonant circuit studied in this paper

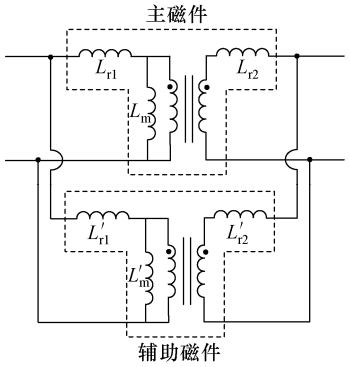


图 2 所提出的集成磁件磁心损耗测试电路

Fig. 2 Proposed magnetic core loss test circuit for integrated magnetic components

使得辅助磁件磁通分布与待测主磁件完全相同。值得一提的是，本文所涉及磁件的电路原理图是集成磁元件及相关电路的简化电路模型，并非是考虑损耗的磁元件物理模型与电路模型的准确对照。该图示的主要目的是分析并联辅助磁元件前后各等效电感支路的电感电压和电流，而绕组的电压、电流基本决定于负载和绕组的感抗，绕组等效串联电阻的影响很小，在绕组电压、电流误差可以忽略的情况下，集成磁件简化成了仅含电感的模型。

由于辅助磁件端口分别并联在主磁件两端时，仅能保证辅助磁件绕组进出端口处总的励磁电压与主磁件一致，因此要保证所有磁柱磁通均相同，需要使得辅助磁件不同磁柱与主磁件对应磁柱绕组励磁电压分别相同。在所研究的开关频率下，磁件绕组的等效串联电阻阻抗相比于感抗可以忽略，因此绕组各部分分压将由电感的感抗决定，由此可以推导出电路中电感的励磁电压与感抗成正比关系，需要满足

$$\begin{bmatrix} L'_{\mathrm{r1}} \\ L'_{\mathrm{r2}} \\ L'_{\mathrm{m}} \end{bmatrix} = k \begin{bmatrix} L_{\mathrm{r1}} \\ L_{\mathrm{r2}} \\ L_{\mathrm{m}} \end{bmatrix} \tag{1}$$

式中：k 为辅助磁件电感感量增大的比例系数；L_{r1}、L_{r2} 和 L_{m} 为主磁件对应电路“T”模型中的电感分布；L'_{r1}、L'_{r2} 和 L'_{m} 为辅助磁件对应电路“T”模型中的电感分布。在相同的开关频率下，电感感抗对应成相同比例，因此辅助磁件各部分等效电感的分压将与主磁件完全一致，即

$$\begin{bmatrix} u'_{L_{\mathrm{r1}}} \\ u'_{L_{\mathrm{r2}}} \\ u'_{L_{\mathrm{m}}} \end{bmatrix} = \begin{bmatrix} u_{L_{\mathrm{r1}}} \\ u_{L_{\mathrm{r2}}} \\ u_{L_{\mathrm{m}}} \end{bmatrix} \tag{2}$$

式(2)中电压为集成磁件电路模型中各部分等效电感的电压幅值，如图 3 和图 4 所示。辅助磁件的绕组和磁心结构与主磁件一致，等效电感的分布情况也相同，等效电感的分压将与主磁件完全相同，因此辅助磁件的磁通分布与主磁件完全一致，两者磁心损耗相同。同时，并联的辅助磁件电感量在远大于主磁件电感量(即 $k \gg 1$)时，辅助磁件的阻抗远大于主磁件，两者并联时辅助磁件分得的电流远小于主磁件，流经辅助磁件的电流造成的损耗可以忽略，因此可以认为并联符合上述条件的辅助磁件后，变换器增加的损耗就是主磁件的磁心损耗。在相同工况下通过测试并联辅助磁件前后变换器的总损耗，得到的损耗差就是原有电路工况下集成磁件的磁心损耗。

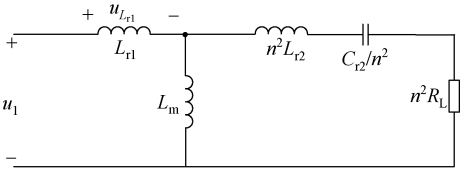
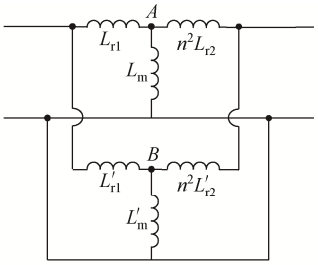
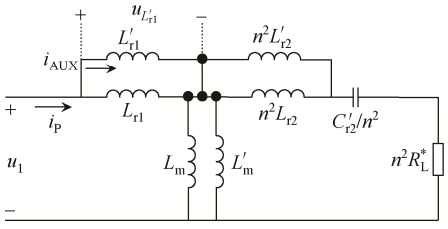


图 3　待测集成磁件简化电路结构

Fig. 3 Simplified circuit structure with integrated magnetic components under test



(a)并联磁件经变压器折算后的电路原理图



(b)并联磁件且负载折算后的简化电路图

图 4　并联辅助磁件后的电路原理

Fig. 4 Schematic of circuit with auxiliary magnetic components in parallel

1.2 并联辅助磁件的参数设计

由于所提出的集成磁件磁心损耗测试电路在实际应用时辅助磁件感抗无法做到无穷大，因此会有部分电流流过辅助磁件，造成总体损耗与理想损耗分布存在偏差。为了减小该偏差，需要对该测试电路进行进一步分析。向变压器一次侧折算后的简化电路原理图如图 3 所示。由 1.1 节所述可知，由于辅助磁件的各部分等效电感分压与主磁件一致，图 4(a)中 A、B 2 点等电位，因此在电路上等效连

接在一起。将该电路进行简化，负载同时折算到一次侧，可以得到图 4(b)所示的电路原理图。图 3 和图 4 中为了简化分析，忽略了一次绕组端口左侧的开关管网络和谐振电容，用该端口的电压 u_1 和电流代表该端口节点的电气特性，二次侧电气参数向一次侧进行了折算。在简化后的等效电路中主磁件、辅助磁件的一次侧等效谐振电感、二次侧等效谐振电感及励磁电感分别并联，两侧的谐振电容与所集成的单侧等效电感分别匹配在谐振点。由并联电感的分流情况可知，辅助磁件的支路电流与谐振腔流过的总电流的幅值比例可表示为

$$i_{\mathrm{AUX}}=\frac{1}{k+1}i_{\mathrm{P}} \tag{3}$$

式中：i_{AUX} 为流过辅助磁件的电流幅值；i_{P} 为一次绕组的总电流幅值。

实际应用时 k 无法做到无穷大，在负载不变的情况下，辅助磁件的分流导致流经主磁件的电流减小，一方面导致主磁件的导通损耗明显减小，同时等效谐振电感的伏秒减小，导致集成磁件中不同磁柱的磁通大小与原有集成磁件相比发生变化，进而导致磁心损耗改变；另一方面辅助磁件的电流也会引起部分导通损耗。接下来对并联辅助磁件后电路的电压和电流情况进行定量分析。

图 3 为原有集成磁件电路简化后的原理图，电路工作在谐振点时谐振腔阻抗近似为 0，负载电阻可等效后直接与励磁电感并联在回路中分压，因此原有电路主磁件一次侧等效谐振电感的电压幅值可表示为

$$u_{L_{\mathrm{r1}}}=\frac{Z_{L_{\mathrm{r1}}}}{\dfrac{Z_{L_{\mathrm{m}}}n^2R_{\mathrm{L}}}{Z_{L_{\mathrm{m}}}+n^2R_{\mathrm{L}}}+Z_{L_{\mathrm{r1}}}}u_1 \tag{4}$$

式中：$Z_{L_{\mathrm{r1}}}$ 为谐振电感 L_{r1} 的阻抗，$Z_{L_{\mathrm{r1}}}=\omega L_{\mathrm{r1}}$，$\omega$ 为角频率；$Z_{L_{\mathrm{m}}}$ 为励磁电感 L_{m} 的阻抗，$Z_{L_{\mathrm{m}}}=\omega L_{\mathrm{m}}$；$R_{\mathrm{L}}$ 为负载电阻；n 为集成磁件的匝比；u_1 为一次绕组端口电压幅值。同理，在并联辅助磁件后，一次侧等效谐振电感的电压幅值可表示为

$$u'_{L_{\mathrm{r1}}}=\frac{Z^*_{L_{\mathrm{r1}}}}{\dfrac{Z^*_{L_{\mathrm{m}}}n^2R^*_{\mathrm{L}}}{Z^*_{L_{\mathrm{m}}}+n^2R^*_{\mathrm{L}}}+Z^*_{L_{\mathrm{r1}}}}u_1 \tag{5}$$

式中：$Z^*_{L_{\mathrm{r1}}}$ 为主磁件和辅助磁件并联后的等效一次侧谐振电感阻抗，$Z^*_{L_{\mathrm{r1}}}=\omega L_{\mathrm{r1}}//\omega L'_{\mathrm{r1}}$；$Z^*_{L_{\mathrm{m}}}$ 为主磁件和辅助磁件并联后的等效励磁电感感抗，$Z^*_{L_{\mathrm{m}}}=\omega L_{\mathrm{m}}//\omega L'_{\mathrm{m}}$；$R^*_{\mathrm{L}}$ 为并联辅助磁件后的负载电阻。为了保证并联辅助磁件后主磁件的磁心损耗相较于原有电路保持不变，需要保证 $u_{L_{\mathrm{r1}}}=u'_{L_{\mathrm{r1}}}$，由式(2)、式(4)和式(6)可以推导出并联辅助磁件后的负载电阻需要满足

$$R^*_{\mathrm{L}}=R_{\mathrm{L}}\frac{Z^*_{L_{\mathrm{m}}}}{Z_{L_{\mathrm{m}}}}=R_{\mathrm{L}}\frac{k}{k+1} \tag{6}$$

由以上推导可知，要保证并联辅助磁件前后待测磁元件等效电路各部分电压分配不变，需要保证并联辅助磁件后的负载按照式(6)进行匹配。负载按照式(6)匹配，虽然保证了并联辅助磁件后待测磁件的电气性能不变，但是该负载变化会导致变换器一、二次侧开关管导通回路的电流增大，负载变化引起的磁件以外的损耗增加需要进一步分析。具体来看，导通电流的增加会导致开关器件开关损耗和导通损耗增加，但由于开关管基本处于软开关状态，开关损耗可近似忽略，因此增大的电流仅造成开关管增加小部分导通损耗，该部分损耗可以通过计算进行修正。而辅助磁件流过的电流很小，引起的辅助磁件绕组导通损耗可以忽略。因此，测试得到的损耗差值修正掉开关管导通损耗的变化，即可得到原有集成磁件的磁心损耗为

$$P_{\mathrm{Core}}=P_{\mathrm{Parallel}}-P_{\mathrm{Original}}-P_{\mathrm{MOS}} \tag{7}$$

式中：P_{Core} 为集成磁件的磁心损耗；P_{Parallel} 为并联辅助磁件后的电路总损耗；P_{Original} 为原有电路的总损耗；P_{MOS} 为并联辅助磁件后由于负载增大引起的开关管增加的损耗。

1.3 仿真验证

本文所研究集成磁件的绕组和磁心的剖面结构示意图如图 5 所示。一、二次绕组绕制在磁柱 A、B、C 上，磁柱 A 和磁柱 B 上一、二次绕组电流反

向，该绕组为等效变压器绕组；磁柱 C 上一、二次绕组电流同向，绕组为等效谐振电感绕组。不同磁柱的磁通差异明显，磁柱 C 流通等效谐振电感磁通，而磁柱 A 和磁柱 B 流通叠加的等效励磁磁通和谐振电感磁通。本文所要测试的集成磁件是基于 PCB 绕组的平面集成磁件，其 3D 结构示意图如图 6 所示。

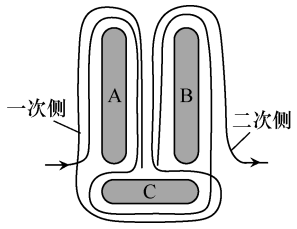


图 5　集成磁件绕组结构示意

Fig. 5 Schematic of winding structure of integrated magnetic components

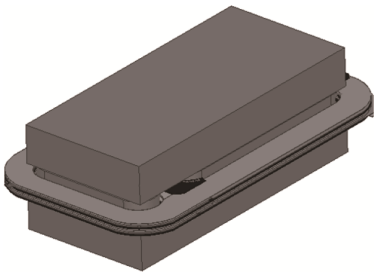
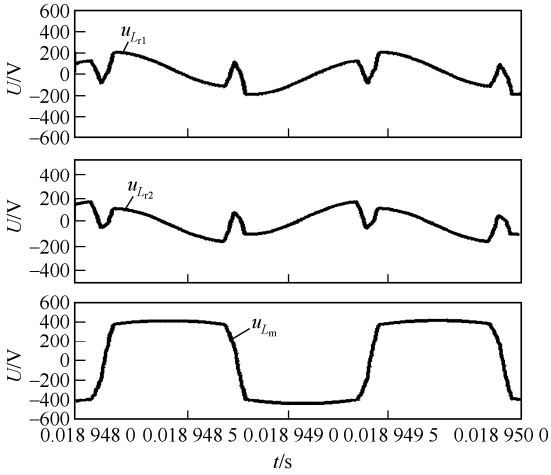


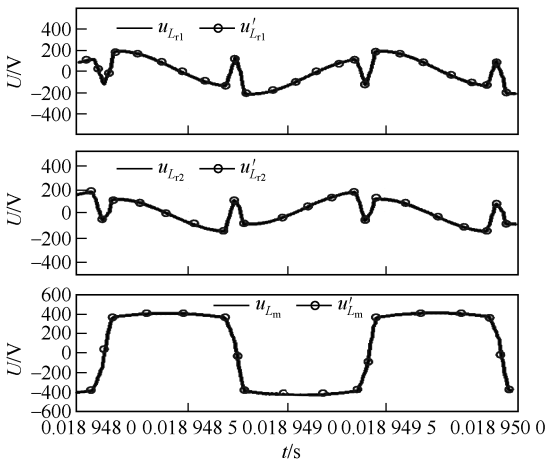
图 6　平面集成磁件 3D 示意图

Fig. 6 3D view of planar integrated magnetic components

为了对上述所提出的集成磁件磁心损耗测试方案进行验证，本文进行了电路仿真和磁仿真。仿真电路原理与图 4 一致，本文取辅助磁件的电感量系数 $k=10$，在输入电压为 400 V、开关频率为 750 kHz、负载为 2 kW 的情况下，并联辅助磁件前后主磁件及辅助磁件各部分的电感分压如图 7 所示。图 7(a)为原有磁件各部分的电感分压，图 7(b)为并联辅助磁件后主磁件和辅助磁件各部分的电感分压。从电路仿真结果可以看出，并联辅助磁件前后主磁件各部分的电感分压保持不变(曲线完全重合)，同时并联辅助磁件后主磁件与辅助磁件各部分电感分压也相同，因此相对于并联辅助磁件前，并联辅助磁心后总的磁心损耗加倍。图 7 的谐振电感电压波形在开关管导通的 1/2 周期内为较为理想的正弦波，而从整个周期来看与正弦波相差较大，其原因主要是死区时间内电路谐振状态由谐振电感和谐振电容谐振变为谐振电感与开关管、变压器等的寄生电容谐振，谐振周期明显变小，导致死区时间谐振电感电压发生明显畸变；同时，该死区时间内的高频谐振导致接下来开关管导通的另外 1/2 周期谐振电感电压初始值发生变化，无法与前 1/2 周期开关管关断时刻的电压连续衔接。



(a)待测磁件各部分的电感分压



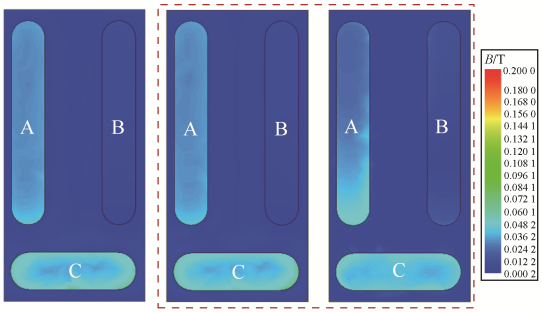
(b)并联辅助磁件后的电压分配

图 7　磁件端口电压仿真结果

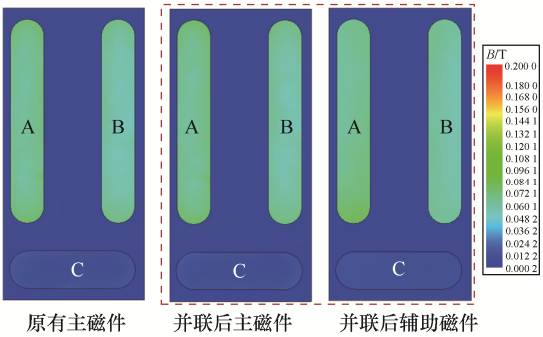
Fig. 7 Simulation results of port voltage of magnetic components

同时，本文对集成磁结构进行了仿真验证。图 8(a)和(b)分别为谐振点满载条件下在谐振电流最大时刻和励磁电流最大时刻主磁件和辅助磁件的磁通分布情况。可以看出，并联辅助磁件前后，辅助磁件的磁通分布与主磁件的磁通分布基本一致，验证了本文所设计集成磁件磁心

损耗测试方案可以使并联辅助磁件后的磁心损耗加倍。



(a) 等效谐振电感电流峰值时刻磁密分布



(b) 等效励磁电感电流峰值时刻磁密分布

图 8 磁通分布仿真对比

Fig. 8 Comparison of simulated flux distribution

2 实验测试及磁心损耗修正

基于 CLLC 谐振电路搭建了 1 台 DC-DC 变换器样机，如图 9 所示，对所设计的谐振电感和变压器集成磁件进行了实验测试。输入电压为 400 V，关键电路元器件及集成磁件主要规格/参数见表 1。

表 1 样机元器件及集成磁件关键参数

Tab. 1 Key parameters of devices in prototype and integrated magnetic components

器件/参数	规格/数值
开关管	GSS66516B
开关频率/ kHz	750
磁心材料	DMR51W (3 磁柱结构，定制品)
等效一次侧/二次侧/电感匝数	8/7/8
等效谐振电感 L_p、L_s/μH	23.9、18.6
辅助磁件电感系数 k	10

考虑死区时间后变换器谐振点的开关频率约为 750 kHz，主磁件为平面磁结构，绕组采用 8 层 PCB 板来实现。由于辅助磁件的各部分等效电感感量是主磁件的 10 倍，因此流过辅助磁件的电流为主磁件的 1/10，引起的辅助磁件绕组的导通损耗近似为主磁件的 1/100，在基本不影响测试结果的情况下辅助磁件的导通损耗可以忽略。由于磁心结构不能变化，绕组匝数的增加会导致磁心磁密的变化，因此在实际操作过程中为了使辅助磁件的电感量明显大于待测磁件，只能通过增大有效磁导率来增大辅助磁件各支路的电感量。具体实施方式为通过减小各个磁柱上的气隙长度，实现磁路等效磁导率的变大，从而增加辅助磁件的电感量。该做法操作简单，但也有局限性，如果原有主磁件的磁路气隙很小，磁心的磁阻不能忽略时，气隙的减小对电感量的增加有限，难以保证辅助磁件的电感量远大于主磁件，可能导致测试误差增加。

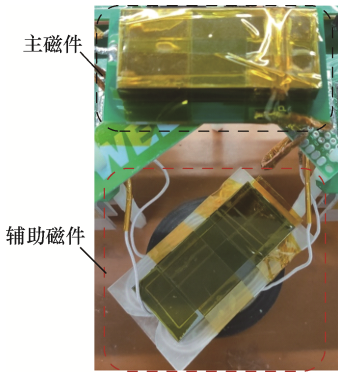


图 9 并联集成磁件测试平台

Fig. 9 Testing bench for integrated magnetic components in parallel

图 10 为负载为 2 kW 时电路中并联主磁件前后一次侧谐振腔电流 i_p、开关管 S_2 的驱动电压 V_{ds2} 及开关管 S_2 的漏源电压 V_{gs2} 的波形。可以看出，开关管实现了良好的软开通。同时，由于负载的匹配，使得并联辅助磁件前后流过主磁件的电流波形基本一致，因此可以保证并联辅助磁件前后集成磁件的工况保持不变。为了给所提出的测试方案提供更充分的实验支撑，本文补充了相关实验测试结果以进一步验证。测试磁心的磁通密度难以直接测量，但是磁心的磁通与电压激励一一对应，因此各个磁柱上绕组的电压激励能直观反映磁心中的磁密大

小。因此，测试时在 3 个磁柱上分别绕制 1 匝开路测试绕组，通过测试不同磁柱上绕组的端口电压波形是否相同来验证磁密是否一致。测试结果如图 11 所示，可见待测磁件与辅助磁件对应磁柱的电压激励几乎一致，因此对应磁柱的磁密也相同。

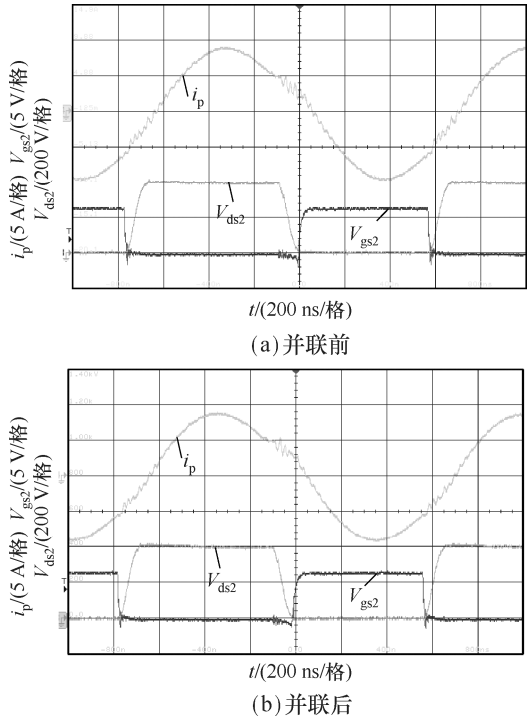


图 10　并联辅助磁件前后电路关键波形

Fig. 10 Key waveforms of circuit before and after paralleling with auxiliary magnetic components

并联辅助磁件测试时，由于辅助磁件并联会引起总的等效谐振电感减小为原来的 10/11 左右，为了保证谐振腔工作状态不变，实际操作时谐振电容也同步按对应比例进行了增大。并联辅助磁件测试时，并联辅助磁件流过的电流为原有磁件的 1/10 左右，在绕组上引起的额外导通损耗为原有导通损耗的 1/100，该部分损耗小于 0.2 W，在计算中基本可以忽略。同时，并联辅助磁件时，负载同时进行了相应匹配，导致磁件外的电路部分电流增大为原来的 1.1 倍左右，这会引起一、二次侧开关器件的损耗增加。增加的损耗包含 2 部分，一部分是一次侧开关器件的开关损耗，另一部分是一、二次侧开关器件的导通损耗。对于一次侧的开关损耗，CLLC 谐振电路在谐振点处的关断电流为励磁电流峰值

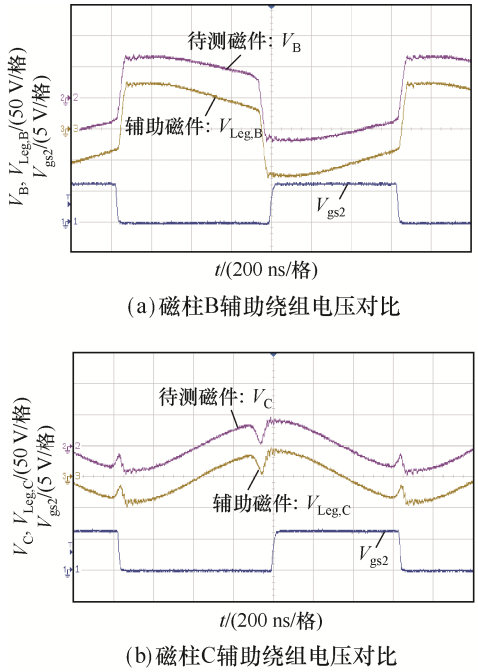


图 11　磁件辅助绕组电压测试结果

Fig. 11 Testing results of auxiliary winding voltage of magnetic components

电流，与负载电流无关，该关断电流由于并联了励磁电感，因此其值增加 1/10，根据所选用的开关器件进行计算，其表达式为

$$P_{SW} = E_{off} f_s \tag{8}$$

式中：P_{SW} 为一次侧的开关损耗；E_{off} 为开关管单次关断的能量损耗；f_s 为开关频率。经计算，原始电路中关断损耗为 4.1 W 左右，增加的关断损耗为 0.4 W 左右。

对于一次侧开关器件的导通损耗，根据焦耳定律计算，其表达式为

$$P_{MOS_{con}} = (I_{P1}^2 - I_{P0}^2) R_{ds} \cdot 2 \tag{9}$$

式中：$P_{MOS_{con}}$ 为一次侧开关器件的导通损耗；I_{P0} 为并联辅助磁件前一次侧谐振腔的电流有效值；I_{P1} 为并联辅助磁件后一次侧谐振腔的电流有效值；R_{ds} 为一次侧开关管导通电阻。

二次侧的整流管导通损耗计算公式为

$$P_{D_{con}} = (I_{S1} - I_{S0}) V_D \cdot 2 \tag{10}$$

式中：$P_{D_{con}}$ 为二次侧的整流管导通损耗；I_{S0} 为并联辅助磁件前二次侧整流的电流平均值；I_{S1} 为并联辅助磁件后二次侧整流的电流平均值；V_D 为二

次侧整流管平均导通压降。以满载 2 kW 输出为例，计算可得到一、二次侧增加的导通损耗分别为 1.2 W 和 1.7 W。

图 12 为并联辅助磁件前后测得的损耗曲线，其中三角标号的曲线为原有集成磁件电路的总损耗，圆点标号的曲线为并联辅助磁件后的总损耗。为了使被测集成磁件的工况不变，并联辅助磁件后负载按照式(6)进行了匹配。深色曲线为修正处理后对应原有集成磁件电路工况下的磁心损耗。以输出 2 kW 的负载为例，并联辅助磁件后负载增大 1.1 倍以保证主磁件工况不变，将该工况下前后 2 次测得的样机总损耗作差，再减去由于负载增大导致的开关管导通损耗增加量，就得到负载为 2 kW 时的集成磁件磁心损耗，其对应损耗位置如图 12 中 P1、P2 和 P3 所示。图 12 中同步给出了磁心损耗的计算值，相关损耗参数根据厂家给出的数据手册查询得到。由对比可见，查询数据手册得到的值相比于实测值偏小，该情况主要因为实际磁通在磁心中非理想均匀分布导致磁心损耗增加。

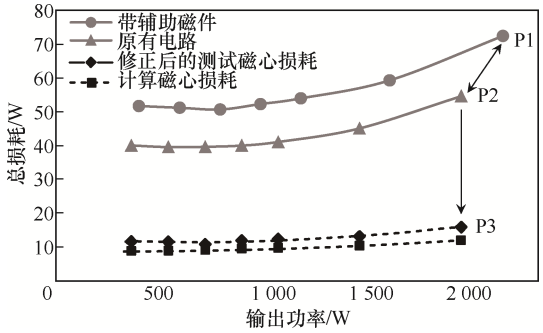


图 12 不同负载下的实测损耗曲线

Fig. 12 Measured loss curves under different loads

3 结语

本文针对目前集成磁件的磁心损耗在实际电路工况难以测量的问题，通过在待测集成磁件一、二次侧端口并联辅助磁件的方式，构建出与主电路集成磁件励磁相同的辅助磁件，基于该结构提出了集成磁件磁心损耗的测试方法。本文采用的差值功率方法与单个磁元件的差值功率测试基本原理一致，都是通过并联辅助磁件测试并联前后样机损耗差值的方法得到磁元件的磁心损耗。相比于单一磁元件的磁损测试，针对集成磁元件的测量方案与之最大的不同在于辅助测试磁元件的并联结构设置与单一磁元件不同，这是由集成磁元件绕组的不完全耦合决定的。具体表现为：耦合良好的变压器或者电感磁心中的磁通可以仅由单一绕组的伏秒决定，因此使用差值功率方法测试损耗时仅通过将单个绕组与待测磁件并联即可；而集成磁元件一、二次绕组不是理想耦合，仅单边绕组不能决定磁心中的磁通分布，因此需要将辅助磁件与待测磁件对应绕组端口全部对应并联才能使待测磁件绕组获得与单一磁件相同的励磁电压，从而保证辅助磁件的磁通与待测磁件一致。在额外并联辅助集成磁件时，辅助磁件的分流导致待测集成磁件损耗发生变化，针对这一问题，本文定量推导了并联辅助磁件后负载的匹配条件，以保证并联辅助磁件后原有电路损耗保持不变。电路和磁仿真结果验证了所提方案的可行性。最后基于所提出的集成磁件磁心损耗测量方法，对设计的磁件进行了实际测试和分析。

参考文献：

[1] Zhao Biao, Song Qiang, Liu Wenhua, et al. Overview of dual-active-bridge isolated bidirectional DC-DC converter for high-frequency-link power-conversion system [J]. IEEE Transactions on Power Electronics, 2014, 29(8): 4091-4106.

[2] Zeng Junming, Zhang Guidong, Yu S S, et al. LLC resonant converter topologies and industrial applications — A review [J]. Chinese Journal of Electrical Engineering, 2020, 6(3): 73-84.

[3] 王弘珺, 郁专, 谢少军. 双向 CLLC 谐振变换器的参数设计方法研究[J]. 电源学报, 2025, 23(1): 11-20, 66.
Wang Hongjun, Yu Zhuan, Xie Shaojun. Study on parameter design method for bi-directional CLLC resonant converters [J]. Journal of Power Supply, 2025, 23(1): 11-20, 66. (in Chinese)

[4] Yang Jinxu, Wu Xinke, Muhammad F, et al. External magnetic field minimization for the integrated magnetics in series resonant converter [J]. IEEE Transactions on

Power Electronics, 2022, 37(1): 498-508.

[5] Agheb E, Høidalen H K. Modification of empirical core loss calculation methods including flux distribution [J]. IET Electric Power Applications, 2013, 7(5): 381-390.

[6] Baguley C A, Carsten B, Madawala U K. The effect of DC bias conditions on ferrite core losses [J]. IEEE Transactions on Magnetics, 2008, 44(2): 246-252.

[7] Muhlethaler J, Biela J, Kolar J W, et al. Core losses under the DC bias condition based on Steinmetz parameters [J]. IEEE Transactions on Power Electronics, 2012, 27(2): 953-963.

[8] Li Jieli, Abdallah T, Sullivan C R. Improved calculation of core loss with nonsinusoidal waveforms [C]// Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting. Chicago, IL, USA, 2002: 2203-2210.

[9] Venkatachalam K, Sullivan C R, Abdallah T, et al. Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters [C]// 2002 IEEE Workshop on Computers in Power Electronics, 2002. Proceedings. Mayaguez, PR, USA, 2003: 36-41.

[10] Barg S, Ammous K, Mejbri H, et al. An improved empirical formulation for magnetic core losses estimation under nonsinusoidal induction [J]. IEEE Transactions on Power Electronics, 2017, 32(3): 2146-2154.

[11] 谷爱昱, 符立泉, 董越. 基于磁路法的分段气隙磁心电感器磁损计算[J]. 电源学报, 2026, 24(2): 10-17.
Gu Aiyu, Fu Liquan, Dong Yue. Core loss calculation of segmented air gap core inductor based on magnetic circuit method [J]. Journal of Power Supply, 2026, 24(2): 10-17. (in Chinese)

[12] Mu Mingkai, Li Qiang, Gilham D J, et al. New core loss measurement method for high-frequency magnetic materials [J]. IEEE Transactions on Power Electronics, 2014, 29(8): 4374-4381.

[13] Barg S, Bertilsson K. Core loss modeling and calculation for trapezoidal magnetic flux density waveform [J]. IEEE Transactions on Industrial Electronics, 2021, 68(9): 7975-7984.

[14] Linkous R, Kelley A W, Armstrong K C. An improved calorimeter for measuring the core loss of magnetic materials [C]// APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition. New Orleans, LA, USA, 2002: 633-639.

[15] 汪晶慧, 陈为. 超低损耗角磁心高频损耗测量方法[J]. 电工技术学报, 2012, 27(11): 133-138.
Wang Jinghui, Chen Wei. High frequency core loss measurement of low loss angle magnetic component [J]. Transactions of China Electrotechnical Society, 2012, 27(11): 133-138. (in Chinese)

[16] 叶建盈, 陈为. 基于差值功率的高频磁芯损耗测量方法及装置[J]. 中国电机工程学报, 2017, 37(16): 4834-4841, 4909.
Ye Jianying, Chen Wei. The method and device based on the differential power for measurement of high-frequency core losses [J]. Proceedings of the CSEE, 2017, 37(16): 4834-4841, 4909. (in Chinese)



高晓光

作者简介：

高晓光(1973—　)，男，中国电源学会会员，通信作者，硕士，高级工程师。研究方向：开关电源的系统架构设计、电路建模、控制方案设计，元器件的参数设计及优化。E-mail：530842609@qq.com。

杨金旭(1990—　)，男，博士，工程师。研究方向：开关电源中的谐振变换器、磁元件等设计及优化。E-mail：yang_jinxu@zju.edu.cn。

(责任编辑：郭凯凯)