DOI：10.13234/j.issn.2095-2805.2026.1.72　　**中图分类号**：TM46　　**文献标志码**：A

直流固态变压器单元故障旁路电路设计

周　懿，吴　昕，翁浩源，龙海鸿，徐德鸿(中国电源学会会士)
(浙江大学电力电子技术研究所，杭州 310027)

摘要：直流固态变压器的 1 种典型结构由标准功率变换单元输入串联输出并联组合构成，以实现中压到低压的直流变换。为实现功率变换单元的冗余，需要配备晶闸管旁路电路，直流固态变压器一般采用 SiC MOSFET 器件，然而 SiC MOSFET 器件的高 dv/dt 易使晶闸管旁路电路出现误导通。围绕晶闸管旁路电路误导通问题，探讨晶闸管缓冲电路与晶闸管门极并联电阻的协同设计方法，以适应高 dv/dt 环境，提升晶闸管旁路电路运行的可靠性，并进行了实验验证。

关键词：直流固态变压器；输入串联输出并联；晶闸管旁路电路；误导通

Design of Fault-bypass Circuit for DC Solid-state Transformer Unit

ZHOU Yi, WU Xin, WENG Haoyuan, LONG Haihong, XU Dehong, *Fellow*, *CPSS*
(Institute of Power Electronics, Zhejiang University, Hangzhou 310027, China)

Abstract: A typical configuration of a DC solid-state transformer is formed by connecting standardized power conversion cells in an input-series output-parallel (ISOP) arrangement to achieve DC transformation from medium voltage to low voltage. To provide redundancy for the power conversion cells, a thyristor bypass circuit is typically required. While DC solid-state transformers generally employ SiC MOSFET devices, the high dv/dt characteristic of SiC MOSFETs can readily false triggering in the thyristor bypass circuit. The issue of false triggering in thyristor bypass circuits is focused on, and a co-design methodology involving the thyristor snubber circuit and the gate-parallel resistor is explored. The proposed approach aims to enhance the operational reliability of the thyristor bypass circuit in high dv/dt environments, and experimental validation is provided.

Keywords: DC solid-state transformer; input-series output-parallel; thyristor bypass circuit; false triggering

随着新能源的发展，直流配电技术越来越受到关注[1-2]。直流配电方便光伏、储能、电动车充电的接入，减少功率变换的环节，可以简化供配电系统，提升配电系统的经济性和能效。直流固态变压器 DC-SST(DC solid-state transformer)用于连接不同电压等级的直流母线，是直流配电的关键设备之一。

直流固态变压器通常采用标准的功率变换单元以输入串联输出并联 ISOP(input-series output-parallel)的形式连接构成。功率变换单元的核心为隔离 DC-DC 变换器，典型拓扑有双有源桥 DAB (dual-active-bridge)、LLC、CLLC 等[3-6]。仅由隔离 DC-DC 变换器单元通过 ISOP 构成的直流固态变压器，不具备变换器单元故障容错能力，也无法实现中压故障穿越，大大影响了直流固态变压器的可靠性。因此，在隔离 DC-DC 变换器的输入侧加入一级不隔离 DC-DC 变换器，构成两级式的变换单元。由两级式的变换单元组成的直流固态变压器的优点为：①具有中压侧电网故障的穿越能力，可将故障电流清零，此外，在单元输入侧并联旁路支路或直接使用前级变换器的开关管，可以实现单元旁路[7-8]；

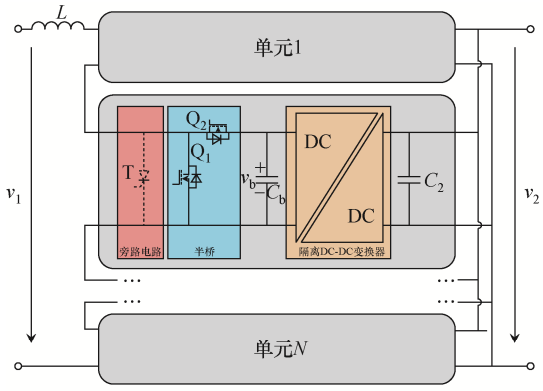
收稿日期：2025-01-03；**修回日期**：2025-05-28；**录用日期**：2025-06-16；**网络首发日期**：2025-07-01
基金项目：国家自然科学基金资助项目(52037010)
This work is supported by National Natural Science Foundation of China under the grant 52037010

②有利于直流固态变压器整体效率的优化，通过对两级变换器在不同工况下运行状态的优化设计和动态控制，实现系统效率优化。

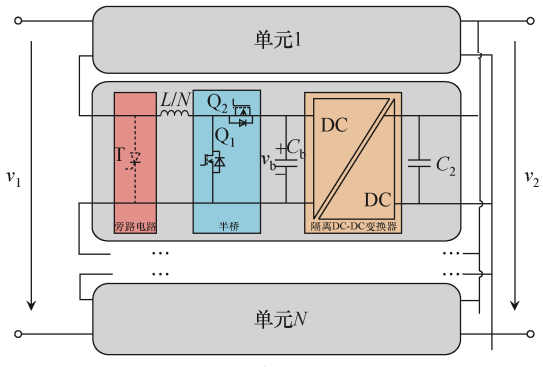
晶闸管兼具低导通损耗和经济性好的优点，适合作为单元旁路开关。直流固态变压器一般采用 SiC MOSFET 器件，SiC MOSFET 器件的高 dv/dt 易使单元旁路开关晶闸管出现误导通。本文围绕 SiC MOSFET 两级式直流固态变压器中旁路晶闸管误导通问题，探讨晶闸管缓冲电路与晶闸管门极并联电阻的协同设计方法，使晶闸管适应高 dv/dt 环境，提升晶闸管旁路电路运行的可靠性，并通过实验进行了验证。

1　直流固态变压器结构

图 1 为两级式的直流固态变压器，前级为 Boost 升压变换电路，后级为隔离 DC-DC 变换器。图中：C_b 为母线电容；v_b 为单元中间母线电压。根据输入电感的安排可以分为共用输入电感结构和独立输入电感结构。共用输入电感结构下，所有 Boost 升压变换电路共用 1 个输入电感，如图 1(a)所示；独立输入电感结构下，每个 Boost 升压变换电路各自配有独立输入电感，如图 1(b)所示。为了实现 SST 输入电感的小型化，一般采用共用输入电感结构。



(a) 共用输入电感结构



(b) 独立输入电感结构

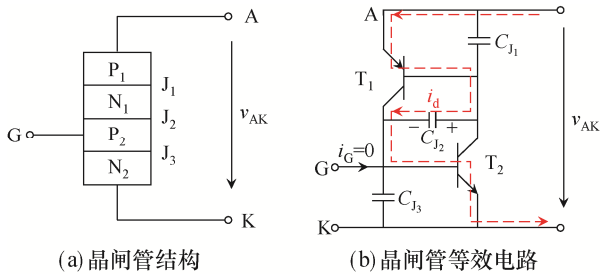
图 1　基于 ISOP 连接的两级式直流固态变压器

Fig. 1 Two-stage DC-SST in the form of ISOP

对于共用输入电感结构的SST而言，为实现单元旁路，理论上可使用 SiC MOSFET Q_1 充当旁路开关[9-11]，但是当 Q_1 自身故障时旁路将会失效，因此一般需要引入额外的旁路电路[12]。若在 Q_1 处并联晶闸管旁路电路，当 Q_1 开通或关断时，其漏源两端高 dv/dt 就加在晶闸管上，可达到数十 kV/μs 级别，而晶闸管耐受的 dv/dt 约为 1 kV/μs，极易发生晶闸管误导通现象。考虑到上述问题，需要对晶闸管旁路电路进行改进，使其适应 SiC MOSFET 等高速器件的工作环境。

2　误导通机理

晶闸管结构和等效电路如图 2 所示，图中：v_{AK} 为晶闸管阳、阴极之间的电压；C_{J_1}～C_{J_3} 为结 J_1~J_3 的结电容；T_1、T_2 为晶闸管的等效三极管；i_d 为流过 C_{J_2} 的位移电流；i_G 为门极驱动电流。在正向阻断的情况下，PN 结 J_1、J_3 均处于正偏状态，所有电压均加在 J_2 上。



(a) 晶闸管结构　　(b) 晶闸管等效电路

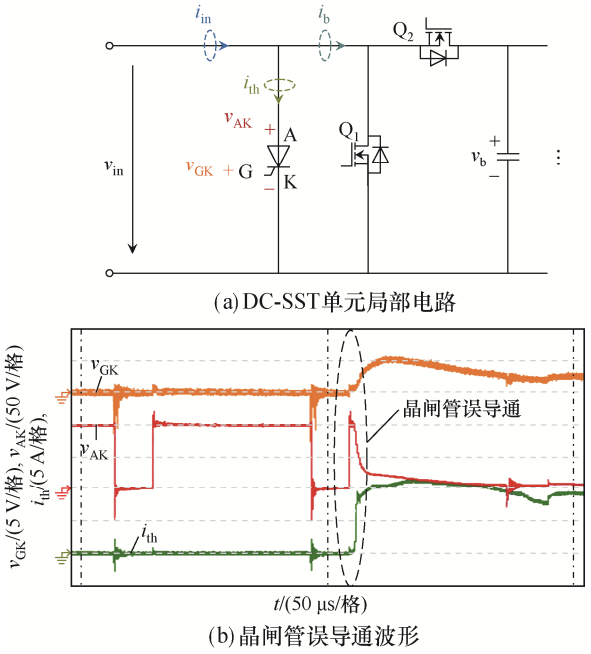
图 2　晶闸管结构和等效电路

Fig. 2 Structure of thyristor and its equivalent circuit

DC-SST 单元局部电路和晶闸管误导通波形如图 3 所示，图中：v_{in} 为 DC-SST 单元输入电压；i_{in} 为单元输入电流；i_b 为流入半桥的电流；v_{GK} 为晶闸管门阴极电压；i_{th} 为晶闸管电流。如图 3(a)所示，

在 1 个变换单元中，晶闸管与 SiC MOSFET Q_1 并联，当 Q_1 关断时，其两端的电压以数十 kV/μs 的速度上升，即晶闸管的电压 v_{AK} 急速上升，J_2 的结电容 C_{J_2} 将会流过位移电流 i_d，其值为

$$i_d = C_{J_2}\frac{dv_{AK}}{dt} \tag{1}$$



(a) DC-SST单元局部电路

(b) 晶闸管误导通波形

图 3 DC-SST 单元局部电路和晶闸管误导通波形

Fig. 3 Local circuit of DC-SST unit, and false triggering waveform of thyristor

位移电流 i_d 流入 T_2 基极，并很快在 2 个基极之间相互放大形成正反馈，促使 α_1、α_2 相应增加，当电流放大系数 $\alpha_1+\alpha_2\geqslant 1$ 时，晶闸管丧失其阻断能力，由断态转为通态，即发生了误导通现象，如图 3(b)所示。若此时开通 SiC MOSFET Q_2，母线电容 C_b 将会通过 Q_2 和晶闸管短路，使 Q_2 过流损坏。

因此，为了保证 DC-SST 单元的正常工作，必须严格将 v_{AK} 的 dv/dt 限制在阈值之下。

3 误导通预防措施

为了防止晶闸管误导通，可以对驱动侧和晶闸管侧进行改进，以提高晶闸管对 dv/dt 的耐受能力。

3.1 驱动侧改进

图 4 实线部分为传统晶闸管驱动电路，当触发信号为高时产生驱动电压 v_{GK}。R_3 为门极限流电阻，用来控制驱动电流。

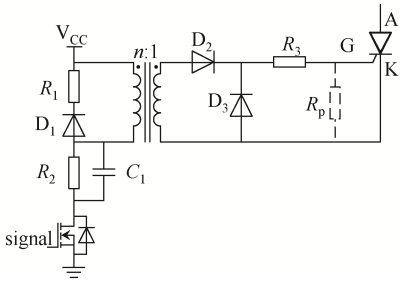


图 4 传统晶闸管驱动电路

Fig. 4 Traditional thyristor drive circuit

如果可以在 G、K 极之间并联电阻 R_p，就可以分流一部分位移电流，降低流入 T_2 的基极位移电流，减小 α_1、α_2，提高晶闸管对 dv/dt 的承受能力。图 5 所示为晶闸管可耐受 dv/dt 与 R_p 取值关系的示意图，R_p 越小旁路位移电流的能力越强，可以使晶闸管承受更大的 dv/dt，但为了满足晶闸管正常触发的驱动能力要求，R_p 取值存在下限 $R_{p,min}$，小于此值则晶闸管无法正常触发开通。因此，需要通过实验确认 $R_{p,min}$ 的大致范围，在满足驱动能力的条件下确定合适的阻值。

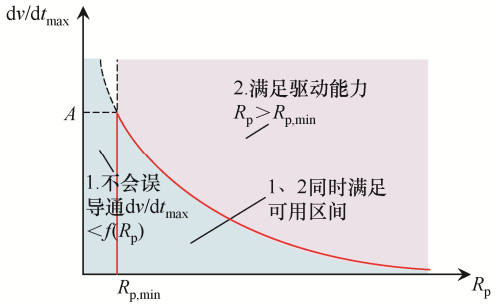


图 5 dv/dt 阈值与 R_p 取值的关系

Fig. 5 Relationship between dv/dt threshold and R_p

3.2 晶闸管侧改进

由于晶闸管与 SiC MOSFET Q_1 并联，如果通过增大 SiC MOSFET 的驱动电阻或并联缓冲电路来降低 Q_1 的 dv/dt(即降低晶闸管承受的 dv/dt)，无疑会造成 SiC MOSFET 开关损耗显著增加，与使用高性能 SiC MOSFET 器件的初衷背道而驰。

为了解决 Q_1 开关的快速性和降低晶闸管承受 dv/dt 之间的矛盾，需要避免二者直接连接，可以通过在晶闸管上串联电感和并联 RC 支路，以减

小晶闸管的 dv/dt，如图 6 所示，可以理解为 1 个滤波电路。图中：L_s 为串联电感；R_s 为 RC 支路的电阻；C_s 为 RC 支路的电容；v_{Q_1} 为 Q_1 的漏源极电压。

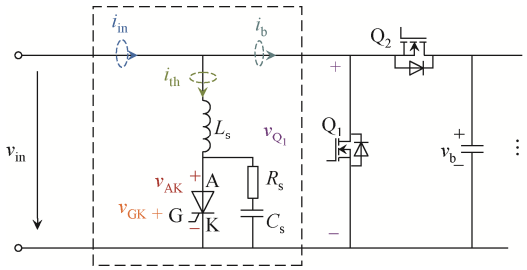


图 6　改进的晶闸管支路

Fig. 6 Improved thyristor branch

3.2.1　串联电感设计

为了简化分析，将 Q_1 关断时的电压近似视为阶跃，幅值为母线电压 V_b，在并联 RC 缓冲电路之前，晶闸管支路为串联电感 L_s、线路电阻 R_D、晶闸管的结电容 C_T 组成的串联谐振电路，简化电路如图 7 所示。

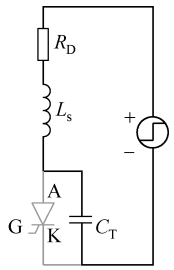


图 7　串联电感后晶闸管支路等效电路

Fig. 7 Equivalent circuit of thyristor branch with series inductor

可以得到晶闸管的电压表达式为

$$v_{AK}=V_b+\frac{\omega_0}{\omega_d}V_b e^{-bt}\sin(\omega_d t-\varphi) \tag{2}$$

式中：$b=\dfrac{R_D}{2L_s}$；$\omega_0=\sqrt{\dfrac{1}{L_sC_T}}$；$\omega_d=\sqrt{\omega_0-b^2}$；$\varphi=\arcsin\left(\dfrac{\omega_d}{\omega_0}\right)$。

由式(2)可知晶闸管电压最大值为

$$v_{AK,max}=V_b(1+e^{-\frac{b\pi}{\omega_d}})<2V_b \tag{3}$$

近似地认为 dv/dt 为电压峰值与到达峰值的时间之比，即

$$\frac{dv_{AK}}{dt}=\frac{v_{AK,max}}{\pi/\omega_d}=\frac{V_b\omega_d(1+e^{-\frac{b\pi}{\omega_d}})}{\pi} \tag{4}$$

显然增大 L_s 有利于减小 dv/dt，但同时最大会带来 1 倍电压过冲。因此，可以选取合适的 L_s 达到减小 dv/dt 的目的，通过外并 RC 缓冲电路来减小 L_s 带来的额外过冲。

3.2.2　RC 缓冲电路设计

在图 6 所示改进的晶闸管支路中，RC 缓冲电路的电阻 R_s 用于增大阻尼，以减小电压过冲；电容 C_s 用于承担稳态时的电压，不参与暂态过程，因此选取 C_s 的值使得其容抗 $1/\omega_d C_s$ 远小于 R_s，在谐振过程中可以被忽略，一般使 C_s 满足[13]

$$\frac{1}{\omega_d C_s}\approx\left(\frac{1}{5}\sim\frac{1}{3}\right)R_s \tag{5}$$

阻尼系数为

$$\zeta=\frac{1}{2R_s}\sqrt{\frac{L_s}{C_T}} \tag{6}$$

同时 RC 缓冲电路会引入损耗，每次 SiC MOSFET Q_1 开通、关断时，C_s 充放电的能量由 R_s 消耗，损耗的表达式为

$$P_{max}\approx 2f_s\cdot\frac{1}{2}C_sV_b^2=f_sC_sV_b^2 \tag{7}$$

式中，f_s 为前级半桥的开关频率。

3.3 L_s、R_s、C_s、R_p 的选取

为了确定 L_s，首先需要确定 L_s 与 dv/dt 最大值之间的定量关系。

图 8 所示为仅串联 22 μH 电感 Q_1 关断时晶

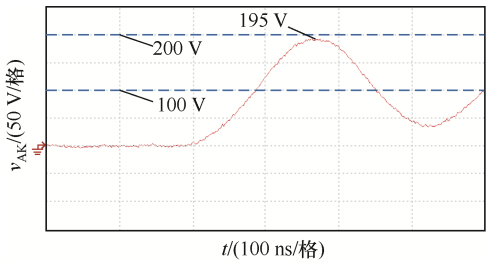
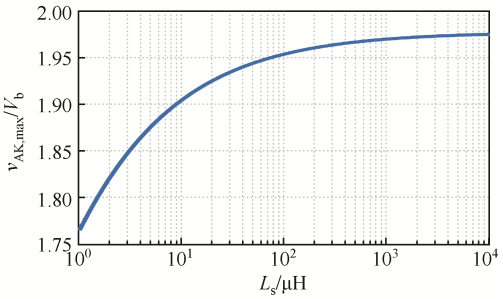


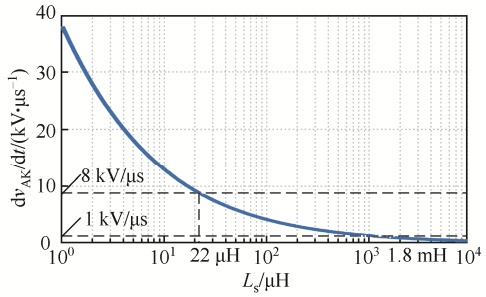
图 8　仅串联 22 μH 电感下 Q_1 关断时晶闸管的电压波形

Fig. 8 Voltage waveform of thyristor when Q_1 is turned off with connection of 22 μH inductance in series only

闸管的电压波形，V_b=100 V。此时振荡的频率约为 3.1 MHz，由式(4)估算得到 C_T 约为 118 pF。进一步由式(7)和式(8)可以绘制出额定母线电压 730 V 下 L_s 与电压最大值、dv/dt 的图象，如图 9 所示。



(a) L_s与晶闸管电压最大值的关系



(b) L_s与晶闸管dv/dt的关系

图 9 L_s 与晶闸管电压最大值及晶闸管 dv/dt 的关系

Fig. 9 Relationships between L_s and maximum voltage of thyristor, and relationship between L_s and dv/dt of thyristor

从图 9 中可以看出，若要使晶闸管的 dv/dt 小于其基础阈值 1 kV/μs，理论上需要串联 1.8 mH 的 L_s，体积会很大，显然不合理。因此，利用驱动侧的旁路电阻 R_p 将 dv/dt 阈值提高，容许晶闸管承受更大的 dv/dt，可以使 L_s 显著减小。

各参数的确定可以按照以下步骤：

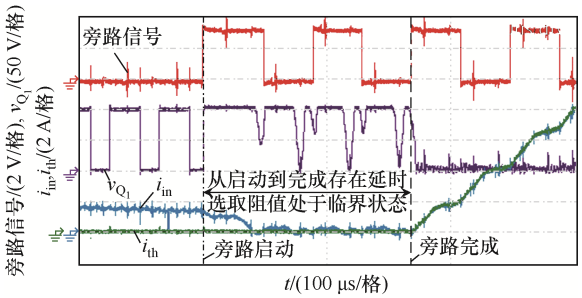
(1)设定 dv/dt 阈值；

(2)根据 L_s 与 dv/dt 最大值的关系确认满足阈值条件的最小 L_s；

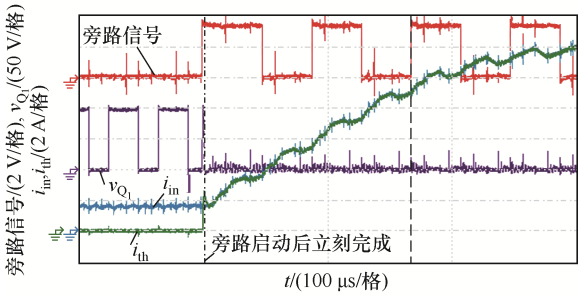
(3)设定阻尼系数，得到 R_s、C_s；

(4)将改进后的晶闸管支路接入，先选取小阻值的 R_p，确保晶闸管不会误开通，然后再增大阻值使得晶闸管能够正常触发，即可得到合适的 R_p。

本文设定 dv/dt 的阈值为 8 kV/μs，根据图 9(b)，选取 L_s=22 μH 时，可以满足要求。选取阻尼系数 ξ=0.8，根据式(10)得到 R_s=270 Ω，实际选用 300 Ω。令 C_s 的阻抗为 R_s 的 1/5，根据式(9)得到 C_s=849 pF，实际选用 940 pF。本文所用 DC-SST 单元额定母线电压为 730 V，开关频率为 25 kHz，根据式(11)可以得到损耗为 12.5 W。对不同阻值的 R_p 进行测试，如图 10 所示，当选取阻值为 7.5 Ω时，给上旁路信号后，晶闸管虽然可以开通但是存在延时，表明阻值处于驱动的临界范围，需要进一步增大；选取 15.0 Ω进行测试，晶闸管在旁路信号来临后立即开通，可以使用。通过上述步骤，L_s、R_s、C_s、R_p 的取值得以确认。



(a) R_p=7.5 Ω时旁路存在延时

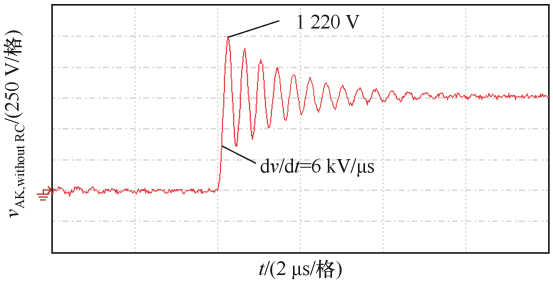


(b) R_p=15.0 Ω时旁路立即生效

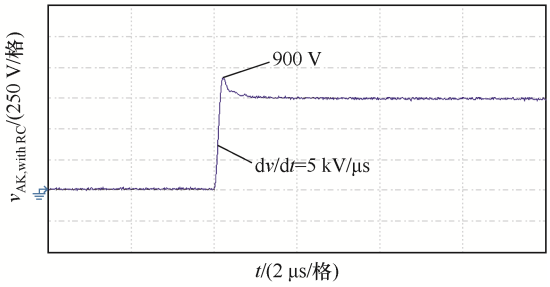
图 10 不同阻值的测试结果

Fig. 10 Test results at different values of resistance

在额定母线电压下将晶闸管电压波形与无 RC 缓冲电路下的波形进行对比，如图 11 所示，除电压过冲被大幅抑制外，dv/dt 也进一步降低。



(a) 并联RC缓冲电路前

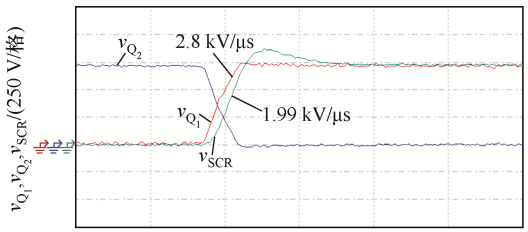


(b) 并联RC缓冲电路后

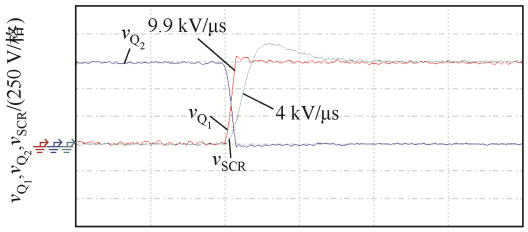
图 11　并联 RC 缓冲电路前后 Q_1 关断时晶闸管电压波形

Fig. 11 Voltage waveforms of thyristor when Q_1 is turned off before and after the connection of RC snubber circuit in parallel

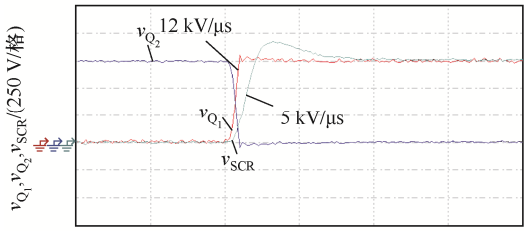
分别在 10%、50%、100%负载下进行实验，将改进旁路支路后的 Q_1、Q_2 电压与晶闸管电压的 dv/dt 进行对比，如图 12 所示。Q_1 仍然保持着高的关断速度，实现了与晶闸管电压之间的独立。



(a) 10%负载



(b) 50%负载



(c) 100%负载

图 12　改进旁路支路后 Q_1、Q_2 电压与晶闸管电压 dv/dt 对比

Fig. 12 Comparison of dv/dt among Q_1 voltage, Q_2 voltage and thyristor voltage after improving bypass branch

4　结语

针对直流固态变压器单元旁路电路在SiC MOSFET 器件环境下易发生误导通的问题，本文探讨了晶闸管缓冲电路与晶闸管门极并联电阻的协同设计方法，并进行了实验验证，提升了晶闸管旁路电路运行的可靠性。

参考文献：

[1] 章晋龙, 史述青, 杨海森, 等. 国内外直流配电网技术发展研究综述[J]. 南方能源建设, 2016, 3(S1): 93-98.
Zhang Jinlong, Shi Shuqing, Yang Haisen, et al. Overview of development of DC power distribution network [J]. Southern Energy Construction, 2016, 3(S1): 93-98. (in Chinese)

[2] 周文, 苏灿, 胡雪凯, 等. 直流配电系统电能质量探析[J]. 电源学报, 2025, 23(5): 185-196.
Zhou Wen, Su Can, Hu Xuekai, et al. Analysis of power quality of DC distribution system [J]. Journal of Power Supply, 2025, 23(5): 185-196. (in Chinese)

[3] 黄匀飞, 钟启濠, 欧阳有鹏, 等. 双有源桥变换器拓扑结构与控制策略研究综述[J]. 电源学报, 2024, 22(4): 53-65.
Huang Yunfei, Zhong Qihao, Ouyang Youpeng, et al. Overview of topologies and control strategies for dual-active-bridge converters [J]. Journal of Power Supply, 2024, 22(4): 53-65. (in Chinese)

[4] 王弘珺, 郁专, 谢少军. 双向 CLLC 谐振变换器的参数设计方法研究[J]. 电源学报, 2025, 23(1): 11-20.
Wang Hongjun, Yu Zhuan, Xie Shaojun. Study on parameter design method for Bi-directional CLLC resonant converters [J]. Journal of Power Supply, 2025, 23(1): 11-20. (in Chinese)

[5] 黄何伟, 曹太强, 潘光绪, 等. 考虑回流功率因素的全桥 CLL 谐振变换器参数优化设计[J]. 电工技术学报, 2023, 38(20): 5503-5514.
Huang Hewei, Cao Taiqiang, Pan Guangxu, et al. Parameter optimal design of full-bridge CLL resonant converter considering backflow power factor [J]. Transactions

of China Electrotechnical Society, 2023, 38(20): 5503-5514. (in Chinese)

[6] 孙城皓, 孙秋野, 王睿, 等. 基于拓展型双曲正切函数的全桥 LLC 变换器大信号建模方法[J]. 电工技术学报, 2023, 38(1): 234-245.
Sun Chenghao, Sun Qiuye, Wang Rui, et al. Large-signal modeling method of full-bridge LLC converter based on extended hyperbolic tangent function [J]. Transactions of China Electrotechnical Society, 2023, 38(1): 234-245. (in Chinese)

[7] 桑子夏, 郑旭, 颜炯, 等. 基于级联多电平变换器的固态变压器冗余设计的容错控制研究[J]. 电源学报, 2019, 17(5): 31-38.
Sang Zixia, Zheng Xu, Yan Jiong, et al. Research on redundancy design for fault-tolerant control of solid-state transformer based on cascaded multi-level converter [J]. Journal of Power Supply, 2019, 17(5): 31-38. (in Chinese).

[8] Weng Haoyuan, Li Jinghang, Xu Dehong. Fault tolerance scheme for a DC solid state transformer [C]// 2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia). Nanjing, China, 2021: 252-259.

[9] 赵彪, 安峰, 宋强, 等. 双有源桥式直流变压器发展与应用[J]. 中国电机工程学报, 2021, 41(1): 288-298, 418.
Zhao Biao, An Feng, Song Qiang, et al. Development and application of DC transformer based on dual-active-bridge [J]. Proceedings of the CSEE, 2021, 41(1): 288-298, 418. (in Chinese)

[10] Liu Jianqiang, Zhao Nan. Improved fault-tolerant method and control strategy based on reverse charging for the power electronic traction transformer [J]. IEEE Transactions on Industrial Electronics, 2018, 65(3): 2672-2682.

[11] Zhao Biao, Song Qiang, Li Jianguo, et al. A modular multilevel DC-link front-to-front DC solid-state transformer based on high-frequency dual active phase shift for HVDC grid integration [J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 8919-8927.

[12] Xu Peng, Ma Xin, Huang Lang, et al. The redundancy fault-tolerant control strategies for modular solid state transformer with DC bus [C]// 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia). Kaohsiung, Taiwan, China, 2017: 1997-2001.

[13] Wu Yuying, He Ning, Yu Lingqiang, et al. Effectiveness analysis of SiC MOSFET switching oscillation damping [C]// 2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia). Nanjing, China, 2021: 20-27.



周懿

作者简介：

周懿(1999—)，男，硕士研究生。研究方向：DC-DC 变换器。E-mail：22210030@zju.edu.cn。

吴昕(1994—)，男，博士研究生。研究方向：中压 DC-DC 变换器。E-mail：12010062@zju.edu.cn。

翁浩源(1993—)，男，博士。研究方向：直流固态变压器。E-mail：11610032@zju.edu.cn

龙海鸿(1992—)，男，博士研究生。研究方向：中压 AC-DC 变换器。E-mail：12010082@zju.edu.cn。

徐德鸿(1961—)，男，中国电源学会会士，通信作者，博士，教授。研究方向：电力电子技术及应用。E-mail：xdh@zju.edu.cn。

(责任编辑：耿越)