DOI：10.13234/j.issn.2095-2805.2025.6.105 中图分类号：TM44 文献标志码：A

一种具有快速瞬态响应的无片外电容低压差线性稳压器

程铁栋，谈泽辉，许立军，徐振轩
(江西理工大学电气工程与自动化学院, 赣州 341000)

摘要：针对无片外电容LDO(low dropout)瞬态响应差的问题，提出了1种具有快速瞬态响应的无片外电容低压差LDO线性稳压器，并通过电压上冲和下冲抑制电路来对电压的跳变进行抑制，改善了LDO的瞬态响应特性。设计了改进的误差放大器，其增益在静态工作状态下较一般误差放大器更大。此外，在输出电压跳变时，所设计的误差放大器可输出更大的瞬态电流，实现对功率管的快速充放电。使用Current buffer的Miller补偿，通过较小的电容面积完成了电路相位裕度的补偿。仿真结果表明：在2.8~3.3 V时，该电路的输出电压为1.8 V，最大负载电流为50 mA；负载电流在1~50 mA之间跃变时，在瞬态增强电路的作用下，输出电压的下冲幅度减少了46 mV，下降了51%，响应时间为1.16 μs；上冲幅度减少了29 mV，下降了35%，响应时间为1.18 μs。

关键词：无片外电容；低压差线性稳压器；瞬态增强；快速瞬态响应

Output-capacitorless LDO Regulator with Fast Transient Response

CHENG Tiedong, TAN Zehui, XU Lijun, XU Zhenxuan
(School of Electrical Engineering and Automation, Jiangxi University of Science and Technology, Ganzhou 341000, China)

Abstract: In view of the poor tiansient response of the output-capacitorless, an output-capacitorless low dropout (LDO) regulator with fast transient response is proposed, and the voltage overshoot and undershoot suppression circuits are used to suppress voltage jumps, thus improving the transient response characteristics of the LDO regulator. An improved error amplifier is designed, whose gain is larger than that of a general error amplifier in static working states. In addition, the transient output current from the designed error amplifier can be increased when the output voltage jumps, and the charging and discharging of the power tube can be accelerated. By using Current buffer Miller compensation, the phase margin of the circuit is compensated with a smaller capacitive area. Simulation results show that when the voltage range is 2.8~3.3 V, the output voltage from the circuit is 1.8 V and the maximum load current is 50 mA. When the load current jumps between 1 and 50 mA, the undershoot amplitude of output voltage is reduced by 46 mV (51%) and the response time is 1.16 μs under the effect of the transient enhancement circuit. Meanwhile, the overshoot amplitude is reduced by 29 mV (35%), and the response time is 1.18 μs.

Keywords: Output-capacitorless; low dropout (LDO) regulator; transient enhancement; fast transient response

随着便携式电子产品的应用愈加广泛，电源管理类器件的种类也越来越繁杂[1]。低压差LDO (low dropout)线性稳压器作为电源管理系统的重要电路之一，具有低成本、低功耗、小体积、高精度等特点，广泛应用于各类小型电子设备中[2-5]。传统LDO外接大的片外电容将系统主极点固定于输出端，并通过等效串联电阻ESR(equivalent series resistor)产生1个左半平面零点进行频率补偿，使得系统稳定。由于大片外电容的存在，LDO具有较好的瞬态特性[6]。但随着电子设备便携化趋势加强，大的

收稿日期：2023-06-09；**修回日期：**2023-07-31；**录用日期：**2023-08-24；**网络首发日期：**2023-11-23
基金项目：江西省教育厅科学技术重点研究资助项目(GJJ200804)；江西理工大学博士启动基金资助项目(GJJ191206)
This work is supported by Jiangxi Provincial Education Department Science and Technology Key Research Project under the grant GJJ200804; Jiangxi University of Science and Technology Doctor's Start-up Fund under the grant GJJ191206

片外电容因为占据了大量的 PCB 布局面积，并且需要电路预留外接引脚，所以不能满足高度集成化的发展需求。此外，ESR 的阻值随温度变化而难以保持精确值，会对整个系统的稳定性产生影响；同时，片外的大电容伴随着的寄生效应(如 ESR 和等效串联电感等)在一定程度上影响了 LDO 的瞬态性能。

为了克服传统有片外电容 LDO 的缺点，越来越多的无片外电容 LDO 结构被提出和研究。虽然无片外电容 LDO 具有可直接集成在片上系统内部、极大节省 PCB 面积的优点[7]，但是无片外电容 LDO 存在快速瞬态响应和环路不稳定等问题[8]。为了改善瞬态响应，Guo 等[9]提出了 1 种前馈检测环路，用于检测输出电压尖峰并提高转换速率，但是增加了一定的静态电流；Qu 等[10]使用 AB 类误差放大器，能够在不增加静态电流的情况下完成对转换速率的提高，但是 AB 类放大器的低增益会使得线性调整率和负载调整率变得更差；Li 等[11]为了完成系统的稳定性补偿，提出了 1 种双主动反馈回路补偿方案，能够在全负载范围内提高系统的稳定性，虽然此方案是在先进工艺条件下的，但是依然需要很大的片上电容面积；Santra 等[12]提出了 1 种前馈补偿技术，并且将翻转电压跟随器用作输出端的功率级，这种结构在稳定时间和静态电流方面具有不错的表现，但是其最大负载电流被限定在 10 mA，不能在负载电流较大时完成稳压功能。

针对无片外电容 LDO 瞬态响应差的问题，本文通过设计改进的误差放大器提高了对功率管栅极的充放电能力，并且具有很高的低频增益；另外，还设计了上下冲抑制模块，使得电路具有更好的瞬态响应；最后使用 Current buffer 的 Miller 补偿[13]实现对电路相位裕度的改善。

1 LDO 的基本结构与原理

传统的 LDO 电路一般由误差放大器、基准电压、有源功率器件、反馈网络、辅助电路和其他电路[14-16]组成，如图 1 所示。其中：V_{out} 为电路输出电压；V_{ref} 为外部提供的基准电压；V_{fb} 为反馈点的电压；R_1 和 R_2 为反馈回路的电阻。由于这种 LDO 电路外接很大的片外电容，因此使得电路的主极点在输出端。同时，利用电容的伴生电阻产生 1 个零点来与次极点相互抵消，完成系统的稳定性要求。

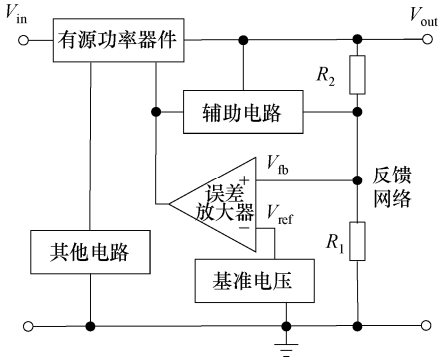


图 1 LDO 电路的基本结构

Fig. 1 Basic structure of LDO circuit

LDO 的工作方式是通过电压串联负反馈的方式使得输出电压稳定，并且具有一定的驱动能力，具体的工作原理为

$$V_{\text{out}} = A(V_{\text{ref}} - V_{\text{fb}})g_{\text{m}}R_{\text{out}} = \frac{A_0}{\beta}(V_{\text{ref}} - V_{\text{fb}}) \tag{1}$$

$$\begin{cases} A_0 \to \infty \\ V_{\text{out}} \approx \dfrac{V_{\text{ref}}}{\beta} = \dfrac{R_1 + R_2}{R_1}V_{\text{ref}} \end{cases} \tag{2}$$

式中：A 为误差放大器增益；β 为反馈系数；g_{m} 为功率管跨导；R_{out} 为输出阻抗；A_0 为环路增益。当环路增益值很大时，可以得到 1 个较为稳定的输出电压。

2 电路设计和原理分析

本文提出的无片外电容 LDO 的结构如图 2 所示，由改进的误差放大器、功率晶体管 MP、反馈电阻网络、频率补偿电容 C_{m} 和上下冲抑制模块组成。其中改进的误差放大器、功率晶体管和反馈电阻网络形成负反馈环路，确保对输出电压进行实时线性控制；上下冲抑制模块能够在负载电流发生瞬态改变时有效地减小上冲和下冲，加快瞬态响应；频率补偿模块能够完成对电路的相位裕度补偿，使

电路保持稳定。

2.1 误差放大器的设计

图 3 给出了本文设计的 AB 类误差放大器的拓扑结构。相比一般的 AB 类误差放大器[17]，本文设计的 AB 类误差放大器增加了额外的控制电路，即输出级电流受到 M2(3)和 M1(4)2 对输入对管的控

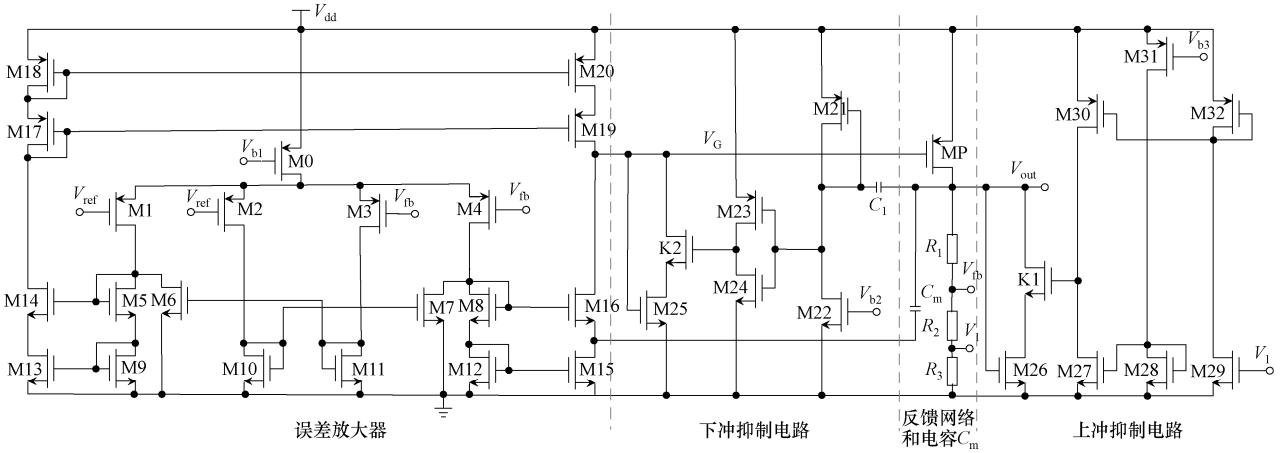


图 2　LDO 主体电路

Fig. 2 Main circuit of LDO

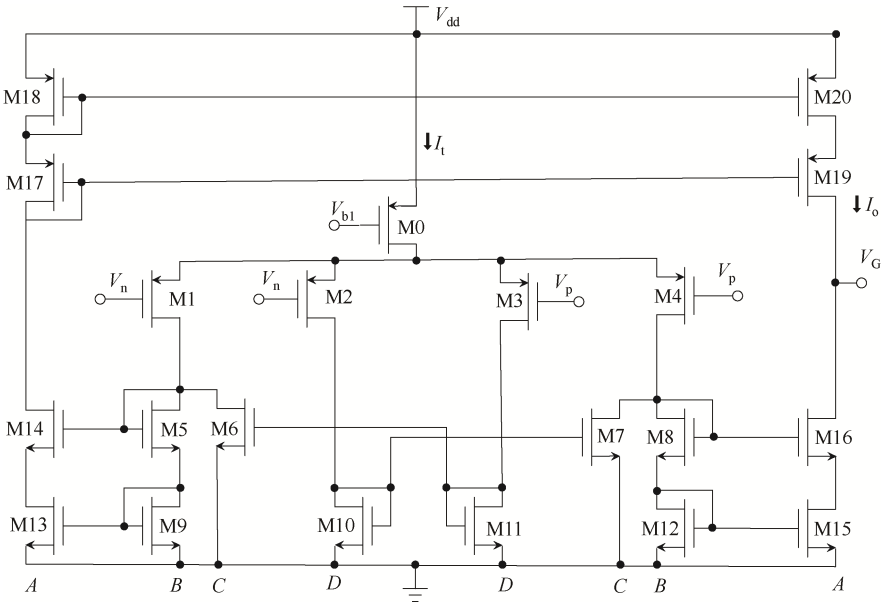


图 3　改进的 AB 类误差放大器

Fig. 3 Improved AB error amplifier

制，该电路能够在瞬态响应时增加输出电流，提高摆率 SR(slew rate)和增益。同时，在输出端通过级联的方式将 M19、M20 和 M16、M15 这 2 组管子都使用共源共栅极连接，此种连接方式能进一步增加输出电阻，极大地提高了误差放大器的增益[18]，并且为频率补偿做了优化准备。

图 3 中改进的 AB 类误差放大器的工作原理为：设定各电流镜 MOS 管的宽长比如图中标识，分别为 A、B、C、D。在静态工作时，M7 分流了少部分 M4 的电流，从而减小了输出电流(M15 和 M16)，使得输出阻抗提高；在瞬态工作时(输入电压 V_{in} 发生小信号电压变化)，假定 M4 上的电流增加了 $g_{m4}V_{in}$，由于 M7 和 M2 支路的电流成比例关系，而 M2 上的电流会因为 M4 的电流增加而相对

减小，从而使得 M7 的电流减小 $g_{m2}V_{in}C/D$。因为 M12 和 M7 上的电流之和为 M4 上的电流，所以 M12 上的电流变化量为 $g_{m4}V_{in}+g_{m2}V_{in}C/D$，进而引起输出支路上 M15 和 M16 电流的成比例增加；反之亦然。此设计提高了电路驱动能力，加强了瞬态响应。运算跨导放大器的等效跨导为

$$G_m=g_{m,in}\cdot\frac{B+C}{B+C+D}\cdot\frac{A}{B}+g_{m,in}\cdot\frac{D}{B+C+D}\cdot\frac{C}{D}\cdot\frac{A}{B}=g_{m,in}\cdot\frac{B+2C}{B+C+D}\cdot\frac{A}{B} \tag{3}$$

式中，$g_{m,in}=g_{m4}+g_{m2}$。输出电流 I_{out} 为

$$I_{out}=\frac{I_t}{2}\cdot\frac{B}{B+C+D}\cdot\frac{A}{B}=\frac{I_t}{2}\cdot\frac{A}{B+C+D} \tag{4}$$

式中，I_t 为尾电流(M0 管流过电流的大小)。输出电阻为

$$R_{out}=(g_{m16}r_{o16}r_{o15}\parallel g_{m19}r_{o19}r_{o20})=\left(\frac{g_{m16}r_{o16}}{\lambda_{15}I_{out}}\parallel\frac{g_{m19}r_{o19}}{\lambda_{20}I_{out}}\right)=\frac{2}{\left(\frac{\lambda_{15}}{g_{m16}r_{o16}}+\frac{\lambda_{20}}{g_{m19}r_{o19}}\right)I_t}\cdot\frac{B+C+D}{A} \tag{5}$$

式中：λ 分别为对应管子的沟道调整效应系数；r_o 分别为对应管子的等效源漏电阻。由于 M16 和 M19 的本征增益 g_mr_o 很大，因此最终能够得到 1 个较大的等效输出电阻。

将改进的 AB 类误差放大器与一般的 AB 类误差放大器在相同输出电流和输入电压下进行 SR 和增益仿真，结果分别如图 4 和图 5 所示。其中 SR

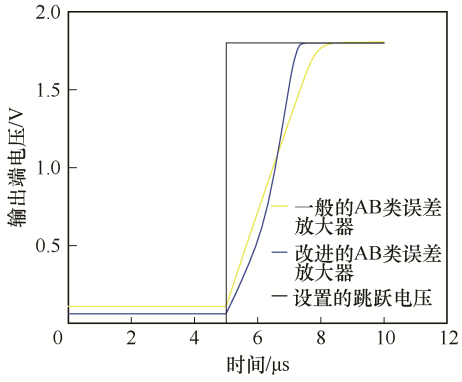


图 4 误差放大器的 SR 对比仿真

Fig. 4 Simulation of comparison of SR between error amplifiers

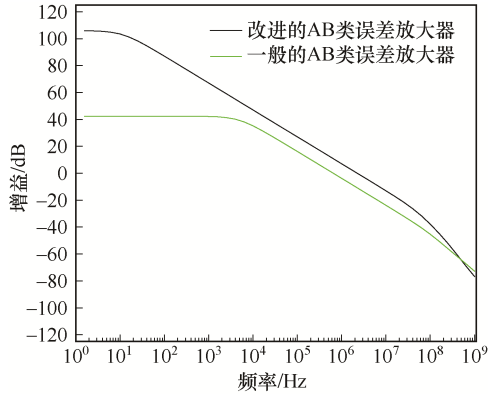


图 5 误差放大器的增益对比仿真

Fig. 5 Simulation of comparison of gain between error amplifiers

的仿真结果表明，在瞬态上电时，改进误差放大器的输出电压曲线具有明显的加速上升趋势，摆率明显大于一般的 AB 类误差放大器；改进的 AB 类误差放大器的增益远高于一般的 AB 类误差放大器。此外，由于高增益节点带来的高输出阻抗使得误差放大器端的极点在 1 个很低的值，因此对提高 LDO 整个系统的稳定性具有很好的效果。

2.2 上下冲抑制电路

由 M26~M32 和开关管 K1 组成的上冲抑制电路如图 6 所示。正常情况下，反馈电阻网络产生的电压 V_1 将 M29 偏置在亚阈值区，流经 M29 的电流较小；当负载电流瞬态减小时，由于环路受带宽限制不能及时响应负载状态的变化，导致功率管 MP 依然保持原来的输出电流大小。因此，反馈网络的电阻 R_3 上将出现 1 个上冲的电压 V_1。当电压 V_1 上冲跳变时，流经 M29 的电流增加，迫使 M30 和 M32 的栅极电压 V_2 下降、M30 上的电流增加，导致开关管栅极电压 V_3 上升、K1 被迅速打开。此时输

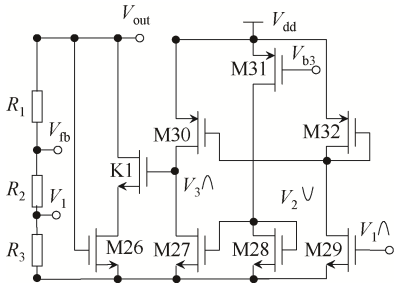


图 6 上冲抑制电路

Fig. 6 Overshoot suppression circuit

出端 V_{out} 通过 K1 和 M26 放电，使输出电压快速恢复到预设值的电压状态。

下冲抑制电路由 M21~M25 和开关管 K2 组成，如图 7 所示。和上冲抑制电路同理，当负载电流瞬态增加时输出端电压 V_{out} 会出现 1 个下冲电压 V_1。电压 V_3 控制高电平导通的 NMOS 管开关 K2，完成对功率管栅极的放电。具体过程为：当出现下冲电压 V_1 时，通过耦合电容 C_1 使 V_2 降低；低电压 V_2 经过由 M23 和 M24 组成的反相器使电压 V_3 升高，此时打开的开关管 K2 和导通的 M25 形成串联通路，对功率管栅极放电并快速拉高下冲电压，完成快速瞬态响应。

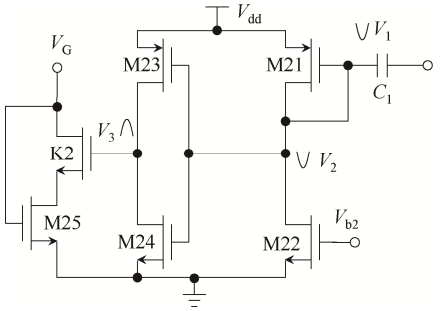


图 7　下冲抑制电路

Fig. 7 Undershoot suppression circuit

经过误差放大器的整体反馈环路所需的时间比瞬态增强的反馈时间长得多，有可能导致瞬态增强电路过度充电或放电[19]，但是 2 个二极管接法的 M26 和 M25 可以对电流进行限制，有效地减少瞬态增强电路的过度充电或放电。

2.3 LDO 的环路分析

一般的 Miller 补偿由于前馈通路的作用，会产生 1 个右半平面的零点，给整个系统的稳定性带来不利的影响[20]。而本文使用的 Current buffer Miller 补偿，能够在保留反馈通路的同时有效阻断前馈通路，避免了多余零点的产生。得益于设计的改进 AB 误差放大器，由于其输出端采用级联的模式，存在着共源共栅节点，因此很适合引入 Current buffer Miller 补偿。具体原理是将 1 个很小的补偿电容接入 LDO 的输出端与误差放大器的共源共栅节点之间，最终得到 LDO 的小信号等效模型如图 8 所示。其中：g_m 为误差放大器的等效跨导；R_1、C_1 分别为第一级放大器输出节点的小信号阻抗和寄生电容；g_{m16} 为 M16 管的跨导；g_{mp} 为输出功率管 MP 的跨导；R_{out} 和 C_{out} 分别为输出端的等效输出电阻和等效输出电容。

根据小信号模型列写节点电流方程为

$$V_1=\left(g_mV_{in}+\frac{sC_mV_{out}}{1+s\dfrac{C_m}{g_{m16}}}\right)\cdot\frac{R_1}{1+sC_1R_1} \tag{6}$$

$$V_{out}=-g_{mp}\frac{R_{out}}{1+sC_{out}R_{out}} \tag{7}$$

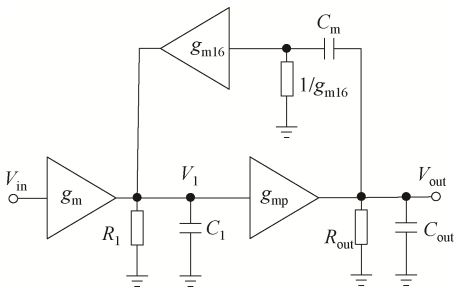


图 8　LDO 的小信号等效模型

Fig. 8 Small signal equivalent model of LDO

经过化简可以得到系统的传递函数 $A(s)$ 为

$$A(s)=\frac{-\beta g_mR_1g_{mp}R_{out}\left(1+s\dfrac{C_m}{g_{m16}}\right)}{1+a_1s+a_2s^2+a_3s^3} \tag{8}$$

式中：β 为分压电阻形成的分压系数；系数 a_1、a_2、a_3 分别为

$$a_1=\left(R_1C_1+R_{out}C_{out}+\frac{C_m}{g_{m16}}+C_mR_1g_{mp}R_{out}\right) \tag{9}$$

$$a_2=\left(R_1C_1R_{out}C_{out}+R_1C_1\frac{C_m}{g_{m16}}+R_{out}C_{out}\frac{C_m}{g_{m16}}\right) \tag{10}$$

$$a_3=\frac{R_1C_1R_{out}C_{out}C_m}{g_{m16}} \tag{11}$$

由于 a_1 中的第 4 项远大于其他项，因此 $A(s)$ 可以进一步化简为

$$A(s)\approx\frac{-\beta g_mR_1g_{mp}R_{out}\left(1+s\dfrac{C_m}{g_{m16}}\right)}{(1+sR_{out}g_{mp}R_1C_m)\left(1+s\dfrac{C_{out}C_1}{g_{mp}C_m}+s^2\dfrac{C_{out}C_1}{g_{mp}g_{m16}}\right)} \tag{12}$$

由此可以得到主极点 p_1 和 1 个左半平面的零点 z_1，具体为

$$p_1 = \frac{1}{g_{mp} R_{out} C_m R_1} \tag{13}$$

$$z_1 = \frac{g_{m16}}{C_m} \tag{14}$$

同时，传输函数中会出现共轭极点，共轭极点和品质因子分别为

$$p_{2,3} = \sqrt{\frac{g_{mp} g_{m16}}{C_{out} C_1}} \tag{15}$$

$$Q = \sqrt{\frac{g_{mp}}{g_{m16} C_{out} C_1}} \tag{16}$$

通过合理的调节 g_{m16} 和 $C_{out}C_1$ 可以有效地减小 Q 值。当品质因子 Q 值足够小时，函数中的第二和第三极点为实数，p_2 、p_3 和增益带宽积 GBW(gain bandwidth product)分别为

$$p_2 = \frac{g_{mp} C_m}{C_1 C_{out}} \tag{17}$$

$$p_3 = \frac{g_{m16}}{C_m} \tag{18}$$

$$\mathrm{GBW} = \beta \frac{g_m}{C_m} \tag{19}$$

此时极点 p_3 和左半平面零点 z_1 相互抵消，系统等效简化后只有 2 个极点。通过调节 p_2 极点的位置来使得其远离 GBW，即改变补偿电容 C_m 的大小使得主次极点分离，从而使系统趋于稳定。Current buffer 的 Miller 补偿方法具有较多优势[21]，其中最重要的是相比一般的 Miller 补偿方法，此方法能够在更小电容面积的情况下，完成对系统相位裕度的补偿。

3 仿真测试结果

本文的 LDO 基于 SMIC 180 nm CMOS 工艺进行设计与仿真。LDO 整体版图绘制如图 9 所示，版图面积为 63 μm×137 μm。

在负载电容为 100 pF、负载电流从 1 mA 变化到 50 mA 的情况下，图 10 和图 11 分别为 LDO 在不同负载条件下的环路稳定性仿真曲线。当输入的电压为 2.8 V 时，分别取电路在轻载到重载情况下进行稳定性仿真。图 12 为不同负载电流下的相位裕度，在轻载条件下，LDO 的相位裕度最小，为 71.6°；负载为重载时，相位裕度最大，为 83.3°。从仿真结果可以看出，无论轻载还是重载，LDO 的低频环路增益都能保持在 70 dB 以上、相位裕度均大于 60°，满足系统的稳定性要求。

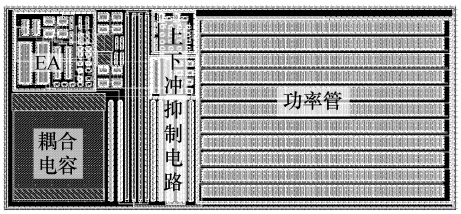


图 9 LDO 版图

Fig. 9 Layout of LDO

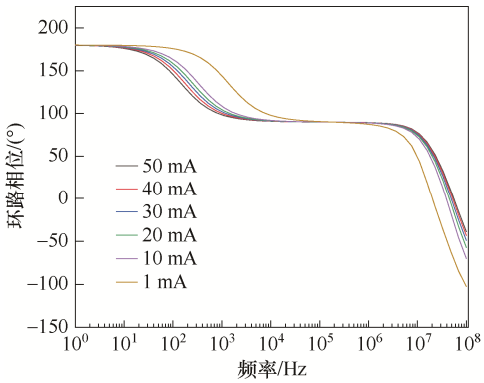


图 10 LDO 的环路相位仿真

Fig. 10 Simulation of loop phase of LDO

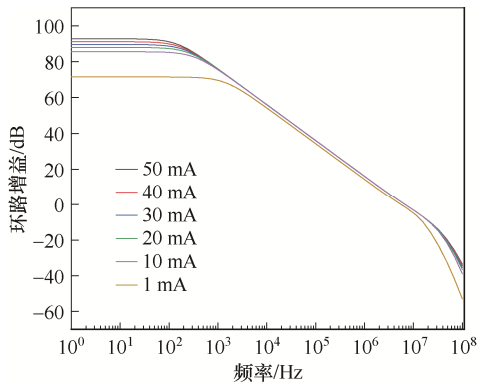


图 11 LDO 的环路增益仿真曲线

Fig. 11 Simulation curves for loop gain of LDO

在与上述条件相同的情况下，分别取 2.8 V、3 V 和 3.3 V 的输入电压，在最大负载情况下，对整个 LDO 系统进行环路与相位仿真。仿真结果如

图 13 所示，其中相位裕度最低为 76.9°，最高为 84.2°，均能够保持系统的稳定。

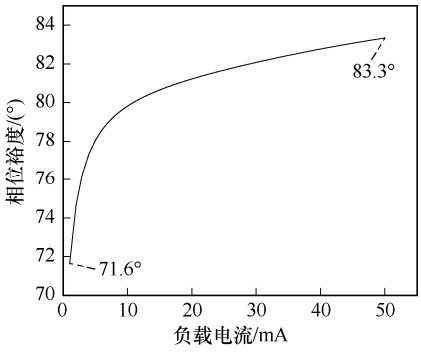


图 12　相位裕度与负载电流的关系

Fig. 12 Relationship between phase margin and load current

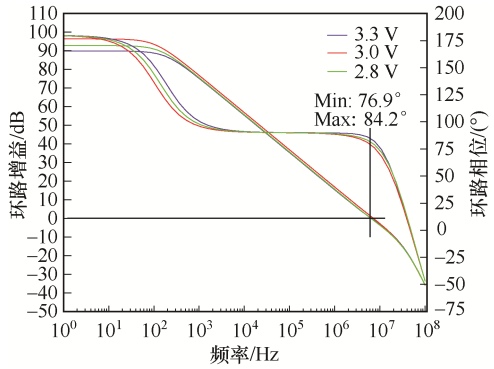


图 13　不同电压下的相位裕度和环路增益

Fig. 13 Phase margin and loop gain under different voltages

当 LDO 的负载电流在 1 μs 时间内从 1 mA 到 50 mA 来回突变时，有、无上下冲抑制电路的瞬态响应曲线如图 14 所示。从图中可知，在没加上下冲抑制电路时，上冲电压为 83 mV，上冲时间为 1.45 μs，下冲电压为 90 mV，下冲时间为 1.38 μs。增加上下冲抑制电路之后，上冲电压为 54 mV，上冲时间为 1.18 μs，下冲电压为 44 mV，下冲时间为 1.16 μs。由此可见，为电路添加上下冲抑制电路后，该 LDO 的瞬态响应能力明显增强。

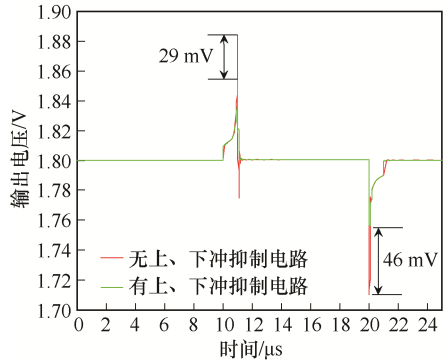


图 14　有、无上、下冲抑制电路的瞬态响应

Fig. 14 Transient response of circuits with or without rorward and reverse suppression

表 1 为本文设计的 LDO 与近年来公开发表的相关论文参数对比。从表中数据可以看出，本设计 LDO 使用的片上电容面积较其他设计小 1 个数量级；输出端的电压跳变较小，具有很好的瞬态响应。

表 1　本文的 LDO 与其他文献相比较

Tab. 1 Comparison of LDO designed in this paper with those in other references

LDO 设计	工艺/nm	电源电压/V	输出电压/V	负载电流/mA	片上电容/pF	(上冲/下冲)/mV	线性调整率/(mV·V^{-1})	负载调整率/(μV·mA^{-1})
文献[22]	90	1.40~3.30	1.2	40	—	220	0.800 00	550.00
文献[23]	180	2.50~4.00	1.8	10	—	340	—	—
文献[24]	350	2.70~3.30	2.5	100	14.00	255/170	0.800 00	60.00
文献[25]	180	1.84~3.60	1.8	50	11.50	560/390	0.006 47	2.40
本文	180	2.80~3.30	1.8	50	0.71	59/40	9.200 00	7.08

4　结语

本文基于 180 nm 的 CMOS 工艺设计了 1 种具有快速瞬态响应的无片外电容低压线性稳压器。创新之处在于设计了改进的误差放大器，增强了误差放大器的摆率和增益。同时设计了上下冲抑制电路，在充放电处增加了 2 个二极管方式连接的晶体管，有效地减少了过渡充电和放电，完成了对电路瞬态响应的加强。本文在放大器输出端级联的基础上，引入了 Current buffer 的 Miller 补偿，

减少了片上电容的面积需求，并且保证了电路的稳定性。经过仿真结果验证，LDO 的整体电路在轻载到重载的情况下，相位裕度均大于 70°，满足了系统的稳定性要求；当负载电流发生跳变时，上冲电压为 54 mV，上冲时间为 1.18 μs，下冲电压为 44 mV，下冲时间为 1.16 μs，与没有上、下冲抑制电路的模块相比分别提高了 35%和 51%，满足了快速瞬态响应的需求。

参考文献：

[1] 桑汐坤, 王懿杰, 徐殿国. 基于输入并联输出串联的高效高升压比 DC-DC 变换器[J]. 电工技术学报, 2023, 38(20): 5488-5502.
Sang Xikun, Wang Yijie, Xu Dianguo. High-efficiency high voltage gain DC-DC converter based on input parallel and output series connection [J]. Transactions of China Electrotechnical Society, 2023, 38(20): 5488-5502. (in Chinese)

[2] Krit S, Benaddy M, El Habil B, et al. Security of hardware architecture, design and performance of low drop-out voltage regulator LDO to protect power mobile applications [C]// 2017 International Conference on Engineering & MIS (ICEMIS). Monastir, Tunisia, 2017: 1-8.

[3] 佟星元, 李茂, 董嗣万. 一种快速响应无片外电容低压差线性稳压器[J]. 电子与信息学报, 2019, 41(11): 2592-2598.
Tong Xingyuan, Li Mao, Dong Siwan. A capacitor-less low dropout regulator with fast response [J]. Journal of Electronics & Information Technology, 2019, 41(11): 2592-2598. (in Chinese)

[4] 周志兴, 来强涛, 郭桂良, 等. 一种应用于LDO的宽范围稳压电路[J]. 电子技术应用, 2019, 45(3): 28-31.
Zhou Zhixing, Lai Qiangtao, Guo Guiliang, et al. A wide range voltage stabilizing circuit for LDO regulator [J]. Application of Electronic Technique, 2019, 45(3): 28-31. (in Chinese)

[5] 王泽尚, 孙立清, 王志福, 等. 基于扰动补偿的电机模拟器电流控制策略[J]. 电工技术学报, 2023, 38(22): 5987-5998.
Wang Zeshang, Sun Liqing, Wang Zhifu, et al. Current control strategy of electric motor emulator based on disturbance compensation [J]. Transactions of China Electrotechnical Society, 2023, 38(22): 5987-5998. (in Chinese)

[6] Rincon-Mora G A, Allen P E. A low-voltage, low quiescent current, low drop-out regulator [J]. IEEE Journal of Solid-State Circuits, 1998, 33(1): 36-44.

[7] Li Guangxiang, Qian Huimin, Guo Jianping, et al. Dual active-feedback frequency compensation for output-capacitorless LDO with transient and stability enhancement in 65-nm CMOS [J]. IEEE Transactions on Power Electronics, 2019, 35(1): 415-429.

[8] Gupta M, Sharma R K. Design of output capacitorless low dropout regulator with fast transition response [C]// 2018 Second International Conference on Intelligent Computing and Control Systems (ICICCS). Madurai, India, 2018: 995-998.

[9] Guo Jianping, Leung K N. A 6-μW chip-area-efficient output-capacitorless LDO in 90-nm CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2010, 45(9): 1896-1905.

[10] Qu Xi, Zhou Zekun, Zhang Bo, et al. An ultralow-power fast-transient capacitor-free low-dropout regulator with assistant push-pull output stage [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2013, 60(2): 96-100.

[11] Li Guangxiang, Qian Huimin, Guo Jianping, et al. Dual active-feedback frequency compensation for output-capacitorless LDO with transient and stability enhancement in 65-nm CMOS [J]. IEEE Transactions on Power Electronics, 2020, 35(1): 415-429.

[12] Santra A, Khan Q A. A power efficient output capacitorless LDO regulator with auto-low power mode and using feed-forward compensation [C]// 2019 32nd International Conference on VLSI Design and 2019 18th International Conference on Embedded Systems (VLSID). Delhi, India, 2019: 36-40.

[13] Ahuja B K. An improved frequency compensation technique for CMOS operational amplifiers [J]. IEEE Journal of Solid-State Circuits, 1983, 18(6): 629-633.

[14] Kuo Poyu, Gao Tingyao. Settling time enhancement of output capacitor-less low-dropout regulator [C]// 2019

IEEE International Conference on Consumer Electronics-Taiwan (ICCE-TW). Yilan, Taiwan, China, 2019: 1-2.

[15] 凌子涵, 许津铭, 宗林, 等. PQ 扰动型电网阻抗估计方法的误差分析与改进策略[J]. 电源学报, 2025, 23(4): 163-172.
Ling Zihan, Xu Jinming, Zong Lin, et al. Error analysis and improvement strategy for grid impedance estimation method based on PQ variation [J]. Journal of Power Supply, 2025, 23(4): 163-172. (in Chinese)

[16] 朱江舸, 李飞, 凤强, 等. 并网逆变器全等效并联电阻有源阻尼控制方法[J]. 电源学报, 2024,22(5): 143-149.
Zhu Jiangge, Li Fei, Feng Qiang, et al. Active damping control method of fully equivalent shunt resistor for grid-connected inverter [J]. Journal of Power Supply, 2024, 22(5): 143-149. (in Chinese)

[17] Harjani R, Heineke R, Wang Feng. An integrated low-voltage class AB CMOS OTA [J]. IEEE Journal of Solid-State Circuits, 1999, 34(2): 134-142.

[18] Martínez-García H. The use of output-capacitorless class-AB CMOS low-dropout regulator for power management [C]// 2017 IEEE 15th International Conference on Industrial Informatics (INDIN). Emden, Germany, 2017: 498-503.

[19] Jang H J, Roh Y S, Moon Y J, et al. Low drop-out (LDO) voltage regulator with improved power supply rejection [J]. JSTS: Journal of Semiconductor Technology and Science, 2012, 12(3): 313-319.

[20] Tsividis Y P, Gray P R. An integrated NMOS operational amplifier with internal compensation [J]. IEEE Journal of Solid-State Circuits, 1976, 11(6): 748-753.

[21] Hurst P J, Lewis S H, Keane J P, et al. Miller compensation using current buffers in fully differential CMOS two-stage operational amplifiers [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(2): 275-285.

[22] Zhang Ruitong, Liu Zicheng, Wang Xinghua. A capacitor-less LDO with nested miller compensation and bulk-driven techniques in 90nm CMOS [C]// 2021 4th International Conference on Circuits, Systems and Simulation (ICCSS). Kuala Lumpur, Malaysia, 2021: 51-55.

[23] Ren Qian, Luo Xiaodie, Li Yifan, et al. An output capacitorless low dropout regulator based on push-pull amplifier [C]// 2022 IEEE 4th International Conference on Circuits and Systems(ICCS). Chengdu, China, 2022: 124-128.

[24] Ming Xin, Kuang Jianjun, Gong Xince, et al. A fast-transient capacitorless LDO with dual paths active-frequency compensation scheme [J]. IEEE Transactions on Power Electronics, 2022, 37(9): 10332-10347.

[25] Pérez-Bailón J, Márquez A, Calvo B, et al. A power efficient LDO regulator for portable CMOS SoC measurement systems [C]// 2017 IEEE International Instrumentation and Measurement Technology Conference (I2MTC). Turin, Italy, 2017: 1-6.



程铁栋

作者简介：

程铁栋(1975—)，男，通信作者，博士，副教授。研究方向：电子技术研究。E-mail: chengtiedong@126.com。

谈泽辉(1999—)，男，硕士。研究方向：模拟集成电路电源管理与设计。E-mail：2463920738@qq.com。

许立军(1983—)，男，博士。研究方向：FPGA 图像处理及数字电路电源管理。E-mail：61383150@qq.com。

徐振轩(2001—)，男，本科。研究方向：电源电路设计。E-mail：1594404903@qq.com。

(责任编辑：孙美菊)