

SiC MOSFET 器件栅氧可靠性研究综述

胡嘉豪, 王英伦, 代豪豪, 邓小川, 张 波

(电子科技大学集成电路科学与工程学院, 成都 610054)

摘要: 碳化硅金属氧化物半导体场效应晶体管 SiC MOSFET(silicon carbide metal-oxide-semiconductor field effect transistor)因具有高压、高频、低导通损耗等优异特性而获得产业界广泛关注,但相比于硅基 IGBT, SiC/SiO₂ 栅氧界面高缺陷密度引起的栅氧可靠性问题成为制约 SiC MOSFET 器件规模化应用的关键瓶颈。通过对近年来国内外 SiC MOSFET 栅氧可靠性研究成果的梳理和分析,阐述了当前栅氧可靠性问题的形成原因,归纳总结了各类常用的栅氧可靠性评估方法,并进行了比较分析,最后重点探讨了极端工况下 SiC MOSFET 栅氧可靠性及其提升技术的发展现状。

关键词: 碳化硅金属氧化物半导体场效应晶体管; 栅氧可靠性; 评估方法; 极端工况

Review on Gate Oxide Reliability of SiC MOSFET Devices

HU Jiahao, WANG Yinglun, DAI Haohao, DENG Xiaochuan, ZHANG Bo

(School of Integrated Circuit Science and Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: Silicon carbide metal-oxide-semiconductor field effect transistor (SiC MOSFET) has attracted attention from the industry owing to its excellent characteristics such as high voltage, high frequency and low conduction loss. However, compared with the silicon-based IGBT, the problem of gate oxide reliability caused by the high defect density at the SiC/SiO₂ gate oxide interface has become a key bottleneck restricting the large-scale applications of SiC MOSFET devices. By sorting out and analyzing the research results of the gate oxide reliability of SiC MOSFET at home and abroad in recent years, the causes of the gate oxide reliability problems at present were elaborated upon, and various commonly-used gate oxide reliability evaluation methods were summarized and compared. Finally, the gate oxide reliability of SiC MOSFET under extreme operating conditions and the development status of technologies for improving its performance were discussed.

Keywords: Silicon carbide metal-oxide-semiconductor field effect transistor (SiC MOSFET); gate oxide reliability; evaluation method; extreme operating condition

碳化硅金属氧化物半导体场效应晶体管 SiC MOSFET(silicon carbide metal-oxide-semiconductor field effect transistor)因具有低导通电阻、高频、高压等特点而广泛应用于电动汽车、轨道交通、智能电网等领域^[1],并成为了当前功率器件研究的热点之一^[2]。然而相比 Si IGBT, SiC/SiO₂ 界面缺陷密度比 Si/SiO₂ 高出 1~2 个数量级^[3],较高的缺陷密度会引起栅氧质量的显著降低,造成器件在实际应用中出现严重的可靠性问题^[4],这已成为 SiC

MOSFET 器件规模化实际应用的“最后一公里”问题。为了有效评估 SiC MOSFET 器件的栅氧质量,经时击穿 TDDB(time-dependent dielectric breakdown)、高温栅偏 HTGB(high-temperature gate bias)等加速老化测试被用作栅氧可靠性评估手段,通过预测器件工作寿命及监测器件静态参数变化,为 SiC MOSFET 器件长期可靠工作提供参考。此外,在实际应用中, SiC MOSFET 器件会受到例如短路 SC(short circuit)、非钳位感性负载开关 UIS(unclamped inductive switching)等瞬态极端应力冲击,从而出现器件阈值电压漂移或栅极损坏失效等

可靠性问题。因此,为了提高 SiC MOSFET 器件的栅氧可靠性,国内外大量研究聚焦碳化硅栅氧生长工艺的优化与改善,例如氮^[5]、磷退火^[6]和高 k 材料^[7]等。氮退火可显著降低 SiC/SiO₂ 界面缺陷密度,提高阈值电压稳定性,但在高温退火过程中引起的界面缺陷再生限制了其对栅氧质量的进一步提升。高 k 材料的引入虽然可以降低栅氧电场强度,减小栅泄漏电流,然而在 400~700 °C 制造过程中生成的亚氧化物会造成 SiC MOSFET 栅氧可靠性退化。因此,针对以上介绍的栅氧质量提升方法还需要更深入的研究。

综上所述, SiC MOSFET 器件栅氧问题是制约其未来发展的关键因素,全面总结与分析 SiC MOSFET 栅氧可靠性问题对于进一步了解其栅氧失效机理具有重要意义。因此,本文全面综述 SiC MOSFET 栅氧可靠性问题形成的原因、栅氧质量评估、极端工况下栅氧可靠性和栅氧质量的提升方法等,最后对栅氧可靠性研究进行总结。

1 栅氧可靠性问题形成的原因

由于 SiC MOSFET 热氧化过程中碳簇等缺陷的形成,导致 SiC/SiO₂ 界面存在大量缺陷电荷,图 1 显示了 SiC/SiO₂ 界面处的主要缺陷类型,界面缺陷电荷分为可移动电荷、固定氧化层电荷、氧化层陷阱电荷、近界面氧化层陷阱电荷和界面电荷。其中 SiC MOSFET 栅氧化层中的可移动电荷通常是由氧化工艺阶段的碱金属污染所造成,在栅氧中的主要存在形式为 K⁺和 Na⁺离子,它们会在高温、高电场下发生迁移,影响阈值电压(V_{th})的漂移。固定氧化层电荷的产生是由热氧化过程中未形成完整晶格的深能级悬挂键、碳团簇和低价氧化物等缺陷引起的^[8],并且它无法与衬底进行电荷交换,只有进行低温退火可有效降低固定电荷密度。氧化层陷阱电荷的形成是由于 SiO₂ 生长过程中自身氧化缺陷及 CO 残留所引起的缺陷陷阱,可通过粒子辐射、热载流子注入和 F-N 隧穿捕获电荷。氧化层陷阱电荷位于栅氧化层体内,具有较大的捕获和释放时间常数,主要影响 SiC MOSFET 阈值电压的长期

稳定性及栅氧可靠性。近界面陷阱电荷相比氧化层陷阱电荷更靠近 SiC/SiO₂ 界面,分布在 SiC 和 SiO₂ 之间几纳米厚度的过渡层区域。这类陷阱主要来源于界面附近的氧空位缺陷,这些氧空位的形成是过渡层中 Si 和 O 元素的比例失衡所导致的^[9]。近界面陷阱相比氧化层陷阱电荷具有更短的捕获和释放时间常数,表现为更容易捕获和释放电荷。界面态陷阱电荷的形成源于界面处悬挂键、晶格失配等结构缺陷,主要分为施主型缺陷和受主型缺陷:施主型缺陷的分布靠近价带,在未捕获电子的状态下显正电,在捕获电子后不带电;受主型缺陷的分布靠近导带,在未捕获电子时显中性,在捕获电子后带负电。器件正常工作时,界面电荷和近界面陷阱电荷会捕获电子和空穴,造成阈值电压漂移,氧化层陷阱电荷在高温、高电场下捕获电子和空穴,造成器件栅氧泄漏电流的增大和阈值电压永久性漂移^[10]。另一方面,由高斯定理可知, SiO₂ 介电常数比 SiC 低 2.5 倍,由于功率 SiC MOSFET 工作时栅压较大,导致栅氧层容易承受超过 3 MV/cm 以上的电场强度,这会造成严重的可靠性问题。最后,作为宽带隙材料, SiC 和 SiO₂ 之间的能带偏移量远低于 Si 和 SiO₂ 之间的能带偏移量, SiC/SiO₂ 界面的隧穿势垒降低至 2.7 eV,使得电子更容易发生隧穿^[11]。因此,在相同电场下, SiC MOSFET 器件的栅极隧穿电流要远远高于硅基器件。

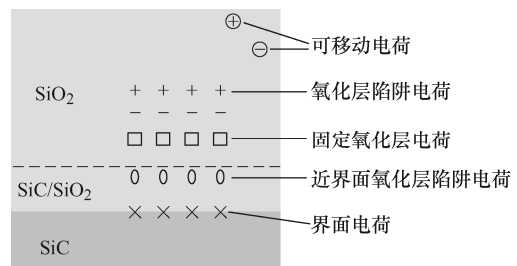


图 1 SiC MOS 结构主要电荷示意

Fig. 1 Schematic of main charges existing in SiC MOS structure

2 栅氧可靠性评估方法

针对 SiC MOSFET 的栅氧可靠性问题,准确的

栅氧质量评估方法对器件工作寿命的预测和栅氧可靠性机理研究具有重要意义。目前常用的栅氧可靠性评估方法有:经时击穿 TDDDB、高温栅偏 HTGB 和高温交流栅应力 AC-HTGS(AC-high temperature gate stress)等。

2.1 经时击穿 TDDDB

自 20 世纪 90 年代起, TDDDB 测试已被广泛用于功率 MOSFET 栅极氧化物的质量评估^[12], 根据器件外加电场的方式, TDDDB 寿命预测可分为恒定电压(电流)TDDDB 和斜坡电压(电流)TDDDB。其中, 恒定电压法常通过施加 1 个低于氧化物击穿电压的恒定电压来预测器件的栅氧寿命, 而斜坡电压法常用于获得栅极泄漏电流的变化趋势和提取栅氧化物击穿电场。恒定电压法可以获得不同栅压和温度条件下 SiC MOSFET 的失效时间, 并通过威布尔分布统计来评估器件的栅氧质量, 并进一步推测出栅氧化层的使用寿命。图 2 为平面型 SiC MOSFET 在 150 °C 下恒定电压法 TDDDB 测试的栅氧寿命威布尔分布, 可以看出: 随着施加栅压的增大, 器件的失效时间逐渐缩短, 其中 β 为威布尔分布斜率参数, 失效时间的变化越小, β 越大, 表明栅极氧化物均一性越好^[13]。图 3 为室温下 SiC MOSFET 的斜坡电压法 TDDDB 测试的 $I_{gss}-V_{gs}$ 特性曲线^[14], 可以看到: 栅极泄漏电流在氧化物击穿前呈指数增长, 其中 F-N 隧穿是主要导电机理。在高温、高电场应力下, 由于栅氧电场增大和界面有效势垒高度降低, 栅漏电流急剧增大, 导致 SiC MOSFET 过早击穿。

近年来, SiC MOSFET 的栅极氧化物寿命已经取得了令人鼓舞的结果, 科锐、罗姆和意法半导体等^[10]制造商在 150 °C 下对商用平面型和沟槽型 1 200 V SiC MOSFET 进行寿命预测, 20 V 栅压下商用平面型和沟槽型器件的工作寿命分别为 800 万小时和 3 亿年, 15 V 栅压下器件的寿命分别为 6 亿小时和 1 亿年^[15-16]。这源于沟槽型 SiC MOSFET 侧壁栅氧晶面缺陷密度低于平面型器件的晶面(0001), 使得沟槽器件在较大的栅应力下表现出更长的使用寿命。然而, 在实际工况中, 沟槽型器件引起的栅氧可靠性问题远远大于平面型器件, 工作

中较大的漏极电压(V_{ds})引起的栅氧拐角处的电场集中会导致栅氧被击穿。因此, 沟槽型器件的栅氧可靠性研究更多地集中于栅氧底部拐角处。尽管上述测试结果表明目前商用 SiC MOSFET 的栅氧质量已得到极大提升, 然而相比 Si 器件, SiC 器件的潜在早期失效仍高出 3~4 个数量级^[17], 因此提高栅氧化层质量, 以减少 SiC MOSFET 的早期失效是目前亟待突破的关键技术瓶颈。

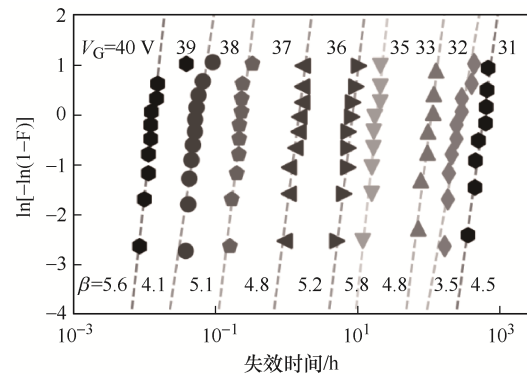


图 2 平面型 SiC MOSFET 在 150 °C 下不同栅电压应力下测量寿命的威布尔分布^[13]

Fig. 2 Weibull distribution of measuring life of planar SiC MOSFETs under different gate voltage stresses at 150 °C^[13]

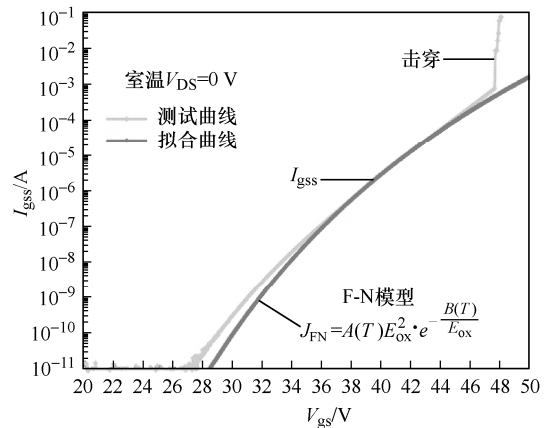


图 3 室温下 SiC MOSFET 的斜坡电压法 TDDDB 测试的 $I_{gss}-V_{gs}$ 特性曲线^[14]

Fig. 3 $I_{gss}-V_{gs}$ characteristic curve of SiC MOSFETs measured by TDDDB ramp voltage method at room temperature^[14]

2.2 高温栅偏 HTGB

HTGB 常被用于评估 SiC MOSFET 栅氧化层的静态特性退化特性, 主要包括阈值电压(V_{th})、导通电阻(R_{on})和栅泄漏电流(I_{gss})。由于 SiC/SiO₂ 界面

较高的缺陷密度, HTGB 测试会导致器件发生 V_{th} 漂移, 这被称为阈值电压不稳定性 BTI(bias temperature instability)^[18]。图 4 为不同栅偏置条件下 SiC/SiO₂ 结构的能带^[19]: 负栅压下, 能带向上弯曲, 栅氧化层中空穴被捕获, V_{th} 负漂, 称为负偏置温度不稳定性 NBTI(negative BTI); 正栅压下, 能带向下弯曲, 栅氧化层中电子被捕获, V_{th} 正漂, 称为正偏置温度不稳定性 PBTI(positive BTI)。 V_{th} 漂移与施加栅应力时间成幂律关系, 随着应力时间延长, 栅氧缺陷捕获电荷越多, V_{th} 漂移更显著^[20]。除栅压外, 温度的变化也影响 V_{th} 的退化量, Chen Zheng 等^[21]研究了 BTI 与温度变化的关系, 当温度为 175 °C 和 200 °C 时, V_{th} 漂移量分别增加 0.17 V 和 0.30 V。除此之外, 由于 V_{th} 的变化会影响器件的导通电阻, V_{th} 正漂会引起 R_{on} 增大, 从而增强导通损耗; V_{th} 负漂会使 R_{on} 降低, 导致关断状态下漏极电流增大, 并造成器件的误导通。在长期 HTGB 测试中, I_{gss} 会随着应力时间的延长和栅压的增大而增大, 最终达到 mA 量级导致栅氧击穿; 而在较低栅压下 I_{gss} 的增大在可接受范围内, 并不会造成器件失效, 只会发生 V_{th} 和 R_{on} 的退化^[2]。

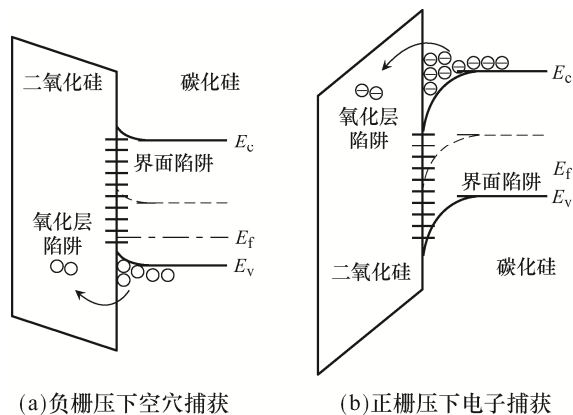


图 4 SiC/SiO₂ 界面不同栅压下的能带示意

Fig. 4 Schematic of energy bands at SiC/SiO₂ interface under different gate voltage stresses

2.3 高温交流栅应力 AC-HTGS

在实际应用中, 由于器件处于频繁开关状态, 因此高温下的栅开关应力也会引起器件显著的栅氧可靠性问题, AC-HTGS 主要评估 SiC MOSFET

动态栅应力下的静态参数退化。重庆大学 Jiang Huaping 等^[22]研究了动态栅开关应力对 V_{th} 的影响, 结果表明, 仅当开关频率较高、栅压为双极状态时, 才会发生显著的 V_{th} 退化, V_{th} 的漂移量与开关次数成幂律关系, 其与施加栅应力的时间无明显的关联。进一步的研究表明, AC-HTGS 中 V_{th} 漂移由开关时栅氧化层的局部电场决定^[23], 而总电场可分为栅氧化层电场和 SiC/SiO₂ 界面局部电场, 在器件开关瞬间由于局部电场的增强从而加速了电子和空穴的捕获, 并随着开关次数的增多, 更多的电子和空穴被捕获进氧化层中, 一部分发生复合, 一部分被陷阱捕获留在 SiO₂ 中^[23], 最终导致 V_{th} 正漂^[24], 并且 AC-HTGS 下的 V_{th} 漂移最终会饱和, 不会造成器件栅氧化层的击穿^[25]。此外, Zhong Xiaohan 等^[24]研究发现 dV_{gs}/dt 越高, AC-HTGS 下 V_{th} 漂移越显著, 并且负栅压对 V_{th} 的影响大于正栅压, 同时温度、频率、占空比等影响因素也被用于研究 AC-HTGS 下 V_{th} 的变化, 但它们对 V_{th} 退化的影响并不显著。

通过上述栅氧评估方法的总结可知, TDDB 虽然可以通过栅氧质量评估来预测 SiC MOSFET 的使用寿命, 但是其评估方式单一, 忽略了器件在正常工作中会受到漏压、导通电流和极端工况等应力对栅氧的影响, 导致其寿命预测的结果并不准确。而相比于 TDDB, HTGB 可以使用额定栅极电压来评估器件长期静态工况下的栅氧退化趋势, 更贴近器件实际应用中的状况, 同时 HTGB 主要使用静态参数的退化来预测器件的失效。因此, 在实际 SiC MOSFET 栅氧质量评估中, 可通过 TDDB 和 HTGB 相结合的方式更加准确地预测器件的使用寿命。而 AC-HTGS 主要针对 SiC MOSFET 在动态栅应力下的栅氧退化进行评估, 英飞凌的研究表明, 当器件达到一定开关次数时, 纯栅极开关应力和沟道导通下开关应力造成的 V_{th} 退化趋势是相近的。因此, AC-HTGS 对 SiC MOSFET 的栅氧质量评估较符合实际工况, 但其造成器件栅氧退化的机理目前并未形成共识, 尚待开展进一步的研究。

3 极端工况下的栅氧可靠性

SiC MOSFET 在工作中常受到极端应力的冲击, 包括短路、非钳位感性负载开关和浪涌电流, 在这些极端工况下器件会发生栅介质破裂、热失效和栅氧化层退化等现象。单次极端应力引起的大电流和高温环境主要造成器件栅介质破裂和热失效, 而重复极端应力下的器件主要发生栅氧化层退化。因此, 在这里主要介绍重复极端应力下的 SiC MOSFET 栅氧可靠性研究。

3.1 重复短路

重复短路应力下 SiC MOSFET 会受到高压大电流的冲击, 造成器件栅氧可靠性降低, 且栅氧界面陷阱电荷增多导致的 V_{th} 漂移是重复短路应力下栅氧退化的主要机制^[26-27]。Li Yuan 等^[26]通过仿真验证了平面型和沟槽型器件在受到不同栅压短路应力时栅氧电场的变化, 如图 5 所示: 当开态栅压为 10 V 时, 栅氧化层倾向于对空穴的捕获, 高漏压会使 JFET 和部分沟道区发生碰撞电离并产生电子-空穴对, 栅氧在漏压施加的电场下捕获空穴, 使得 V_{th} 负漂; 当开态栅压为 20 V 时, 沟道区的电子捕获成为 V_{th} 正漂的主要原因, 这表明在不同开

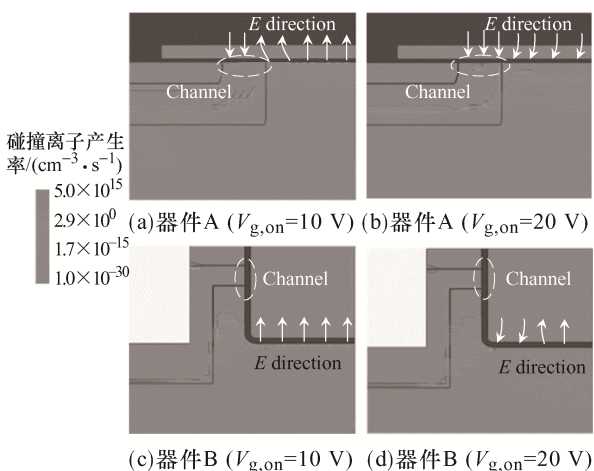


图 5 当 $V_{g,on}=10$ 、20 V 时器件 A 和器件 B 单次 SC 试验中碰撞离子产生率和垂直电场分布^[26]

Fig. 5 Distributions of I.I. generation rate and vertical electric field for Device A and Device B during one single SC test when $V_{g,on} = 10$ V and $V_{g,on} = 20$ V, respectively^[26]

态栅压下栅氧承受的电场方向不同。除栅压大小对 V_{th} 漂移的影响外, 重复短路的持续时间也会造成 V_{th} 漂移趋势的不同^[28], 图 6 显示: 当短路时间仅为 0.8 μ s 时, V_{th} 发生负漂, 源于大电场引起的碰撞电离产生空穴注入; 当短路时间变长, 增强了沟道区电子注入栅氧化层, V_{th} 正漂。Yu Renze 等^[29]研究了平面、双沟槽和非对称沟槽器件在重复短路下的退化分析, 实验结果表明平面型器件在 25 $^{\circ}$ C 和 175 $^{\circ}$ C 下静态特性退化较小, 双沟槽和非对称沟槽器件在经受一定短路应力次数后发生栅氧化层破裂, I_{gss} 急剧上升。除此之外, 重复短路过程产生的巨大热应力会引起顶部源极金属局部过热发生重构, 使得 R_{on} 增大^[30]。

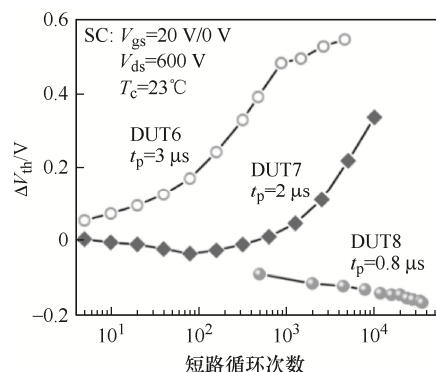


图 6 不同短路脉冲时间下的 V_{th} 退化模式^[28]

Fig. 6 V_{th} degradation mode under different values of short-circuit pulse time^[28]

3.2 重复非钳位感性负载开关

在 SiC MOSFET 受到重复 UIS 应力下, 电流主要从 SiC MOSFET 体二极管流出, TCAD 数值模拟表明 UIS 过程中 JFET 区域碰撞电离率和垂直电场达到峰值, 在较大漏极电压下 JFET 区由于高电场发生碰撞电离而产生空穴被注入上方栅氧化层中, 这是导致重复 UIS 下栅极氧化层退化的主要机制^[31]。Wei Jiaying 等^[32]研究了平面型 SiC MOSFET 经受重复 UIS 应力后栅氧在不同区域的退化趋势, 如图 7 所示, C_g-V_g 曲线结果显示在 II 区域曲线无显著变化, 而在 III 和 IV 区域 C_g-V_g 曲线负漂, 进一步验证了 JFET 区上方栅氧化层对空穴的捕获。而有的报道^[33]指出, 经过一定次数的 UIS 后, 部分沟道区域上方的栅氧化层也会捕获空穴, 使得 V_{th}

负漂。Deng Xiaochuan 等^[34]对比了双沟槽及非对称沟槽 SiC MOSFET 的仿真结果,如图 8 所示:重复 UIS 应力下双沟槽器件由于更大的槽栅底部氧化层电场,造成了更严重的热空穴注入,使得双沟槽器件底部栅氧化层发生缺陷累积并最终产生电流通路;非对称沟槽器件在经历重复 UIS 应力下由于栅氧承受的电场较低,最终发生热失效。 R_{on} 正漂是因为重复 UIS 后器件材料的热疲劳和内部热膨胀系数不同所导致的封装退化^[31]。除此之外,由于 JFET 区上方栅氧化层捕获空穴,使得 C_{gd} 增大,而 C_{gd} 增大导致器件的米勒平台持续时间增长,从而延长了器件的关断时间^[32]。

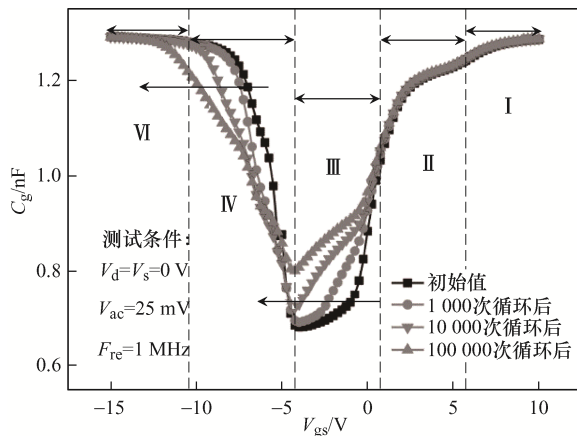


图 7 不同 UIS 应力循环后 SiC 功率 MOSFET 的 C_g - V_{gs} 特性^[32]

Fig. 7 C_g - V_g characteristics of SiC power MOSFET after different UIS stress cycles^[32]

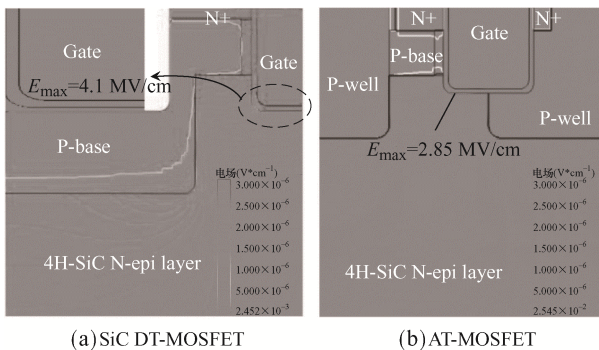


图 8 SiC DT-MOSFET 和 AT-MOSFET 在 3.6 mH 感应负载和栅极氧化物电荷密度为 $2 \times 10^{12} \text{ cm}^{-2}$ 时雪崩模式下的电场分布^[34]

Fig. 8 Electric field distribution of SiC DT-MOSFET and AT-MOSFET in avalanche mode with 3.6 mH inductive load and gate oxide charge density of $2 \times 10^{12} \text{ cm}^{-2}$ ^[34]

3.3 重复浪涌

SiC MOSFET 体二极管成为电路中反并联二极管的研究被逐步报道,目前工艺技术的发展使得商用 SiC MOSFET 体二极管导通状态下的双极退化问题逐步得到改善^[35],因此重复浪涌电流应力下栅氧化层退化成为其主要的失效机制。研究^[36]表明,当体二极管导通且 $V_{gs}=0 \text{ V}$ 时,大部分电流流经 SiC MOSFET 体二极管,小部分电流流经沟道,静态测试显示 V_{th} 正漂,说明有电子被注入栅氧化层中。这源于当 $V_{sd}>0$ 且 $V_{gs}=0$ 时,栅极和 SiC MOSFET 表面沟道处存在电位差导致沟道被开启,流经沟道的电子因电场作用被注入栅氧化层中。图 9 TCAD 的仿真结果表明沟道区有大量电子流过,当关态栅压从 0 降至 -10 V 时,沟道区和 JFET 区电场方向发生变化,栅氧化层在电场作用下从捕获电子变为捕获空穴,使得 V_{th} 在栅压为 0 V 时正漂,栅压为 -5 V 和 -10 V 时负漂;当关态栅压为 -3 V 时,沟道处电场较弱,栅氧化层的电荷隧穿效应被减弱,因此 V_{th} 无显著漂移^[36]。 R_{on} 随着重复浪涌电流应力而持续增大,这是由重复热应力的封装退化

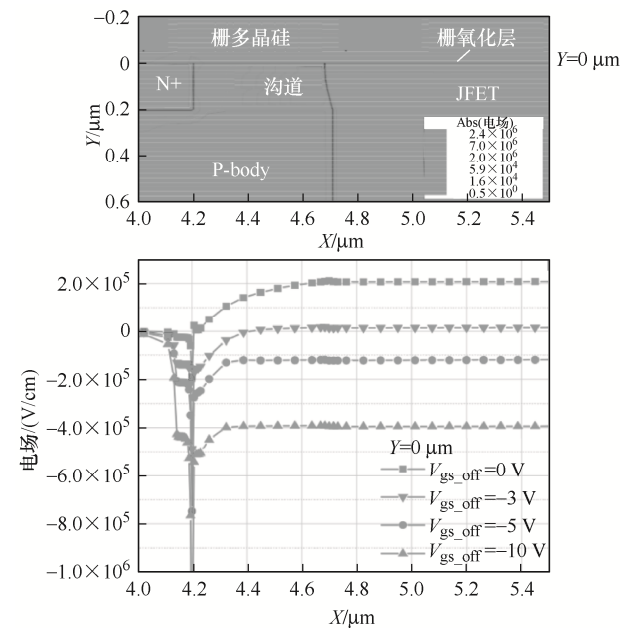


图 9 110 A 浪涌电流应力和 5 ms 下不同 V_{gs_off} SiC MOSFET 元胞区沿 SiC/SiO₂ 界面的垂直电场^[36]

Fig. 9 Vertical electrical field along SiC/SiO₂ interface of SiC MOSFET cell region with different V_{gs_off} under 110 A surge current stress and 5 ms^[36]

引起的^[37]。除此之外, 有研究^[38]表明非对称沟槽型器件受到重复浪涌应力后, 即使 V_{gs} 为 0 V, V_{th} 也发生了负漂, 但当栅压为负数时, R_{on} 和 V_{th} 等其他电性能的退化趋势与平面型器件相似。

4 栅氧可靠性的提升方法

目前 SiC MOSFET 的重要研究方向之一聚焦于如何通过 SiC MOSFET 制造工艺的改善和器件结构的优化来降低 SiC/SiO₂ 界面缺陷和栅氧电场, 从而提升栅氧可靠性。常用的 SiC MOSFET 栅氧可靠性提升方法有: 氮退火、高 k 材料和结构优化等。

4.1 氮退火

氮(N)元素退火可显著降低 SiC MOSFET 的界面态密度, 提升栅氧化层质量^[39]。图 10 显示 N 与 SiC/SiO₂ 界面处的悬挂键、C 缺陷形成 Si-N 键和 C-N 键, 减少了界面缺陷电荷, 使得界面态密度显著降低^[40]。近年来, 氮等离子体钝化技术因其较大的钝化覆盖范围而被用于降低 SiC/SiO₂ 界面态密度, Yang Chao 等^[41]使用电子回旋共振 ECR (electron cyclotron resonance) 微波混合 N 和 O 等离子体后氧化退火 SiC MOSFET, 降低界面态密度至 $2.27 \times 10^{12} \text{ cm}^{-2}/\text{eV}$, 但 PBTS 和 NBTS 显示迟滞效应仍大于 N、O 退火, 并且近界面氧化层电荷仍然存在。此外, N 退火在 1 000~1 500 °C 高温中会引起界面缺陷的再生成, 使得 N 元素对界面态密度的降低有一定的限制。Wang Menghua 等^[39]使用超临界 N₂O 流体(SCN₂O)改善 SiC/SiO₂ 界面缺陷, 经过

SCN₂O 后氧化退火, 界面态密度显著降低, 栅氧化层临界电场相比 N₂O 退火增加了 18.19%, 并且此工艺在 120 °C 低温下进行, 减少了因高温氧化退火中 SiC/SiO₂ 界面不稳定而产生的新缺陷。综上所述, N 退火技术有效地提升了栅氧界面质量, 提高了沟道迁移率和沟道电阻, 然而近界面陷阱电荷的存在导致退火后 SiC MOSFET 的 BTI 效应依旧未得到显著改善, 这对于提升 SiC MOSFET 栅氧长期可靠性仍具有一定的限制。

除 N 元素退火提升 SiC MOSFET 的栅氧界面缺陷技术外, 磷^[42]和硼^[43]元素掺杂也可显著降低器件界面态密度。Okamoto D 等^[44-45]和 Yano H 等^[46]将器件置于 POCl₃ 环境中高温退火, 使得导带边缘附近的界面态密度降至 $1 \times 10^{11} \text{ cm}^{-2}/\text{eV}$, 并且近界面陷阱密度对比 N、O 退火技术更低, 但在高温、高栅压下的 V_{th} 漂移量更大, 这源于更多的氧化层陷阱电荷的生成。而具有更小原子质量的硼元素, 在通过钝化工艺降低 SiC MOSFET 栅氧界面陷阱密度的同时, 能够降低与氧原子结合的强度, 促进氧化物中的应力松弛, 以增强栅氧质量^[43]。

4.2 高 k 材料

高 k 材料的使用可显著提升 SiC MOSFET 的栅氧可靠性^[47]。目前, 改善 SiC MOSFET 栅氧化层常见的高 k 材料有 Al₂O₃、HfO₂ 和 ZrO₂ 等, 图 11 表明这些常见的高 k 材料具有较大的禁带宽度, 能与 SiC 带隙形成合适的能带排列, 避免栅极泄漏电流的产生; 较高的介电常数可显著降低栅氧化层电场, 使得栅氧被击穿的风险大大降低, 同时栅氧电场的降低可减小栅氧化层的厚度, 减少成本, 提升栅开关的速度。目前, 使用高 k 材料的方法是将较薄的 SiO₂ 夹在高 k 材料和 SiC 之间形成复合栅氧化层, 可将 SiO₂ 厚度减小至约 10 nm; SiO₂ 层也可作为界面屏障, 可以减少高 k 材料与 SiC 因物理性质差异而形成的界面缺陷, 同时能够减轻高 k 材料与 SiC 之间产生的泄漏电流, 避免在高 k /SiC 界面发生化学反应^[48]。HfO₂ 具有 20~25 的介电常数, 尽管可以降低栅氧电场, 但其能带带隙与 SiC 之间的势垒高度偏差较低, 容易发生栅漏电流, 造成栅

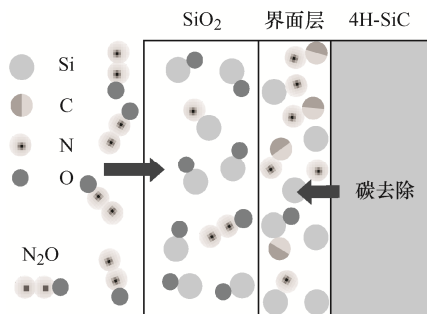


图 10 氮元素钝化 SiC/SiO₂ 界面示意

Fig. 10 Schematic of nitrogen passivation at SiC/SiO₂ interface

氧化层退化^[49], 因此常用来与其他高 k 材料复合以减少栅漏电流效应。大多数高 k 材料的局限性在于 400~700 °C 的制造过程中亚氧化物的形成, 这种中间副产物被证明对 SiC MOSFET 栅氧可靠性是有害的, 表现为栅泄电流增大。

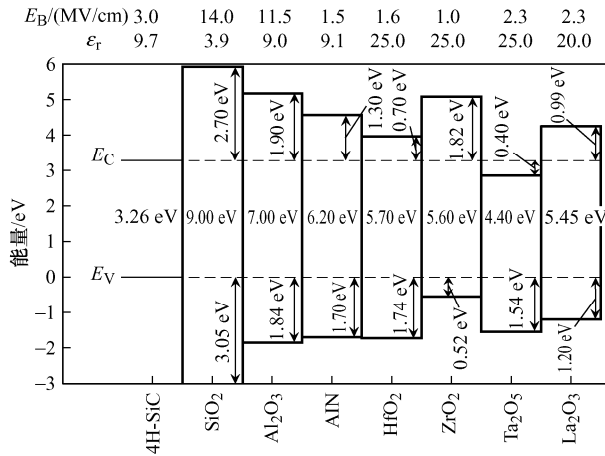


图 11 与 SiC 相比, 各种高 k 介电材料的击穿场、介电常数、带偏移和带隙^[47]

Fig. 11 Breakdown field, dielectric constant, band offsets and bandgap of various high- k dielectrics in comparison with SiC^[47]

4.3 器件的结构优化

结构优化主要通过改变 SiC MOSFET 的器件结构以提升其栅氧可靠性^[50]。目前, 平面栅结构优化最新研究^[51]表明, 使用额定电压 1 200 V 嵌入源场板的分裂栅 SiC MOSFET 结构, 可以将传统结构的栅氧电场从 3.86 MV/cm 降至 2.64 MV/cm, 从而提升了阻断电压, 并且开关损耗相比于传统平面型器件降低了 25%。针对双沟槽器件拐角处的电场集中, 有研究者^[52]使用足够深度的双 p 型基区掺杂结构改善 1 200 V 沟槽型器件的栅氧可靠性, 较深的 p 型基区掺杂可保护沟槽拐角处的栅氧电场, 增强 SiC MOSFET 的击穿电压。此外, 一种反向沟道的 SiC MOSFET 沟槽型器件新结构^[53]被提出, 当器件关断时, 栅氧被接地的 p 屏蔽层所保护, 未受到显著的影响, 并且开关损耗降低了 64.5%。上述器件结构优化虽然可降低 SiC MOSFET 工作时的栅氧电场强度, 但是实际生产工艺的成熟度和商业化仍需要较长的一段时间。

5 结论

本文通过对近年来国内外 SiC MOSFET 栅氧可靠性研究成果的梳理和分析, 较全面地综述了 SiC MOSFET 栅氧可靠性的研究现状。首先, 介绍了目前 SiC MOSFET 栅氧存在的主要问题, 并对 TDDB、HTGB 和 AC-HTGS 在内的栅氧质量评估方法进行了总结与对比。然后, 对 SiC MOSFET 在极端工况下的栅氧可靠性进行分析, 研究表明, 包括重复短路、重复 UIS、重复浪涌在内的极端应力会造成器件栅氧静态参数退化和封装退化, 主要表现为 V_{th} 和 R_{on} 的退化。最后, 为提高 SiC MOSFET 栅氧质量, 氮退火、高 k 材料和器件结构优化等栅氧质量提升方法被整理和分析, 结果表明这些方法虽然在一定程度上提高了 SiC MOSFET 的栅氧质量, 但由于其自身的局限性, 使得改善器件长期的可靠性具有一定的限制。

综上所述, 本文针对 SiC MOSFET 器件目前存在的栅氧可靠性问题进行了归纳与总结, 可以为这方面的研究提供一个全面的认识和理解, 但同时认为 SiC MOSFET 器件栅氧高缺陷密度形成机制及其极端应力下栅氧损伤失效机理在物理本质上的认识仍不明确, 如何降低和抑制 SiC/SiO₂ 界面缺陷的产生是突破 SiC MOSFET 器件栅氧可靠性问题的根本所在, 只有揭示栅氧界面缺陷形成机理并拥有更加有效的生产工艺, 才能彻底地解决 SiC MOSFET 器件的栅氧问题。

参考文献:

- [1] Lee H, Smet V, Tummala R. A review of SiC power module packaging technologies: Challenges, advances, and emerging issues [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 239-255.
- [2] Shen Yutong, He Zhiyuan, Shi Yijun, et al. Time-dependent degradation mechanism of 1.2 kV SiC MOSFET under long-term high-temperature gate bias stress [J]. IEEE Transactions on Electron Devices, 2023, 70(3):

- 1162-1167.
- [3] Cheung K P. SiC power MOSFET gate oxide breakdown reliability—Current status [C]// 2018 IEEE International Reliability Physics Symposium (IRPS). Burlingame, CA, USA, 2018: 2B.3-1-2B.3-5.
- [4] Chaturvedi M, Dimitrijević S, Haasmann D, et al. Comparison of commercial planar and trench SiC MOSFETs by electrical characterization of performance-degrading near-interface traps [J]. *IEEE Transactions on Electron Devices*, 2022, 69(11): 6225-6230.
- [5] Modic A, Sharma Y K, Xu Y, et al. Nitrogen plasma processing of SiO₂/4H-SiC interfaces [J]. *Journal of Electronic Materials*, 2014, 43(4): 857-862.
- [6] Li Shuai, Luo Jun, Ye Tianchun. Investigation of reducing interface state density in 4H-SiC by increasing oxidation rate [J]. *Nanomaterials*, 2023, 13(9): 1568.
- [7] Wirths S, Arango Y, Mihaila A, et al. Vertical power SiC MOSFETs with high-k gate dielectrics and superior threshold voltage stability [C]// 2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Vienna, Austria, 2020: 226-229.
- [8] Lelis A J, Habersat D, Green R, et al. Time dependence of bias-stress-induced SiC MOSFET threshold-voltage instability measurements [J]. *IEEE Transactions on Electron Devices*, 2008, 55(8): 1835-1840.
- [9] Afanasev V V, Bassler M, Pensl G, et al. Intrinsic SiC/SiO₂ interface states [J]. *Physica Status Solidi Applied Research*, 1997, 162(1): 321-337.
- [10] Wang Jun, Jiang Xi. Review and analysis of SiC MOSFETs' ruggedness and reliability [J]. *IET Power Electronics*, 2020, 13(3): 445-455.
- [11] Chbili Z, Chbili J, Campbell J P, et al. Massively parallel TDDDB testing: SiC power devices [C]// 2015 IEEE International Integrated Reliability Workshop (IIRW). South Lake Tahoe, CA, USA, 2015: 91-94.
- [12] Mathur M M, Cooper J A. Time-dependent-dielectric-breakdown measurements of thermal oxides on n-type 6H-SiC [J]. *IEEE Transactions on Electron Devices*, 1999, 46(3): 520-524.
- [13] Liu Tianshi, Zhu Shengnan, White M H, et al. Time-dependent dielectric breakdown of commercial 1.2 kV 4H-SiC power MOSFETs [J]. *IEEE Journal of the Electron Devices Society*, 1898, 9: 633-639.
- [14] Xiao Yiping, Liu Chaoming, Zhang Yanqing, et al. Ionization radiation-induced reliability degradation of SiC power MOSFET [J]. *IEEE Transactions on Electron Devices*, 2023, 70(12): 6480-6485.
- [15] WBG power devices: status and prospects' [Z/OL] [2024-03-01] https://www.acreo.se/sites/default/files/pub/acreo.se/Events/SCAPE_2018_Presentations/Tutorial/1a_mietek_bakowski_sicdevices.pdf, access 2018.
- [16] 'Beyond silicon—reliability assessment of SiC MOSFET devices for heavyhybrid and electric vehicles' [Z/OL] [2024-03-01] <https://www.energimyndigheten.se/contentassets/8e9d250e9d534-34d848e37d637a99d2073/session-6/5-bortomkisel-utvardering-av-tillforlitligheten-hos-sic-mosfet-komponenter.pdf>.
- [17] Chbili Z, Matsuda A, Chbili J, et al. Modeling early breakdown failures of gate oxide in SiC power MOSFETs [J]. *IEEE Transactions on Electron Devices*, 2016, 63(9): 3605-3613.
- [18] Yang Chao, Wei Shengsheng, Wang Dejun. Bias temperature instability in SiC metal oxide semiconductor devices [J]. *Journal of Physics D Applied Physics*, 2021, 54(12): 123002.
- [19] Jiang Junsong, Tian Mohan, Ji Wen, et al. Mechanism of threshold voltage instability in SiC MOSFETs and impacts on dynamic switching [C]// 2023 35th International Symposium on Power Semiconductor Devices and ICs. Hong Kong, China, 2023: 318-321.
- [20] Chen Haonan, Yu Kanghua, Ding Jieqin, et al. Comprehensive investigation of gate oxide instability in 4H-SiC MOSFETs and MOS capacitors under high gate bias stress [J]. *IEEE Transactions on Electron Devices*, 2024, 71(3): 1662-1669.
- [21] Chen Zheng, Yao Yiyi, Danilovic M, et al. Performance evaluation of SiC power MOSFETs for high-temperature applications [C]// The 15th International Power Electronics and Motion Control Conference (EPE/PEMC). Novi Sad, Serbia, 2012: DS1a.8-1-DS1a.8-9.
- [22] Jiang Huaping, Zhong Xiaohan, Qiu Guanqun, et al. Dynamic gate stress induced threshold voltage drift of

- silicon carbide MOSFET [J]. IEEE Electron Device Letters, 2020, 41(9): 1284-1287.
- [23] Jiang Huaping, Qi Xiaowei, Qiu Guanqun, et al. A physical explanation of threshold voltage drift of SiC MOSFET induced by gate switching [J]. IEEE Transactions on Power Electronics, 2022, 37(8): 8830-8834.
- [24] Zhong Xiaohan, Jiang Huaping, Qiu Guanqun, et al. Bias temperature instability of silicon carbide power MOSFET under AC gate stresses [J]. IEEE Transactions on Power Electronics, 2022, 37(2): 1998-2008.
- [25] Salmen P, Feil M W, Waschneck K, et al. A new test procedure to realistically estimate end-of-life electrical parameter stability of SiC MOSFETs in switching operation [C]// 2021 IEEE International Reliability Physics Symposium (IRPS). Monterey, CA, USA, 2021: 1-7.
- [26] Li Yuan, Zhou Xintian, Zhao Yuanfu, et al. Gate bias dependence of V_{TH} degradation in planar and trench SiC MOSFETs under repetitive short circuit tests [J]. IEEE Transactions on Electron Devices, 2022, 69(5): 2521-2527.
- [27] Wang J L, Chen Y Q, Feng J T, et al. Trap analysis based on low-frequency noise for SiC power MOSFETs under repetitive short-circuit stress [J]. IEEE Journal of the Electron Devices Society, 2020, 8(1): 145-151.
- [28] Sun Jiahui, Wei Jin, Zheng Zheyang, et al. Short circuit capability and short circuit induced V_{TH} instability of a 1.2-kV SiC power MOSFET [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1539-1546.
- [29] Yu Renze, Jahdi S, Mellor P, et al. Degradation analysis of planar, symmetrical and asymmetrical trench SiC MOSFETs under repetitive short circuit impulses [J]. IEEE Transactions on Power Electronics, 2023, 38(9): 10933-10946.
- [30] Eni E P, Bęczkowski S, Munk-Nielsen S, et al. Short-circuit degradation of 10-kV 10-A SiC MOSFET [J]. IEEE Transactions on Power Electronics, 2017, 32(12): 9342-9354.
- [31] Zhou Xintian, Su Hongyuan, Yue Ruifeng, et al. A deep insight into the degradation of 1.2-kV 4H-SiC mosfets under repetitive unclamped inductive switching stresses [J]. IEEE Transactions on Power Electronics, 2018, 33(6): 5251-5261.
- [32] Wei Jiaying, Liu Siyang, Li Sheng, et al. Comprehensive investigations on degradations of dynamic characteristics for SiC power MOSFETs under repetitive avalanche shocks [J]. IEEE Transactions on Power Electronics, 2019, 34(3): 2748-2757.
- [33] Li Xuan, Tong Xing, Hu Rui, et al. Failure mechanism of avalanche condition for 1200-V double trench SiC MOSFET [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(2): 2147-2154.
- [34] Deng Xiaochuan, Huang Wei, Li Xu, et al. Investigation of failure mechanisms of 1200 V rated trench SiC MOSFETs under repetitive avalanche stress [J]. IEEE Transactions on Power Electronics, 2022, 37(9): 10562-10571.
- [35] Palanisamy S, Basler T, Lutz J, et al. Investigation of the bipolar degradation of SiC MOSFET body diodes and the influence of current density [C]// 2021 IEEE International Reliability Physics Symposium (IRPS). Monterey, CA, USA, 2021: 1-6.
- [36] Jiang Xi, Wang Jun, Chen Jianjun, et al. Investigation on degradation of SiC MOSFET under surge current stress of body diode [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 77-89.
- [37] Ma Dezhi, He Zhiyuan, Chen Yuan, et al. Degradation evaluation and defects analysis for 1.2-kV planar-gate SiC MOSFETs under repetitive surge current stress [J]. IEEE Transactions on Electron Devices, 2023, 70(12): 6473-6479.
- [38] Wang Zhenyu, Li Yunjia, Sun Xiaohua, et al. Reliability investigation on SiC trench MOSFET under repetitive surge current stress of body diode [C]// 2020 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). Suita, Japan, 2020: 1-4.
- [39] Wang Menghua, Yang Mingchao, Liu Weihua, et al. A highly efficient annealing process with supercritical N₂O at 120 °C for SiO₂/4H-SiC interface [J]. IEEE Transactions on Electron Devices, 2021, 68(4): 1841-1846.
- [40] Amini Moghadam H, Dimitrijević S, Han Jisheng, et al. Active defects in MOS devices on 4H-SiC: A critical

- review [J]. *Microelectronics Reliability*, 2016, 60: 1-9.
- [41] Yang Chao, Yin Zhipeng, Zhang Fanglong, et al. Synergistic passivation effects of nitrogen plasma and oxygen plasma on improving the interface quality and bias temperature instability of 4H-SiC MOS capacitors [J]. *Applied Surface Science*, 2020, 513: 145837.
- [42] Idris M I, Weng M H, Chan H K, et al. Instability of phosphorous doped SiO₂ in 4H-SiC MOS capacitors at high temperatures [J]. *Journal of Applied Physics*, 2016, 120(21): 214902.
- [43] Okamoto D, Sometani M, Harada S, et al. Effect of boron incorporation on slow interface traps in SiO₂/4H-SiC structures [J]. *Applied Physics A*, 2017, 123(2): 133.
- [44] Okamoto D, Yano H, Hirata K, et al. Improved inversion channel mobility in 4H-SiC MOSFETs on Si face utilizing phosphorus-doped gate oxide [J]. *IEEE Electron Device Letters*, 2010, 31(7): 710-712.
- [45] Okamoto D, Yano H, Hatayama T, et al. Removal of near-interface traps at SiO₂/4H-SiC (0001) interfaces by phosphorus incorporation [J]. *Applied Physics Letters*, 2010, 96(20): 203508.
- [46] Yano H, Kanafuji N, Osawa A, et al. Threshold voltage instability in 4H-SiC MOSFETs with phosphorus-doped and nitrated gate oxides [J]. *IEEE Transactions on Electron Devices*, 2015, 62(2): 324-332.
- [47] Siddiqui A, Khosa R Y, Usman M. High-*k* dielectrics for 4H-silicon carbide: Present status and future perspectives [J]. *Journal of Materials Chemistry C*, 2021, 9(15): 5055-5081.
- [48] Cabello M, Soler V, Rius G, et al. Advanced processing for mobility improvement in 4H-SiC MOSFETs: A review [J]. *Materials Science in Semiconductor Processing*, 2018, 78: 22-31.
- [49] Taube A, Gierałowska S, Gutt T, et al. Electronic properties of thin HfO₂ films fabricated by atomic layer deposition on 4H-SiC [J]. *Acta Physica Polonica A*, 2011, 119(5): 696-698.
- [50] Kong Moufu, Cheng Zeyu, Hu Zewei, et al. A new SiC quasi MOSFET for ultra-low specific on-resistance and improved reliability [J]. *IEEE Transactions on Device and Materials Reliability*, 2023, 23(4): 577-583.
- [51] Yu Hengyu, Wang Jun, Zhang Jinyi, et al. Theoretical analysis and experimental characterization of 1.2-kV 4H-SiC planar split-gate MOSFET with source field plate [J]. *IEEE Transactions on Electron Devices*, 2024, 71(3): 1508-1512.
- [52] Shen Zhanwei, Zhang Feng, Yan Guoguo, et al. High-frequency switching properties and low oxide electric field and energy loss in a reverse-channel 4H-SiC UMOFET [J]. *IEEE Transactions on Electron Devices*, 2020, 67(10): 4046-4053.
- [53] Wang Hengyu, Wang Baozhu, Kong Lingxu, et al. 4H-SiC trench gate lateral MOSFET with dual source trenches for improved performance and reliability [J]. *IEEE Transactions on Device and Materials Reliability*, 2023, 23(1): 2-8.



胡嘉豪

作者简介:

胡嘉豪(1995—), 男, 博士研究生。
研究方向: 功率半导体器件。E-mail:
jiahao_hu1995@163.com。

王英伦(2000—), 男, 硕士研究生。
研究方向: 功率半导体器件。E-mail:
18192180368@163.com。

代豪豪(2000—), 男, 硕士研究生。
研究方向: 功率半导体器件。E-mail:
dai_hh@foxmail.com。

邓小川(1974—), 男, 通信作者,
博士, 教授。研究方向: 功率半导体器
件。E-mail: xcdeng@uestc.edu.cn。

张波(1964—), 男, 博士, 教授。
研究方向: 功率半导体器件。E-mail:
zhangbo@uestc.edu.cn。