

DOI: 10.13234/j.issn.2095-2805.2024.3.248

中图分类号: TM46

文献标志码: A

基于栅极参考电压的 SiC MOSFET 栅极氧化物健康状态在线监测方法

于圣旭¹(中国电源学会学生会员), 王智强¹, 辛国庆¹, 时晓洁¹,
谭令其², 马 凯²

(1. 华中科技大学电气与电子工程学院, 武汉 430074; 2. 广东电网有限责任公司电力科学研究院, 广州 510080)

摘要: 栅极氧化物退化是限制 SiC MOSFET 进一步广泛应用的关键可靠性问题。在线监测能够实时获取栅极氧化物健康状态, 是提升 SiC MOSFET 可靠性的重要手段, 因此提出一种基于栅极参考电压的 SiC MOSFET 栅极氧化物健康状态在线监测方法, 并详细介绍了利用栅极参考电压监测栅极氧化物健康状态的基本原理; 提出一种栅极参考电压在线提取电路, 经脉冲测试验证可以实现在线提取, 经老化试验验证可以有效监测栅极氧化物健康状态。所提电路可以集成在栅极驱动中, 不会显著增加系统复杂程度。

关键词: 栅极氧化物; 健康状态; SiC MOSFET; 在线监测

Online Monitoring Method for SiC MOSFET Gate-oxide Health Status Based on Gate Reference Voltage

YU Shengxu¹, Student Member, CPSS, WANG Zhiqiang¹, XIN Guoqing¹, SHI Xiaojie¹,
TAN Lingqi², MA Kai²

(1. School of Electrical and Electronic Engineering, Huazhong University of Science and Technology, Wuhan 430074, China; 2. Electric Power Research Institute, Guangdong Power Grid Co., Ltd, Guangzhou 510080, China)

Abstract: Gate oxide degradation is a key reliability issue that limits the widespread applications of silicon carbide metal-oxide-semiconductor field-effect transistors (SiC MOSFETs), and online monitoring is an important means to improve the reliability of SiC MOSFETs as it can obtain the gate-oxide health status in real time. In this paper, an online monitoring method for SiC MOSFET gate-oxide health status based on gate reference voltage is proposed. The basic principle of using the gate reference voltage to monitor the gate-oxide health status is introduced in detail, and a gate reference voltage online extraction circuit is also put forward. The designed extraction circuit was verified by pulse tests, indicating that it can achieve online extraction. In addition, aging tests were conducted, and results verified that the proposed method can effectively monitor the gate oxide health status. The designed circuit can be integrated into gate driver without significantly increasing the system complexity.

Keywords: Gate-oxide; health status; silicon carbide metal-oxide-semiconductor field-effect transistor (SiC MOSFET); online monitoring

相比传统 Si 基器件, 碳化硅金属-氧化物-半导
体场效应晶体管 SiC MOSFET (silicon carbide metal-

oxide-semiconductor field-effect transistor) 具有更高的
击穿电压、更快的开关速度和更高的热导率等性能优势, 有望推动变换器实现更高的效率和更高的功率密度, 因此其成为了近年来的研究热点^[1]。然而, 由于缺少相关研究及现场应用数据, SiC MOSFET 仍面临诸多可靠性问题, 限制了其进一步的应用^[2]。其中, 栅极氧化物退化作为一种 SiC MOSFET

收稿日期: 2024-02-05; 修回日期: 2024-02-29; 录用日期:
2024-03-15; 网络首发日期: 2024-05-09

基金项目: 中国南方电网公司科技项目 (GDKJXM20222074)
This work is supported by Science and Technology Project of China Southern Power Grid Corporation under the grant GDKJXM20222074

特有的老化类型,因老化机理复杂且老化后果严重受到了广泛关注^[3]。在线监测能够实时获取器件健康状态,为器件寿命估计和定期维护提供数据支撑,是提升SiC MOSFET可靠性的的重要手段^[4-5]。目前已有许多文献提出了SiC MOSFET栅极氧化物健康状态的指示参数和在线监测方法。例如,文献[6]将开通延迟时间作为栅极氧化物健康状态的指示参数,可实现在线提取参数,但受温度、负载电流等运行工况的影响较大;文献[7]设计了一种栅极漏电流提取电路,用于监测栅极氧化物失效,该方法能够实现在线监测,但栅极漏电流仅在栅极氧化物临近失效前才会有显著变化;文献[8]将SiC MOSFET寄生电容作为栅极氧化物健康状态的指示参数,但寄生电容难以进行在线提取,因此该方法只能在停机状态下才能进行监测;文献[9]利用SiC MOSFET体效应,通过测量负栅压下源-漏极电压 V_{sd} 监测栅极氧化物的健康状态,但由于该方法需要注入小电流,因此无法实现在线监测;文献[10]利用低栅压下退饱和导通压降与阈值电压的关系设计了一种低栅压退饱和导通压降提取电路,用于监测栅极氧化物的健康状态,但该方法同样无法实现在线监测;文献[11]利用SiC MOSFET在关断状态下的输入电容-栅源电压 $C_{iss}-V_{gs}$ 曲线随栅极氧化物退化的偏移特性,定义-6~-5 V输入电容充电时间表征 $C_{iss}-V_{gs}$ 曲线的偏移,该方法可以实现在线监测,但缺点是指示参数不直观。

综上所述,针对现有文献中存在的问题,本文提出了一种基于栅极参考电压的SiC MOSFET栅极氧化物健康状态在线监测方法。首先分析了SiC MOSFET的 $C_{iss}-V_{gs}$ 曲线随栅极氧化物退化的偏移特性,并定义了栅极参考电压用于表征 $C_{iss}-V_{gs}$ 曲线的偏移;然后提出了一种栅极参考电压在线提取电路,并在脉冲测试和老化测试中对所提电路进行了验证,旨在实现对SiC MOSFET栅极氧化物健康状态的在线监测。

1 栅极氧化物退化对SiC MOSFET输入电容的影响

SiC MOSFET的输入电容 C_{iss} 已被证实与栅源

电压 V_{gs} 强相关^[12],两者关系如图1(a)所示,该曲线可以大致分为5个区域,并可以由器件基本结构和内部寄生电容解释。图1(b)~(d)为SiC MOSFET $C_{iss}-V_{gs}$ 曲线处于不同区域时的器件横截面示意图,其内部寄生电容包括栅极-源极之间的电容 C_m 、栅极与n+区之间的电容 C_{oxs} 、栅极与P区顶部之间的电容 C_{oxc} 、P区耗尽层电容 C_c 、栅极与JFET区顶部之间的电容 C_{oxd} 、栅极与JFET区耗尽层电容 C_{gjl} ^[13]。其中, C_{iss} 、栅-源极电容 C_{gs} 、栅-漏极电容 C_{gl} 和上述内部寄生电容之间的关系为

$$\begin{cases} C_{iss} = C_{gs} + C_{gl} \\ C_{gs} = C_m + C_{oxs} + \frac{C_{oxc}C_c}{C_{oxc} + C_c} \\ C_{gl} = \frac{C_{oxd}C_{gjl}}{C_{oxd} + C_{gjl}} \end{cases} \quad (1)$$

当 V_{gs} 为负值且较小(图1(a)中区域1)时,P区为强空穴累积状态,而JFET区为强反转状态,如图1(b)所示。此时, C_c 消失, C_{oxc} 的有效区域向右扩展至JFET区上方, C_{gl} 几乎为0, C_{iss} 与 C_{gs} 近似相等,且达到最大值。当 V_{gs} 增大至区域2时,JFET区从强反转状态逐渐变为弱反转状态,再到电子耗尽状态。此时, C_{oxc} 的有效区域逐渐返回至P区上方,因此 C_{gs} 急剧减小,这使得 C_{iss} 也急剧减小。当 V_{gs} 继续增大至区域3时,P区和JFET区均为耗尽状态,如图1(c)所示。此时, C_{gs} 和 C_{gl} 均较小, C_{iss} 达到最小值。当 V_{gs} 继续增大至区域4时,沟道开始由强累积状态逐渐变为弱累积状态,再到反转状态,器件开始导通。此时, C_{oxd} 有效区域向左扩展至P区上方,因此 C_{gl} 急剧增大,这使得 C_{iss} 也急剧增大。当 V_{gs} 继续增大至区域5时,P区为强反转状态,而JFET区为强电子累积状态,如图1(d)所示,此时 C_{iss} 又重新达到最大值。

综上所述,SiC MOSFET的 C_{iss} 与 V_{gs} 强相关机理可概括为2点:①器件内部半导体(P区和JFET区)随栅源电压变化在累积、耗尽和反转状态之间切换,使得氧化物电容(C_{oxs} 和 C_{oxd})的等效面积在P区顶部和JFET区顶部之间往复扩展;②P区和JFET区的耗尽电容(C_c 和 C_{gjl})在本区域处于耗尽状态时出现,处于累积和反转状态时消失。最终 C_{iss}

与 V_{gs} 的关系为 C_{oxs} 、 C_{oxd} 、 C_c 、 C_{gslj} 这 4 个电容随 V_{gs} 变化的关系与 4 个电容串、并联关系综合影响下的结果。

SiC MOSFET 在承受高电场和高温应力时,其阈值电压 V_{th} 在生命周期内会逐渐发生漂移^[4],影响器件的安全稳定运行,这种退化类型通常称为栅极氧化物退化,又称偏置温度不稳定性 BTI(bias temperature instability)。

栅极氧化物退化的基本机制及其导致器件 V_{th} 和 C_{iss} - V_{gs} 曲线漂移的基本原理解释如下:受制于

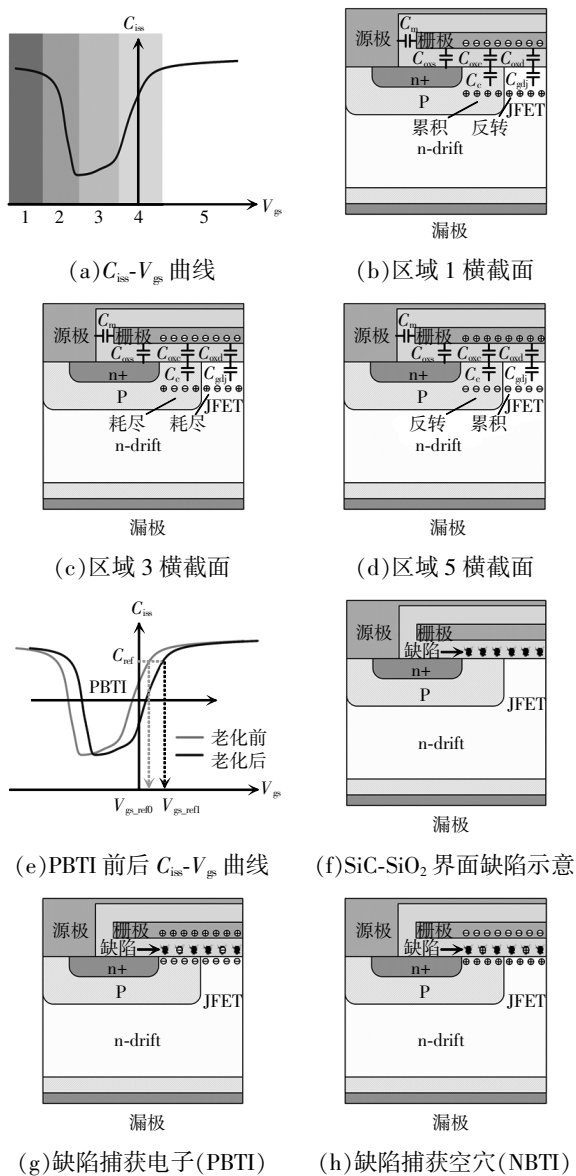


图 1 栅极氧化物退化对 SiC MOSFET 输入电容的影响

Fig. 1 Effect of gate oxide degradation on SiC MOSFET input capacitance

SiC 独特的材料特性及现阶段器件工艺的不成熟, SiC MOSFET 中的 SiC-SiO₂ 界面存在大量近界面缺陷,如图 1(f)中黑色斑点所示。当栅极施加正向电压应力时,缺陷在电场的作用下会捕获电子(如图 1(g)所示),捕获的电子作为负电荷在器件内部形成额外电场,且该额外电场与外加正向栅极电压形成的电场方向相反。由于器件的阈值电压是沟道开始形成反型层时的栅源电压,因此当缺陷捕获电子后需要外加更大的栅源电压才能形成反型层,本质上需要抵消捕获电子形成的额外电场,最终导致器件的阈值电压增大。

综上分析可知,在不同栅源电压时,器件内部的半导体在累积、耗尽和反转等不同的状态之间切换,这使得内部寄生电容发生变化,随之 C_{iss} 发生变化。当缺陷捕获电子形成额外反向电场后,需要外加更大的栅源电压才能使器件内部的半导体发生相应的状态变化,例如由累积状态转为耗尽状态或者由耗尽状态转为反转状态。因此 C_{iss} - V_{gs} 曲线整体向右漂移。这种栅极施加正向电压应力后阈值电压与 C_{iss} - V_{gs} 曲线正向偏移的现象被称为正向偏置温度不稳定性 PBTI(positive bias temperature instability),PBTI 前、后的 C_{iss} - V_{gs} 曲线如图 1(e)所示。

同理,当栅极施加反向电压应力时,缺陷会捕获空穴,如图 1(h)所示。捕获的空穴在器件内部形成额外电场,此时的额外电场方向与外加正向栅极电压形成的电场方向相同,因此阈值电压与 C_{iss} - V_{gs} 曲线反向漂移,被称为反向偏置温度不稳定性 NBTI(negative bias temperature instability),具体原理与 PBTI 类似,不再赘述。

2 栅极参考电压及其在线提取电路

由本文第 1 节的分析可知, C_{iss} - V_{gs} 曲线随栅极氧化物退化而左右平移。本文定义特定 C_{iss} (图 1(e)中 C_{ref})对应的栅源电压为栅极参考电压 V_{gs_ref} ,以表征栅极氧化物的健康状态。例如,图 1(e)中初始栅极参考电压为 V_{gs_ref0} ,当发生 PBTI 时, C_{iss} - V_{gs} 曲线右移,退化后的栅极参考电压为 V_{gs_ref1} ,通过在线提取 V_{gs_ref} 即可

监测栅极氧化物的健康状态。

本文提出的栅极参考电压提取电路如图 2(a)所示,其由电流源、微分器、比较器、RS 锁存器、模数转换器 ADC(analog-to-digital converter)、辅助开关 S_1 和辅助开关 S_2 等部分构成。电路工作波形如图 2(b)所示,以低侧器件 S_L 为例,电路工作原理:首先借助电流传感器判断负载电流 i_L 方向,当 i_L 从桥臂中点流出时,可以触发监测程序。

在 t_0 时刻, S_L 驱动信号 V_L 变为高电平, S_L 导通, i_L 从 S_L 体二极管或反并联二极管换流至沟道。此时, 信号 M 和信号 Q 均为高电平, 辅助开关 S_1 和 S_2 均为导通状态。由于 S_1 为导通状态, 器件的栅极表现为驱动电压源特性, S_L 栅源电压 V_{gs} 等于驱动输出高电平 V 并保持不变, 电流源的输出电流 i_{cs} 仅能向左流过栅极驱动, 该过程为电流源输出电流的建立过程。

在 t_1 时刻, DSP 控制的信号 M 变为低电平, 触发监测程序。 S_1 关断, i_{cs} 无法继续向左流过驱动, 仅能向右流过 S_L 的栅极。由于 i_{cs} 的方向为流出器件栅极, 因此 i_{cs} 会持续抽走器件输入电容的电荷, 使得 V_{gs} 从 V_{DD} 开始不断降低, 如图 2(b)所示。本文设计了微分器实时测量 dV_{gs}/dt , 由电容基本方程可知 t_1 时刻后 S_L 栅极电流 i_g 、微分器输出电压 V_{dif} 、 i_{cs} 和 C_{iss} 满足

$$\begin{cases} i_g = i_{cs} = C_{iss} \frac{dV_{gs}}{dt} \\ V_{dif} = k \frac{dV_{gs}}{dt} = k \frac{i_{cs}}{C_{iss}} \end{cases} \quad (2)$$

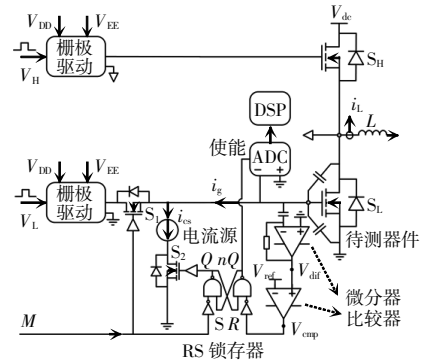
式中, k 为微分器增益。由于 i_{cs} 可近似地认为恒定不变, 因此 V_{dif} 与 C_{iss} 成反比关系。当 V_{gs} 在 i_{cs} 的作用下由 V_{DD} 逐渐降低时, 由图 1(e)中 $C_{iss}-V_{gs}$ 曲线可知 C_{iss} 逐渐降低, 因此 V_{dif} 逐渐增大, 如图 2(b)所示。

设定比较器的动作阈值为

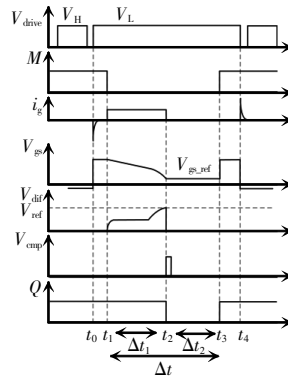
$$V_{ref} = k \frac{i_{cs}}{C_{ref}} \quad (3)$$

在 t_2 时刻, V_{gs} 降低至 $V_{gs,ref}$, C_{iss} 降低至 C_{ref} , V_{dif} 增大至 V_{ref} , 如图 2(b)所示, 比较器输出电压 V_{cmp} 由低电平变为高电平。 V_{cmp} 接高电平有效 RS 锁存

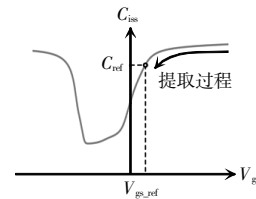
器的复位端 R , RS 锁存器被 V_{cmp} 复位, 其输出电压 Q 由高电平变为低电平, S_2 关断, 切断电流源的输出, i_{cs} 和 i_g 均降为 0, V_{gs} 被锁存至 $V_{gs,ref}$ 保持不变。同时 RS 锁存器反向输出电压 nQ 变为高电平, 可使 ADC 对此时的 V_{gs} (即 $V_{gs,ref}$) 进行采样并将数据送给 DSP 进行处理。



(a) 栅极参考电压提取电路



(b) 栅极参考电压提取电路波形



(c) 栅极参考电压提取过程示意

图 2 栅极参考电压提取方法示意

Fig. 2 Schematic of gate reference voltage extraction method

在 t_3 时刻, DSP 控制信号 M 变为高电平, S_1 重新导通, 电流源重新经驱动建立起电流。同时 RS 锁存器被信号 M 重新置位, Q 变为高电平, 1 次监测程序完成后电路全部返回至初始状态, 等待下一次监测程序的到来, 整个监测过程中器件 $C_{iss}-V_{gs}$ 曲线的

运行状态如图 2(c)所示。

该方法经历 1 个完整的监测过程所需的时间(图 2(b)中 Δt)包含 2 个阶段;阶段一为 V_{gs} 下降阶段,即图 2(b)中 $\Delta t_1=t_1-t_2$;阶段二为 ADC 采集阶段,即图 2(b)中 $\Delta t_2=t_2-t_3$ 。由图 1(e)实测的 $C_{iss}-V_{gs}$ 曲线可知,栅极参考电压可约在 0 V 时进行选取,因此 Δt_1 可近似估算为 V_{gs} 在电流源作用下由正驱动电压(如 15 V)下降至 0 V 时所需的时间,即

$$\Delta t_1 = \frac{\Delta Q}{i} = \frac{C\Delta U}{i} = \frac{C_{iss}\Delta V_{gs}}{i_{cs}} \quad (4)$$

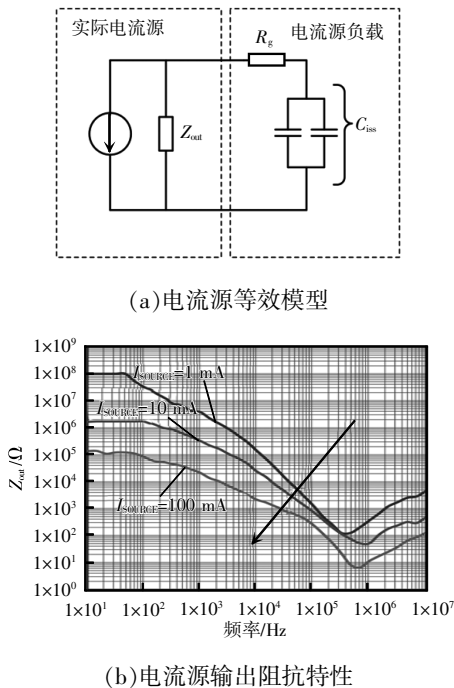
式中: ΔV_{gs} 取值为 15 V; C_{iss} 可近似取为器件数据手册中给出的固定值。因此 Δt_1 主要取决于 i_{cs} 的选取, i_{cs} 越大, Δt_1 越小,对高频应用越有利。然而,在实际应用时不能将 i_{cs} 设置得过大,原因是实际的电流源是理想电流源与输出阻抗 Z_{out} 并联的模型,如图 3(a)所示,且 Z_{out} 随输出电流的增大而减小。以电流源芯片 LT3092 为例,其数据手册中给出的 Z_{out} 与频率、输出电流 ISOURCE 的关系如图 3(b)所示。在本文所提方法的提取过程中,电流源的负载为驱动电阻与待测器件输入电容串联,负载阻抗较大。若电流源输出电流设置过大,输出阻抗降低,可能

无法满足电流源输出阻抗远大于负载阻抗的条件,其输出电流无法保持恒定,也就无法使用本文提出的方法来提取栅极参考电压。因此,本文选取 $i_{cs}=5$ mA,此时电流源输出电流能否保持恒定将在试验部分进行验证。待测器件型号为 C3M0075120D,其额定电流为 32 A、 C_{iss} 约为 1.39 nF,此时 Δt_1 约为 4.17 μ s。实际应用的器件额定电流越大, C_{iss} 越大,式(4)中 Δt_1 理论上越大。然而 C_{iss} 越大,对电流源来说负载阻抗越小,这意味着可以用更大的输出电流进行放电,因此 Δt_1 不会显著增大。

Δt_2 为 ADC 完成对 V_{gs_ref} 采集所需的时间,以 STM32 微控制器为例,其最快 ADC 转换时间约为 1 μ s。因此该方法总提取时间 $\Delta t=\Delta t_1+\Delta t_2=5.17$ μ s,加上中间环节传播延迟及留出一定裕度,实际取 $\Delta t=10$ μ s,这样该方法理论上可用于 100 kHz 的变换器。

根据以上分析,该方法的监测过程需要一定时间(Δt),当待测器件的导通脉冲宽度大于 Δt 时,如图 2(b)中 V_L 脉冲宽度 $t_0-t_4>\Delta t$,监测过程可以顺利完成,且监测过程对器件驱动回路的可靠性不会产生任何影响;当待测器件的导通脉冲宽度小于 Δt 时,监测过程在待测器件的下一个关断时刻仍无法完成,而由于监测过程中辅助开关 S_1 处于关闭状态,器件将无法正常关断,因此在触发监测前还需要微控制器对该开关周期是否具有足够的监测时间进行判断。当器件和提取电路参数确定后, Δt 基本保持不变,即信号 M 的宽度(低电平宽度)基本保持不变,因此只需微控制器在完成调制算法后判断当前的开关周期内待测器件导通脉冲宽度是否大于 Δt 即可,只有待测器件导通脉冲宽度大于 Δt 并留有一定安全裕量时,才会触发监测过程。值得注意的是,本文提出的方法有以下几个关键点。

(1)能够实现在线监测。针对 S_L 的监测程序,仅在负载电流流出桥臂时才可触发,这样设置的目的是保证在触发对 S_L 的监测程序时, S_L 运行在第三象限(同步导通模式),即负载电流反向流过 S_L 。监测程序触发后,即使 V_{gs} 在 i_{cs} 作用下降低至器件阈值电压以下, S_L 沟道关闭,仍有体二极管或反并



(a) 电流源等效模型

(b) 电流源输出阻抗特性

图 3 电流源特性

Fig. 3 Current source characteristics

联二极管可以续流,器件除损耗略微增大外仍可以正常工作。而由于老化过程非常缓慢,因此没有必要逐周期触发监测程序,而通常是每隔一段时间进行 1 次触发。这种仅 1 个开关周期损耗的增大对变换器几乎无任何影响,因此该方法能够实现在不影响器件及变换器正常运行的前提下对栅极氧化物的健康状态进行在线监测。同理,针对硬开关器件 S_H 的监测程序仅在负载电流流入桥臂时才可触发。

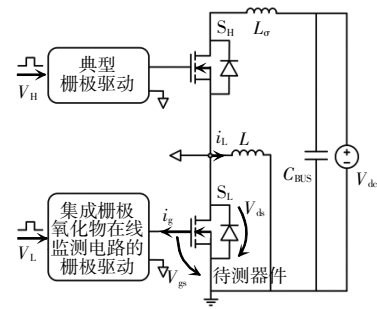
(2)放电电流 i_{cs} 恒定。通常电流源电路的输出电流从 0 上升至目标电流需要 1 个暂态过程才能稳定,该暂态过程期间输出电流不恒定。此时 dV_{gs}/dt 与 C_{iss} 的关系不是简单的反比关系,因此无法使用微分器和比较器捕捉 C_{ref} 。而本文借助辅助开关 S_1 ,在 i_{cs} 抽取 C_{iss} 电荷前先经驱动建立所需的放电电流(图 2(b)中 $t_0 \sim t_1$ 阶段),在监测程序触发后(即 t_1 时刻),关断 S_1 ,将已建立的 i_{cs} 换流至 C_{iss} ,从而达到在 C_{iss} 放电期间, i_{cs} 始终保持恒定的效果,如图 2(b)所示。

(3)栅极参考电压自动锁定。本文提出的方法在微分器和比较器捕捉到 C_{ref} 后,即关断辅助开关 S_2 ,自动切断放电电流 i_{cs} ,使 V_{gs} 自动锁定至 $V_{gs,ref}$ 不变,等待 ADC 对 $V_{gs,ref}$ 进行采样。若无 S_2 进行锁定,直接由锁存器触发 ADC 对 t_2 时刻的 V_{gs} 进行采样,则由于 ADC 等部件的传播延迟不固定,提取分散性更大,提取精度不高。

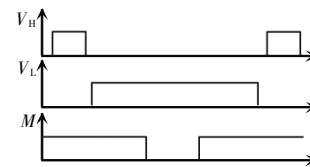
3 所提方法在脉冲测试中的验证

为验证所提方法的可行性,依据文献[15-16]中的方法,以 S_L 为例在图 4(a)所示的半桥电路进行了验证。图中, S_H 为硬开关器件,由典型的栅极驱动板进行驱动; S_L 为软开关器件,由集成栅极氧化物健康状态在线监测电路的驱动板进行驱动, S_H 和 S_L 型号均为 C3M0075120D。栅极参考电压提取电路的主要器件选型见表 1,其中电流源芯片 LT3092 的输出电流可设定为 0~200 mA 内的任一值,本文设定为 5 mA; C_{ref} 设定为 2.3 nF,对应栅极参考电压约为 0 V。3 个控制信号由信号发生器发出,如

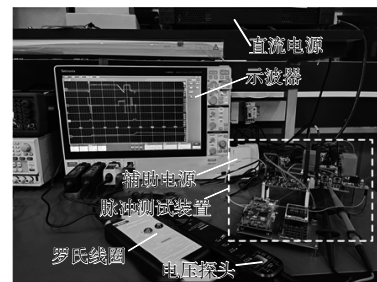
图 4(b)所示,母线电压 $V_{dc}=600$ V,触发监测时的负载电流为 12 A,试验平台如图 4(c)所示。图 5 为脉冲测试波形,可以看到,在监测程序触发后, i_g 即形成 5 mA 恒定的电流脉冲(即 i_{cs}),且电流脉冲的稳定性较好。 V_{gs} 在 i_{cs} 作用下由 15 V 逐渐降低,同时 V_{diff} 逐渐增大。 V_{diff} 增大至 V_{ref} 后,比较器反转,复位锁存器,信号 Q 变为低电平, i_{cs} 被切断, i_g 降为 0,



(a) 脉冲测试电路



(b) 控制信号波形



(c) 试验平台

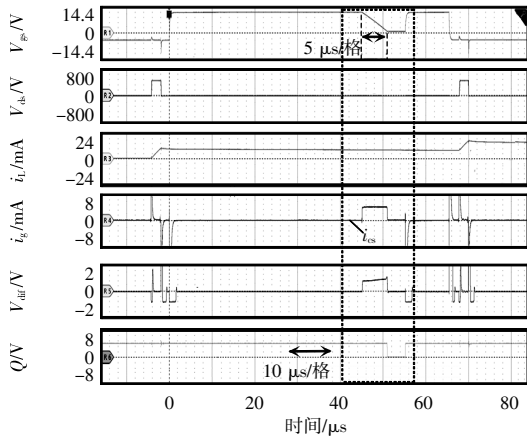
图 4 脉冲测试平台

Fig. 4 Pulse test platform

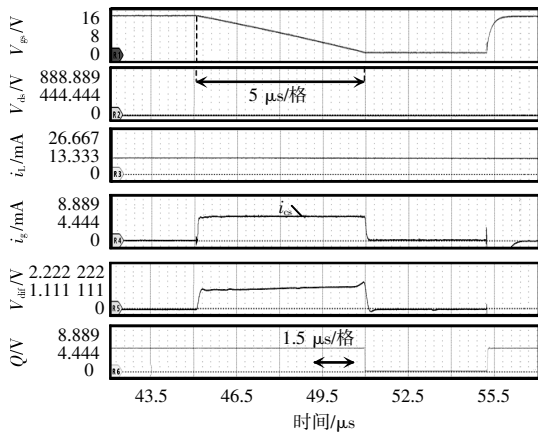
表 1 栅极参考电压提取电路的器件选型

Tab. 1 Device selection for gate reference voltage extraction circuit

器件	型号
栅极驱动	UCC21710
电流源	LT3092
微分器	AD8030
比较器	ADCMP600BRJZ
RS 锁存器	HEF4043BT
辅助开关 S_1, S_2	RJU003N03T106



(a) 脉冲测试结果



(b) 图(a)中虚线框放大

图 5 脉冲测试结果

Fig. 5 Pulse test result

V_{gs} 锁定在 V_{gs_ref} , 与理论分析一致。实测 V_{gs} 下降阶段(即 Δt_1)约为 $5 \mu s$, 而理论计算为 $4.17 \mu s$, 两者存在差异是因为理论计算时 C_{iss} 近似地取为数据手册的固定值, 而在实际的提取过程中 C_{iss} 随 V_g 动态

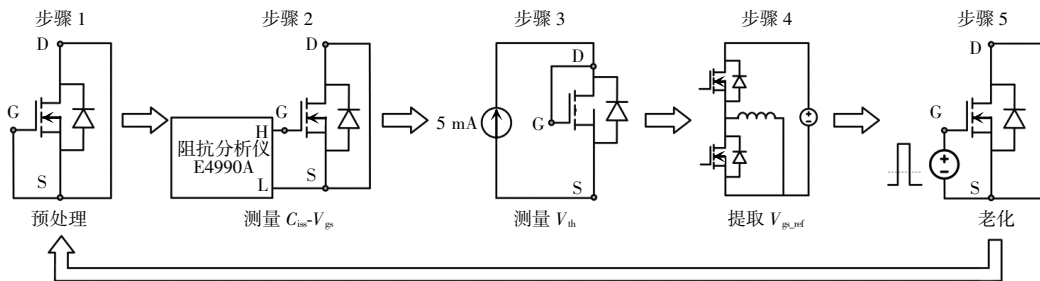


图 7 老化试验流程

Fig. 7 Aging test procedure

步骤 1 对待测器件进行预处理, 以消除短时的迟滞现象对测量值的干扰, 具体的预处理方法已在文献[17-18]中详细介绍, 本文不再赘述。

变化。实测能够保证电流脉冲稳定的最大 i_{cs} 约为 6 mA , 当 $i_{cs} > 6 \text{ mA}$ 时, 触发监测程序后, i_{cs} 发生衰减, 提取精度降低。

为量化本文设计电路的测量精度, 固定所有电路参数不变, 本文对同一待测器件的栅极参考电压进行了多次重复测量并记录测量值, 结果如图 6 所示。可以看到, 多次重复测量的极差为 39 mV , 标准差为 $12.804 7 \text{ mV}$, 验证了本文设计电路的测量精度与可重复性较好。

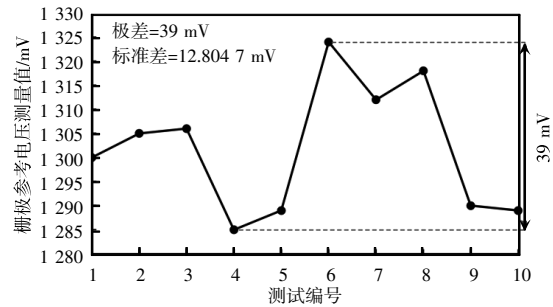


图 6 多次重复测量结果

Fig. 6 Results of multiple repeated measurements

4 所提方法在老化测试中的验证

为验证所提方法对栅极氧化物健康状态的表征能力, 对 2 个相同型号(C3M0075120D)SiC MOS-FET(分别编号为 DUT1 和 DUT2)进行了相同的栅极氧化物老化测试, 对比加速老化试验前、后 $C_{iss}-V_{gs}$ 曲线、阈值电压 V_{th} 和本文设计电路的栅极参考电压提取值, 如图 7 所示, 老化测试步骤如下。

步骤 2 用阻抗分析仪测量 $C_{iss}-V_{gs}$ 曲线, 具体方法为将器件的漏极-源极短接, 在栅极-源极施加 $-10 \sim 10 \text{ V}$ 进行扫描的直流偏置, 并测量栅极-源极

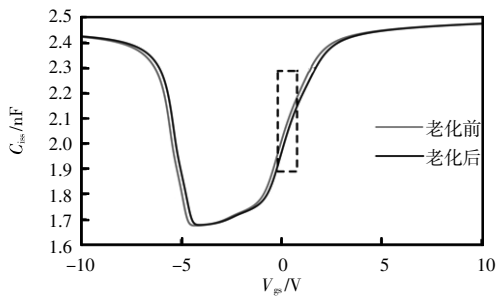
端口之间的电容,即 C_{iss} 。

步骤 3 使用数据手册中的方法测量 V_{th} ,将栅-漏极短接,栅-源极通入 5 mA 电流,此时 V_{gs} 即为 V_{th} 。

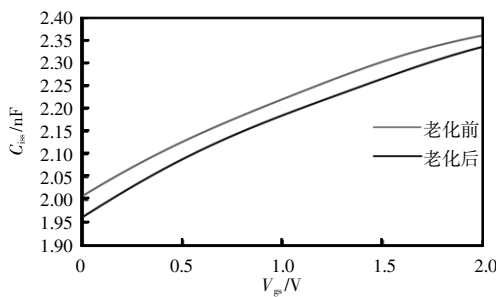
步骤 4 在脉冲测试平台中使用本文设计电路对 V_{gs_ref} 进行提取,实际提取值记为 V_{gs_ext} 。

步骤 5 对待测器件进行加速老化试验,老化应力选取双极性交流偏置应力,又称为 ACBTI,其具体机理与老化试验方法已在文献[19-20]中详细介绍,本文不再赘述。本文选用的老化应力条件为将器件的漏-源极短接,在器件的栅-源极接入高速变化的双极性高幅值电压应力(本文选取 V_{gs} 为-10 V/20 V),外部驱动电阻设置为 0Ω ,老化时间为 5 h。老化试验完成后,返回步骤 1 重新执行。

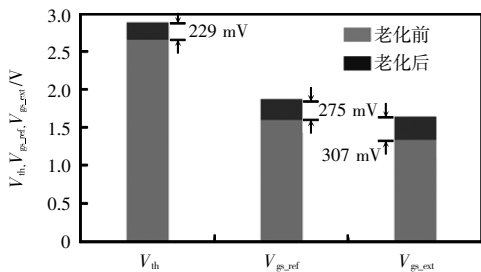
老化试验前、后 2 个待测器件的 C_{iss} - V_{gs} 曲线分



(a)老化前、后 C_{iss} - V_{gs} 曲线对比



(b)图 8(a)虚线框放大



(c)量化数据对比

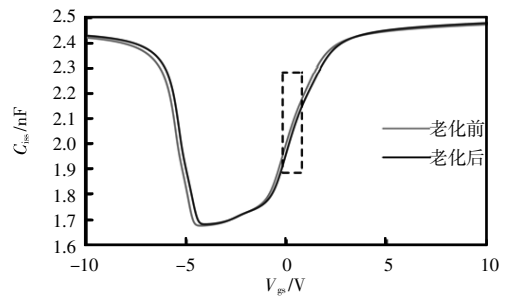
图 8 待测器件 1 老化试验结果

Fig. 8 Results of aging test for DUT1

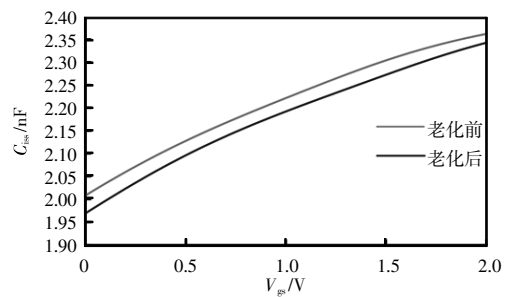
别如图 8(a)~(b)和图 9(a)~(b)所示,可以看到,经老化试验后,2 个待测器件的 C_{iss} - V_{gs} 曲线均发生了明显的右移。老化前、后的 V_{th} 和由 C_{iss} - V_{gs} 曲线读取的 V_{gs_ref} 分别如图 8(c)和图 9(c)所示,可以看到, V_{th} 和由 C_{iss} - V_{gs} 曲线读取的 V_{gs_ref} 均有明显增大,且一致性良好,表明本文提出的 V_{gs_ref} 参数可以实现对栅极氧化物健康状态的表征。

以 1 号待测器件为例,老化试验前、后的脉冲测试波形对比如图 10 所示,其中后缀为 0 代表老化前的波形,后缀为 1 代表老化后的波形。可以看到,由于老化后器件的 C_{iss} - V_{gs} 曲线右移,老化后的 V_{diff} 波形上升更快且更早到达 V_{ref} ,信号 Q 提前变为低电平,将 V_{gs} 锁定在更高的 V_{gs_ext} ,这与老化后由 C_{iss} - V_{gs} 曲线读取的 V_{gs_ref} 增大一致。

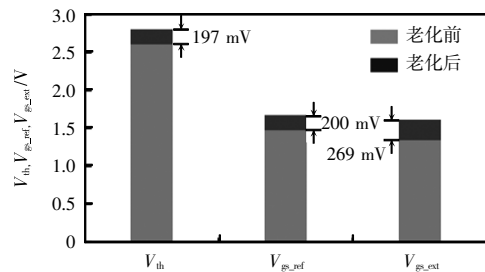
本文所提电路对 2 个待测器件老化前、后的实



(a)老化前、后 C_{iss} - V_{gs} 曲线对比



(b)图 9(a)虚线框放大

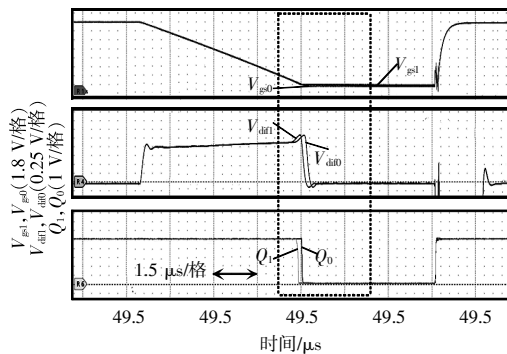


(c)量化数据对比

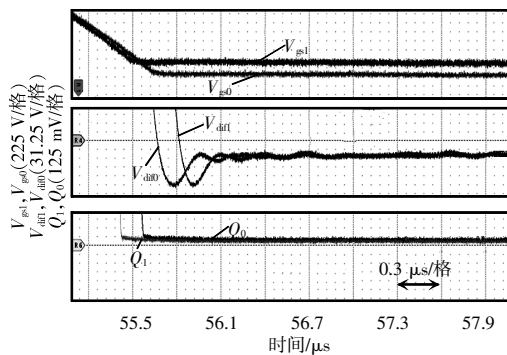
图 9 待测器件 2 老化试验结果

Fig. 9 Results of aging test for DUT2

际提取值 V_{gs_ext} 分别如图 8(c)和图 9(c)所示,可以看到, V_{gs_ext} 老化后明显增大,且与由 C_{iss} - V_{gs} 曲线读取的 V_{gs_ref} 具有良好的一致性,验证了本文设计栅极参考电压提取电路的有效性。 V_{gs_ref} 与 V_{gs_ext} 之间存在的偏差是由于 V_{ds} 也会影响 C_{iss} , V_{gs_ref} 是由 C_{iss} - V_{gs} 曲线读取的,当使用阻抗分析仪测量 C_{iss} - V_{gs} 曲线时,待测器件的漏极-源极为短接,即 $V_{ds}=0$;而当使用本文提出方法在线提取 V_{gs_ext} 时,待测器件工作在第三象限, V_{ds} 为一负值,具体由负载电流决定。为了规避不同负载电流时不同 V_{ds} 对 C_{iss} 的影响,可以借助电流传感器在负载电流相同时触发监测。这样即使 V_{gs_ref} 与 V_{gs_ext} 之间存在偏差,只要在器件整个生命周期内 V_{gs_ext} 均是在同一负载电流下进行的测量,仍能够监测栅极氧化物的健康状态。



(a)老化试验前、后脉冲测试波形



(b)图 10(a)虚线框放大

图 10 待测器件 1 老化试验前、后脉冲测试波形对比

Fig. 10 Comparison of pulse test waveforms before and after aging test of DUT1

5 结语

本文提出了一种基于栅极参考电压的 SiC

MOSFET 栅极氧化物健康状态在线监测方法,分析了栅极氧化物退化对 SiC MOSFET 输入电容的影响,并由此得出本文使用的退化指示参数即栅极参考电压。本文还提出了一种栅极参考电压提取方法,并设计了样机的脉冲测试试验和老化测试试验,试验结果表明所提方法可以在不影响器件及变换器正常工作的前提下实现对栅极参考电压的提取,并能够有效监测栅极氧化物的健康状态。

参考文献:

- [1] Dao N D, Lee D C, Phan Q D. High-efficiency SiC-based isolated three-port DC/DC converters for hybrid charging stations [J]. IEEE Transactions on Power Electronics, 2020, 35(10): 10455-10465.
- [2] Pu Shi, Yang Fei, Vankayalapati B T, et al. Aging mechanisms and accelerated lifetime tests for SiC MOSFETs: An overview [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2022, 10(1): 1232-1254.
- [3] Yang Liao, Bai Yun, Li Chengzhan, et al. Bias temperature instability of 4H-SiC p- and n- channel MOSFETs induced by negative stress at 200 °C [J]. IEEE Transactions on Electron Devices, 2022, 69(6): 3042-3046.
- [4] Xin Jinlei, Du Mingxing, Ouyang Ziwei, et al. Online monitoring for threshold voltage of SiC MOSFET considering the coupling impact on BTI and junction temperature [J]. IEEE Transactions on Electron Devices, 2021, 68(4): 1772-1777.
- [5] González J A O, Alatisé O. A novel non-intrusive technique for BTI characterization in SiC MOSFETs [J]. IEEE Transactions on Power Electronics, 2019, 34(6): 5737-5747.
- [6] Pu Shi, Ugr E, Yang Fei, et al. In situ degradation monitoring of SiC MOSFET based on switching transient measurement [J]. IEEE Transactions on Industrial Electronics, 2020, 67(6): 5092-5100.
- [7] Erturk F, Ugr E, Olson J, et al. Real-time aging detection of SiC MOSFETs [J]. IEEE Transactions on Industry Applications, 2019, 55(1): 600-609.
- [8] Farhadi M, Yang Fei, Pu Shi, et al. Temperature-independent gate-oxide degradation monitoring of SiC MOSFETs based on junction capacitances [J]. IEEE Transactions on Power Electronics, 2021, 36(7): 8308-8324.

- [9] Ugur E, Xu Chi, Yang Fei, et al. A new complete condition monitoring method for SiC power MOSFETs [J]. IEEE Transactions on Industrial Electronics, 2021, 68(2): 1654-1664.
- [10] Pu Shi, Yang Fei, Vankayalapati B T, et al. A practical on-board SiC MOSFET condition monitoring technique for aging detection [J]. IEEE Transactions on Industry Applications, 2020, 56(3): 2828-2839.
- [11] Xie Minghang, Sun Pengju, Wang Kaihong, et al. Online gate-oxide degradation monitoring of planar SiC MOSFETs based on gate charge time [J]. IEEE Transactions on Power Electronics, 2022, 37(6): 7333-7343.
- [12] Zhou Yimin, Wang Zhiqiang, Xin Guoqing, et al. Dead time optimization for synchronous switching of SiC MOSFETs considering nonlinear gate capacitance [J]. IEEE Transactions on Power Electronics, 2023, 38(5): 5665-5669.
- [13] Cai Yumeng, Chen Cong, Zhao Zhibin, et al. Characterization of gate-oxide degradation location for SiC MOSFETs based on the split C-V method under bias temperature instability conditions [J]. IEEE Transactions on Power Electronics, 2023, 38(5): 6081-6093.
- [14] Gonzalez J O, Alatisse O. Impact of BTI-induced threshold voltage shifts in shoot-through currents from crosstalk in SiC MOSFETs [J]. IEEE Transactions on Power Electronics, 2021, 36(3): 3279-3291.
- [15] Zhang Zheyu, Guo Ben, Wang F F, et al. Methodology for wide band-gap device dynamic characterization [J]. IEEE Transactions on Power Electronics, 2017, 32(12): 9307-9318.
- [16] Wang Zhiqiang, Shi Xiaojie, Xue Yang, et al. Design and performance evaluation of overcurrent protection schemes for silicon carbide(SiC) power MOSFETs [C]// 2013 IEEE Energy Conversion Congress and Exposition. Denver, CO, USA, 2013: 5418-5425.
- [17] Aichinger T, Rescher G, Pobegen G. Threshold voltage peculiarities and bias temperature instabilities of SiC MOSFETs [J]. Microelectronics Reliability, 2018, 80: 68-78.
- [18] Jiang Huaping, Qi Xiaowei, Qiu Guanqun, et al. A physical explanation of threshold voltage drift of SiC MOSFET induced by gate switching [J]. IEEE Transactions on Power Electronics, 2022, 37(8): 8830-8834.
- [19] Zhong Xiaohan, Jiang Huaping, Qiu Guanqun, et al. Bias temperature instability of silicon carbide power MOSFET under AC gate stresses [J]. IEEE Transactions on Power Electronics, 2022, 37(2): 1998-008.
- [20] Zhong Xiaohan, Jiang Huaping, Tang Lei, et al. Gate stress polarity dependence of AC bias temperature instability in silicon carbide MOSFETs [J]. IEEE Transactions on Electron Devices, 2022, 69(6): 3328-3333.



于圣旭

作者简介:

于圣旭(2000-),男,中国电源学会学生会员,硕士研究生。研究方向:SiC MOSFET可靠性及状态监测。E-mail:shengxu_yu@hust.edu.cn。

王智强(1985-),男,通信作者,博士,教授。研究方向:高温、高频、高功率密度电力电子系统、碳化硅(SiC)、氮化镓(GaN)功率半导体芯片封装与集成。E-mail:zhiqiangwang@hust.edu.cn。

辛国庆(1987-),男,博士,教授。研究方向:二维材料生长、微纳器件制备、微尺度传热和器件热管理。E-mail:guoqingxin@hust.edu.cn。

时晓洁(1986-),女,博士,教授。研究方向:新能源并网技术、高压直流输电。E-mail:xiaojie_shi@hust.edu.cn。

谭令其(1991-),男,硕士,工程师。研究方向:电能变换与高电压技术。E-mail:abctlk2724@163.com。

马凯(1985-),男,硕士,工程师。研究方向:智能变电站自动化系统、通信网络。E-mail:15013027208@139.com。