

动态高温反偏应力下的 SiC MOSFET 测试平台及其退化机理研究

左璐巍¹, 辛 振¹(中国电源学会高级会员), 蒙 慧¹(中国电源学会学生会会员),
周 泽¹, 余 彬^{2,3}(中国电源学会会员), 罗皓泽²(中国电源学会会员)
(1. 河北工业大学省部共建电工装备可靠性与智能化国家重点实验室, 天津 300401;
2. 浙江大学电气工程学院, 杭州 310058; 3. 南京信息工程大学自动化学院, 南京 210044)

摘要: 为研究 SiC MOSFET 在动态漏源应力下的退化机理, 开发了一种具有 dV_{ds}/dt 可调功能、最高可达 80 V/ns 的动态反向偏置测试平台。针对商用 SiC MOSFET 进行动态高温反偏实验, 讨论高电压变化率的动态漏源应力对 SiC MOSFET 电学特性的影响。实验结果显示, 器件的阈值电压和体二极管正向导通电压增加, 说明器件 JFET 区上方的栅氧层和体二极管可能发生了退化。通过 Sentaurus TCAD 分析了在高漏源电压及高电压变化率下平面栅型 SiC MOSFET 的薄弱位置, 在栅氧层交界处和体二极管区域设置了空穴陷阱, 模拟动态高温反偏对 SiC MOSFET 动静态参数的影响。

关键词: 动态高温反偏测试; 退化机理; SiC MOSFET; 可调 dV_{ds}/dt

Test Platform and Degradation Mechanism of SiC MOSFET under Dynamic High-temperature Reverse Bias Stress

ZUO Luwei¹, XIN Zhen¹, Senior Member, CPSS, MENG Hui¹, Student Member, CPSS,
ZHOU Ze¹, YU Bin^{2,3}, Member, CPSS, LUO Haoze², Member, CPSS

(1. State Key Laboratory of Reliability and Intelligence of Electrical Equipment, Hebei University of Technology, Tianjin 300401, China; 2. School of Electrical Engineering, Zhejiang University, Hangzhou 310058, China; 3. School of Automation, Nanjing University of Information Science and Technology, Nanjing 210044, China)

Abstract: To study the degradation mechanism of silicon carbide metal-oxide-semiconductor field effect transistors (SiC MOSFETs) under dynamic drain-source stress, a dynamic reverse bias test platform with an adjustable dV_{ds}/dt capability up to 80 V/ns was developed. A dynamic high-temperature reverse bias test of commercial SiC MOSFET was carried out, and the effect of dynamic drain-source stress with a high voltage change rate on the electrical characteristics of SiC MOSFET was discussed. Experimental results show that the threshold voltage and forward conduction voltage of the bulk diode increased, indicating that the gate oxygen layer and the bulk diode above the JFET region of the device may be degraded. Sentaurus TCAD was used to analyze the weak position of plane-gate SiC MOSFET under high drain-source voltage and a high voltage change rate, and hole traps were set at the gate oxygen layer junction and the body diode region to simulate the effect of dynamic high-temperature reverse bias on the dynamic and static parameters of SiC MOSFET.

Keywords: Dynamic high-temperature reverse bias test; degradation mechanism; silicon carbide metal-oxide-semiconductor field effect transistor (SiC MOSFET); adjustable dV_{ds}/dt

近年来, 随着电力电子系统在风力发电、新能源汽车和智能电网等领域的广泛应用, 市场对于可

耐受高温、高频和高压器件的需求日渐增大。由于其性能优异、成本低及易于并联等优势, 传统基于硅材料的功率器件一直处于市场主导地位。但随着研究的深入, 硅材料的性能逐渐接近理论极限, 同

收稿日期: 2024-01-31; 修回日期: 2024-02-09; 录用日期:
2024-02-23; 网络首发日期: 2024-03-15

时,第三代半导体材料也得到了迅速发展。以碳化硅 SiC(silicon carbide)为例,其具有宽禁带(2.3~3.3 eV)、高饱和电子漂移速度(2×10^7 cm/s)、高击穿强度($0.8 \sim 3.0 \times 10^6$ V/cm)和高导热率(4.9 W/(cm·K))等特点^[1],决定了 SiC 器件具有导通电阻低、功率密度高和耐高温等优点^[2-3]。SiC MOSFET 作为第三代半导体中最具潜力和应用前景的器件之一,已经在许多领域取得了突破性进展。

功率 MOSFET 的传统可靠性测试通常侧重于时间依赖性介电击穿 TDDDB(time-dependent dielectric breakdown)^[4],以及直流或交流应力条件下的偏置温度不稳定性 BTI(bias temperature instability)^[5-7]。其中,一些可靠性测试,如高温栅偏 HTGB(high-temperature gate bias)和高温反偏 HTRB(high-temperature reverse bias)^[8-11],可以触发上述老化机理,测试技术已经十分成熟,其各项指标在 AQG_324 和 AEC_Q101 标准中已有具体的规定。然而,上述传统可靠性测试条件多基于硅基器件开发,难以适应 SiC MOSFET 面临的高压运行($V_{ds} > 1000$ V)与快速开关($dV_{ds}/dt > 50$ V/ns)相结合的新运行模式,这使 SiC MOSFET 面临更严峻的可靠性问题,而此现象并未得到学界足够的重视。

为观察 SiC MOSFET 在高电压变化率的高压脉冲下的可靠性,本文提出一种 Dynamic-HTRB 可靠性测试平台,其主要功能为向 SiC MOSFET 提供可调高压(最高 1.2 kV)和可调电压变化率(最高 80 V/ns)的漏源电压脉冲。该平台最主要的部分为开发可产生高电压变化率的高压脉冲源。国内外诸多学者对电压脉冲源进行了研究,提出了 Marx^[12-13]、线性变压器驱动 LTD(linear transformer driver)^[14-16]、脉冲形成网络 PFN(pulse form network)^[17-19]和脉冲形成线 PFL(pulse form line)^[20]等拓扑。其中,Marx 和 LTD 拓扑的脉冲波形可控,具有高电压变化率和较强的拓展性,但需要大量开关器件,且存在难以同步进行开关动作的问题,这对驱动电路要求较高;最重要的是,两者不能产生连续电压脉冲,无法满足 Dynamic-HTRB 实验需求。而 PFN 和 PFL 虽然仅使用 1 个开关器件,且可以产生连续脉冲,然

而两者需要脉冲线与负载(本文指待测器件)阻抗匹配,不具备通用性。本测试平台在继承 Marx 电路波形可控、电压变化率高和拓展性强等优点的同时,能通过使用高耐压器件减少开关器件和无源器件的数量,缩小脉冲源体积,提高其功率密度,保证驱动信号的同步传输,提高脉冲源的可靠性。

1 SiC MOSFET 在高场强应力下的退化机理及其仿真

本文研究的 SiC MOSFET 是具有平面栅结构的垂直 N 沟道 MOSFET,具体结构如图 1 所示。漏极位于器件底部,与 N+基底区域接触;源极和栅极位于器件顶部,由绝缘物质隔离,一般为 SiO₂;沟道位于 P 阱区,在 N+源区和 N-漂移区之间;P 阱区和 N-漂移区形成 PN 结,即体二极管。当器件导通时,栅氧层下的 P 型半导体区域出现反型层,进而产生导电沟道。为避免引入其他不必要的应力,本文采用被动施压的方式对器件施加动态漏源应力。在 Dynamic-HTRB 测试条件下,器件 N-漂移区和 JFET 区承受绝大部分的漏源电压,因此器件可能的退化位置为 JFET 区上方的栅氧层和 N-漂移区 2 个部分。

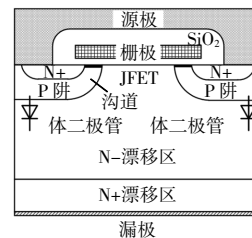


图 1 SiC MOSFET 的单元结构

Fig. 1 Cell structure of SiC MOSFET

1.1 SiC MOSFET 高 dV_{ds}/dt 漏源应力下的退化机理

栅氧层退化是 SiC MOSFET 退化的主要模式之一。一方面,由于 SiC 材料具有更大的带隙和更高的掺杂浓度,为取得较合理的阈值电压和跨导值, SiC MOSFET 的栅氧层比 Si MOSFET 更薄,尽管 SiC MOSFET 的典型驱动电压为 20 V 或更低,但是器件正常运行时栅氧层中的电场强度可达 5 MV/cm,而

Si MOSFET 栅氧层中的电场最大值不足 3 MV/cm, 因此, SiC MOSFET 栅氧层寿命明显低于同等级硅基器件。另一方面, 由于 SiC 材料界面生长工艺, 即置换反应的限制, SiC/SiO₂ 界面存在较多缺陷和陷阱, 其密度比硅基器件高约 2 个数量级, 随着使用时间的增加, 缺陷和陷阱会捕获周围电荷, 使器件发生退化, 这种退化机制被称为 TDDB, 被捕获电荷会影响 SiC MOSFET 的平带电压 V_{fb} , 进而影响电场分布^[21], 具体公式为

$$V_{fb} = \Phi_{ms} - \frac{Q_{trap}}{C_{ox}} \quad (1)$$

式中: Φ_{ms} 为金属和半导体材料的功函数差; Q_{trap} 为空穴陷阱中的捕获电荷; C_{ox} 为栅氧层电容。

平带电压的变化进一步导致器件阈值电压和导通电阻等电气参数的变化。被捕获电荷还会降低电子在沟道区的有效迁移率, 进而影响器件动态特性, 但本文不涉及沟道区栅氧层退化, 因此暂不讨论。

就 PiN 体二极管而言, 一般认为双极性退化是其主要退化机制。在器件制造过程中, SiC 材料呈现出不同的多晶体结构, 这导致堆叠故障 SF (stacking fault) 能量低于硅器件, 增加了 SiC MOSFET 对双极退化的敏感度。产生 SF 的根本原因是体二极管正向传导过程中基底面位错 BPD (basal plane dislocations) 的扩展。电子和空穴的再结合为 BPD 提供了能量, 使其在漂移区内扩展成三角形 SF, 膨胀的 BPD 穿过外延层, 对多数载流子的传导形成障碍, 从而导致载流子迁移率降低。体二极管退化前、后的正向电压 V_f 和 V_f' 可分别表示为

$$V_f = JR_0 \quad (2)$$

$$V_f' = JS \frac{R_0 R_{SF}}{R_0 S_{SF} + R_{SF} (S - S_{SF})} \quad (3)$$

式中: J 为正向电流密度; R_0 为无 SF 区域的导通电阻; S 为有源区域; R_{SF} 为 SF 区域的导通电阻; S_{SF} 为 SF 的总面积。降解前、后 V_f 的变化^[22]可表示为

$$\Delta V_f = V_f' - V_f = JR_0 S_{SF} \frac{1 - R_0/R_{SF}}{S - S_{SF} (R_0/R_{SF})} \quad (4)$$

1.2 SiC MOSFET 退化机理仿真

根据上述结构, 本文进行了静态二维 TCAD 仿真, 所选器件的型号为 C2M0080120D, 各区域尺寸

由扫描电子显微镜获得, 掺杂浓度则根据器件特性调整获得, 具体参数见表 1^[23], 所建立的元胞结构如图 2 所示。通过仿真发现该模型静态参数与器件数据手册相符, 可以认为各项结构参数与实际相近。

表 1 SiC MOSFET 结构参数^[23]

Tab. 1 Structural parameters of SiC MOSFET^[23]

参数	数值
P 阱掺杂浓度/cm ⁻³	表面值为 7×10 ⁶ , 内部峰值为 1×10 ⁸
P 阱深度/μm	0.5
N-基底区掺杂浓度/cm ⁻³	8.85×10 ¹⁵
N-基底区深度/μm	10
N+源区掺杂浓度/cm ⁻³	3×10 ¹⁸
N+源区深度/μm	0.2
沟道长度/μm	0.96
栅氧层厚度/μm	0.05
JFET 区长度/μm	2.4

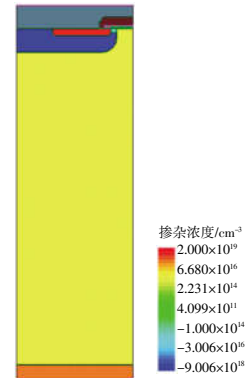


图 2 SiC MOSFET 的 TCAD 二维模型

Fig. 2 TCAD 2D model of SiC MOSFET

对器件二维模型进行静电场仿真, 以便观察其薄弱区域, 具体结果如图 3 所示。仿真条件为栅极电压 $V_g=0$, 漏源电压 $V_{ds}=700$ V。一般而言, 由于栅氧层和 SiC 的介电常数不匹配, SiC/SiO₂ 界面附近的电场会高于其他部分, 仿真结果也表明在 JFET 区及其上方的栅氧层中电场强度较高。

由图 3 可见, 体二极管部分, 即 P 阱/漂移区界面及其附近也承受了较大电场, 在边缘转折处尤为严重。因此上述 2 个区域可能是施加动态应力下的薄弱区域, 器件退化可能首先产生于 JFET 区上方的栅氧层和体二极管区域。为模拟器件退化后的情况, 本文在上述 2 个区域分别添加了不同密度的陷

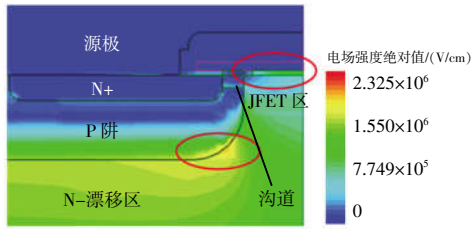


图 3 SiC MOSFET 在静态应力下的电场分布
($V_{gs}=0, V_{ds}=700\text{ V}$)

Fig. 3 Electric field distribution of SiC MOSFET under static stress ($V_{gs}=0, V_{ds}=700\text{ V}$)

阱电荷,并分别选择阈值电压 V_{th} 和体二极管正向

表 2 在 2 个区域分别添加不同浓度的陷阱后器件参数变化

Tab. 2 Changes in device parameters after adding different concentrations of trap to two regions

JFET 区栅氧层界面陷阱电荷密度/cm ⁻²	V_{th}/V	V_f/V	体二极管区陷阱电荷密度/cm ⁻²	V_{th}/V	V_f/V
0	2.50423	2.26246	0	2.50423	2.26246
5.0×10^{15}	2.50721	2.52263	5.0×10^{18}	2.50423	2.60513
1.0×10^{16}	2.50887	2.54905	1.0×10^{19}	2.50423	2.76149
1.5×10^{16}	2.51012	2.55825	1.5×10^{19}	2.50423	2.76201

2 实验平台设计及参数设定

2.1 平台拓扑设计

Dynamic-HTRB 测试可分为 2 种方式,分别为被动施压 (passively stressed) 和主动承压 (actively stressed)。被动施压方案为待测器件 DUT (device under test) 保持关断状态,漏源极承受高压脉冲源产生的高电压变化率电压脉冲;而主动承压即待测器件本身进行开关动作。为避免器件主动开关引入栅极应力,致使 SiC MOSFET 栅氧层等区域发生额外退化,本文采用被动施压方案。该方案可以通过 DUT 并联的方式同时进行多个器件的可靠性测试,有利于保证不同待测器件承受 dV_{ds}/dt 的一致性,其基本回路如图 4 所示。

图 4 主要展示了实验平台电路原理,由高压电源提供的 V_{bus} 通过半桥器件 (Q_H 和 Q_L) 的交替开关在 DUT 漏源极两端产生高电压变化率的高压脉冲,另有加热器使待测器件保持设定结温。其中,母线电容 C_{bus} 的作用是稳定母线电压,而不是类似于双脉冲测试中的储能。DUT 可以等效为阻容负载,

电压 V_f 为两者退化的表征参数,具体参数变化见表 2,可知:在 JFET 区上方的栅氧层界面产生的空穴陷阱会使阈值电压增加,且与陷阱浓度呈近乎线性的关系;而体二极管正向压降也随空穴浓度增加呈现增加趋势,但有逐渐饱和的趋势。仅在体二极管区添加陷阱电荷后, V_{th} 并未发生变化,可见阈值电压是 1 个较好的器件栅氧层退化表征参数; V_f 同样随空穴浓度的增加而增加,且有逐渐饱和的趋势,证明该参数广泛受到 SiC 各掺杂区域退化的影响,可以作为 1 个表征器件整体退化水平的参数。

器件老化或者更换不同型号器件会导致负载变化,这会影响到施加在 DUT 上的 dV_{ds}/dt , 因此半桥器件的开关速度需要与负载实时匹配,保证整个实验过程中电压变化率的一致性。

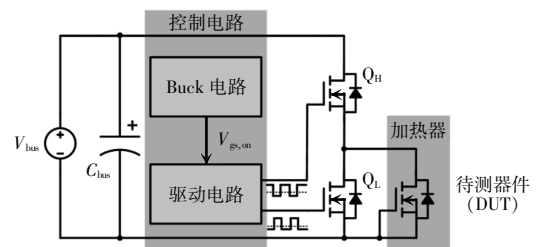


图 4 Dynamic-HTRB 测试平台原理

Fig. 4 Schematic of Dynamic-HTRB test platform

如图 5 所示, MOSFET 漏源电压在米勒平台阶段迅速变化,即 $t_1 \sim t_2$ 时间段。在 t_1 时刻后, V_{ds} 迅速下降,栅漏电容 C_{gl} 随两端电位差减小而减小,因此会夺取栅源电容 C_{gs} 的充电电流,使其停止充电,形成米勒平台,此时 V_{gs} 基本不变,数值为 V_{CP} ,即

$$V_{CP} = \frac{I_d}{g_m} + V_{th} \quad (5)$$

式中: I_d 为漏电流; g_m 为器件跨导。

该过程中栅极电流 I_g 不变,其值为

$$I_g = \frac{V_{gs} - V_{GP}}{R_g} \quad (6)$$

式中, R_g 为外接驱动电阻。

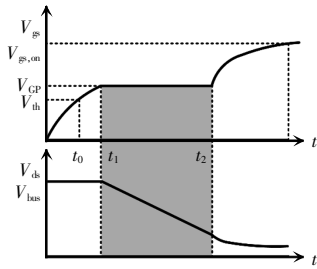


图 5 MOSFET 开通过程波形

Fig. 5 Waveforms during MOSFET turn-on process

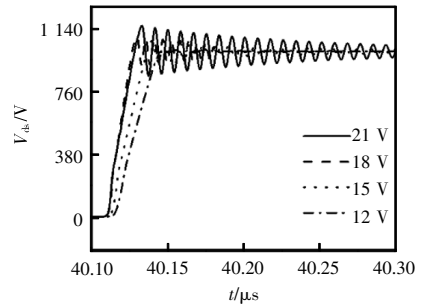
器件开通关断的本质是 C_{gs} 的充、放电,调整 I_g 大小即可调整 C_{gs} 充、放电速度,即 SiC MOSFET 的开关速率。实践中,多采用改变开通电压 $V_{gs,on}$ 或调节驱动电阻 R_g 来间接改变 I_g 的大小,进而调节电压变化率。调整 R_g 的方法简单直接,但由于电阻不是连续的数值,难以精确调整 I_g 的大小,且电阻的更换多依赖于手动替换,影响实验效率。但是,也有学者利用数字开关或小型继电器远程调节 R_g ,增大了驱动回路杂散参数,加剧了电压脉冲波形振荡。本平台采取调节开通电压的方式,一方面可以精确调节脉冲源输出电压变化率,另一方面可以通过闭环控制保持 dV_{ds}/dt 稳定。

2.2 实验平台参数仿真

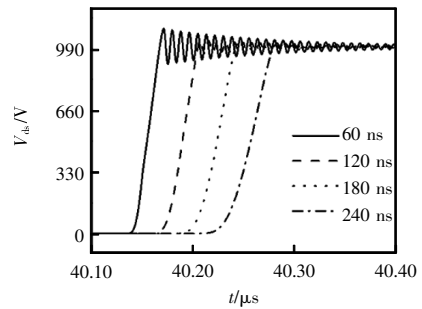
为进一步分析一些参数对测试平台工作性能的影响,本文使用 LTspice 对电路进行建模。除驱动电压外,驱动器自身性能如上升时间,也可以影响器件开关速度。此外,功率回路中的杂散电感也会较大程度上影响器件的开关波形,过大的杂散电感会产生较大的电压过冲,使平台和器件损坏的风险增高。仿真结果如图 6 所示。

如图 6(a)所示,驱动电压会明显影响电压脉冲的电压变化率,在推荐范围内($V_{gs,on} < 18\text{ V}$),驱动电压越大,则 dV_{ds}/dt 越大,这在一定程度上会使振荡加剧;当驱动电压超出推荐范围,不会增大 dV_{ds}/dt ,而会加剧波形振荡,增大了开关器件损坏的风险。如图 6(b)所示,驱动器上升时间越长,则 dV_{ds}/dt 越小,可以使开关器件和 DUT 承受的电压过冲减

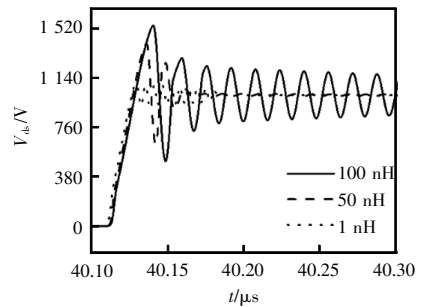
小,避免器件意外击穿,因此在实际搭建过程中需要做好上升时间和电压变化率的折衷。如图 6(c)所示,杂散电感对电压变化率的影响不大,但明显影响电压过冲及波形振荡,因此测试平台应尽可能缩短测试线,减小测试回路面积,从而减小杂散电感。



(a) 驱动电压的影响



(b) 驱动电路上升时间的影响



(c) 功率回路杂感的影响

图 6 LTspice 仿真结果

Fig. 6 Simulation results based on LTspice

2.3 实验平台搭建

根据上述分析,本文搭建了 Dynamic-HTRB 可靠性测试平台,如图 7 所示。实验平台由高压电源、低压电源、信号发生器、示波器及测试板组成。Buck 电路位于测试板上、下边缘,通过调整反馈电压实现 $V_{gs,on}$ 的调节。半桥器件采用型号为英飞凌的

IMZ 120R090M1H, 因其具有极佳的开关参数可以实现更高的 dV_{ds}/dt 。



图 7 实验平台

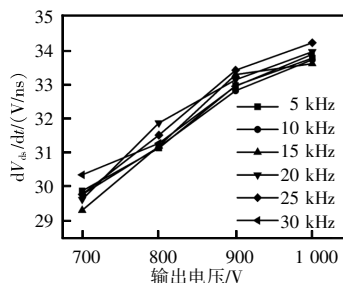
Fig. 7 Experimental platform

3 实验结果与讨论

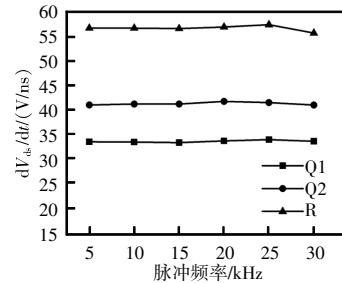
3.1 dV_{ds}/dt 负载适应性测试

在 $V_{gs,on}$ 恒定为 15 V 条件下, 本文分别研究了母线电压和脉冲频率对 dV_{ds}/dt 的影响。图 8 为 Q1 器件在不同母线电压和不同脉冲频率下承受的漏源电压变化率。由图 8(a)可知, 在同一脉冲频率下, DUT 承受的漏源电压变化率随母线电压的增加而增加; 而在同一母线电压下, 不同频率的 dV_{ds}/dt 变化不超过 1 V/ns。这是因为半桥器件的开关速度足够快且相对固定, 在 30 kHz 时可以迅速阻断母线电压, 即在一定范围内母线电压的增加会导致电压变化率先增加、后保持稳定。

在母线电压为 1 kV 条件下改变脉冲频率, 测试平台对 Q2 和阻性负载进行测试, 结果如图 8(b)所示。测试结果验证了之前的结论, 即在同一母线电压下, 不同频率的 dV_{ds}/dt 变化不大。Q2 器件承受的漏源电压变化率比 Q1 器件高的原因是 Q2 的寄生电容比 Q1 更小, 这一结论也可以被杂散电容更小的阻性负载承受的电压变化率更高证明。



(a) 不同母线电压

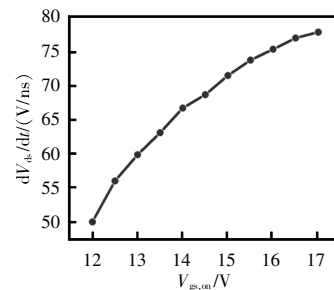


(b) 不同脉冲频率

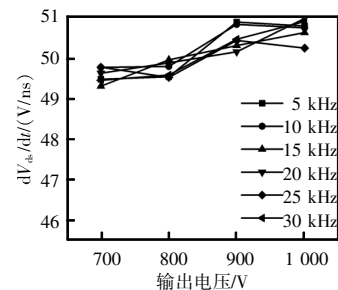
图 8 恒定 $V_{gs,on}$ 下电压变化率的变化

Fig. 8 Change in the rate of change of voltage at constant $V_{gs,on}$

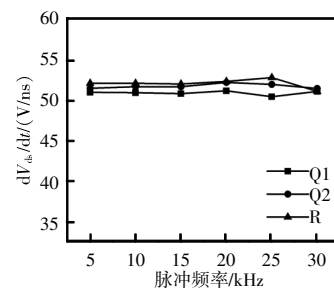
然后, 将 $V_{gs,on}$ 设置为可调状态, 在母线电压和脉冲频率固定的情况下, 电压变化率得以在较宽的范围内变化, 如图 9(a)所示。对 Q1 施加不同母线



(a) dV_{ds}/dt 随 $V_{gs,on}$ 的变化趋势



(b) 不同母线电压



(c) 不同脉冲频率

图 9 调 $V_{gs,on}$ 下电压变化率的变化

Fig. 9 Change in the rate of change of voltage under adjustable $V_{gs,on}$

电压和不同脉冲频率,所得实验结果如图 9(b)所示,可见调整 $V_{gs,on}$ 可在一定程度上减小 DUT 承受的电压变化率变化,有利于保证 dV_{ds}/dt 的一致性。在 Q2 器件及阻性负载上的实验进一步验证了调整 $V_{gs,on}$ 的可行性。实验结果显示,3 种负载承受的电压变化率均可大于 50 V/ns,且近似一致。

3.2 Dynamic-HTRB 测试结果讨论

在上述测试平台进行 Dynamic-HTRB 测试,实验条件见表 3。该实验被进行了约 1 000 h,每隔 144 h 测试 DUT 的动、静态参数,参数的变化表明被测器件发生退化现象。其中, t_{rise} 为 DUT 所承受电压脉冲的上升时间,测量区间为脉冲电压的 10%~90%。

表 3 Dynamic-HTRB 实验条件

Tab. 3 Conditions of Dynamic-HTRB test

参数	数值
V_{ds}/V	700
$V_{ds,peak}/V$	809
t_{rise}/ns	8.9
$dV_{ds}/dt/(V \cdot ns^{-1})$	78.65
$T_j/^\circ C$	85
t/h	956

如图 10 所示,在整个老化过程中,DUT 的阈值电压 V_{th} 和体二极管正向电压 V_f 发生了较为明显的变化,与仿真结果相符。 V_{th} 的变化足以表征器件栅氧层的退化,而 V_f 的变化无法明确表示器件发生了双极性退化。需要注意的是,理论上 Dynamic-HTRB 测试仅向待测器件提供正向电压应力,因此不应触发双极性退化,因为该退化原理发生于器件反向承压且流经较大电流时。然而,事实上,电压脉冲不可避免地会有反向电压尖峰,在实际工况中,器件也会经历反向恢复过程,这可能会使器件发生双极性退化。此外,在图 3 中也可以看到沟道区有一定的电场分布,因为施加 0 V 栅压可能无法使器件彻底关断。 V_f 的测量条件为栅源短接、向源极注入特定电流,得到的源漏极电压即为 V_f 。若沟道无法彻底关断,电流会分别流经体二极管和沟道-漂移区 2 个路径,这可能使栅氧层退化影响 V_f 的机理。综上所述,根据现有实验数据无法证明器件确实发生双极性退化,需要通过扫描隧道显微镜等手

段进一步确认器件漂移区是否发生堆叠层错。

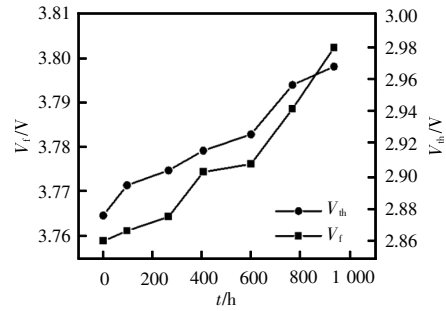


图 10 阈值电压和体二极管正向电压的变化趋势

Fig. 10 Trends of V_{th} and V_f

如图 11 所示,测试中,栅极漏电流 I_{gss} 和漏极漏电流 I_{dss} 未发生太大变化,两者均在一定范围内波动。其中,未表现出明显趋势的原因可能是器件退化程度不足,一般文献认为 I_{dss} 在器件发生明显退化时才会发生大范围变化;也可能与实验平台电流传感器精度不够有关,因为健康器件的 I_{gss} 大小在纳安级别,而退化明显的器件 I_{gss} 大小在微安级别,因此需要精度较高的电流探头进行测量。

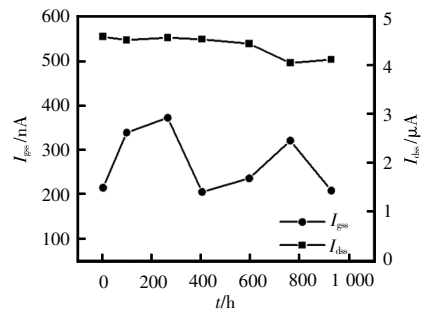


图 11 栅极漏电流和漏极漏电流的变化趋势

Fig. 11 Trends of I_{gss} and I_{dss}

动态参数变化如图 12 所示,同样未表现出明显的变化趋势。其中, t_{don} 为开通延迟时间, t_r 为开通时间, t_{doff} 为关断延迟时间, t_f 为关断时间, E_{on} 为开通损耗, E_{off} 为关断损耗。由此可以说明,面对 $V_{bus} > 0.8 V_{ds}$ 、 $dV_{ds}/dt > 50 V/ns$ 的动态漏源应力,目前的商用器件在经过长达 1 000 h 的测试后未表现出较为明显的退化现象,满足 AQG_324 关于 SiC MOSFET 的可靠性要求。一方面验证了现有器件在高电压变化率的长期动态应力下的可靠性,另一方面进行加速退化实验,需要对待测器件施加更为严苛的电热应力。

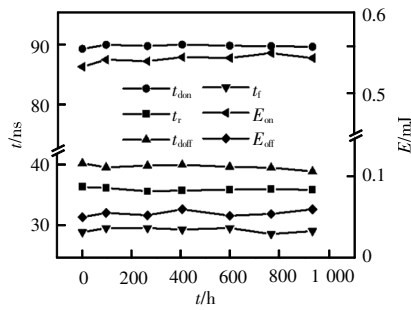


图 12 开关瞬态参数的变化趋势

Fig. 12 Trends of transient switching parameters

4 结语

本文提出了一种具有高漏源电压、高电压变化率功能的动态高温反偏测试电路,其测试参数远高于 AQG_324 标准,有利于研究 SiC MOSFET 在高漏源应力下的退化机理。减小了 $V_{gs,on}$ 的调节难度,方便调整待测器件承受的漏源电压变化率。同时,对商用 SiC MOSFET 进行了 Dynamic-HTRB 测试,通过 V_{th} 、 V_f 等参数的变化表征了器件的退化情况。此外,本文结合仿真和实验结果对器件在动态应力下的退化做出了可行的解释。

参考文献:

- [1] Sobe K, Basler T, Klobucar B. Characterization of the parasitic turn-on behavior of discrete CoolSiC™ MOSFETs [C]// PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg, Germany, 2019: 1-7.
- [2] Ishigaki T, Murata T, Kinoshita K, et al. Analysis of degradation phenomena in bipolar degradation screening process for SiC-MOSFETs [C]// 2019 31st International Symposium on Power Semiconductor Devices and ICs. Shanghai, China, 2019: 259-262.
- [3] Tomita R, Ueda S, Kawada T, et al. Analysis of dependence of breakdown voltage on gate-drain distance in AlGaIn/GaN HEMTs with high-k passivation layer [J]. IEEE Transactions on Electron Devices, 2021, 68(4): 1550-1556.
- [4] Lelis A J, Habersat D, Green R, et al. Time dependence of bias-stress-induced SiC MOSFET threshold-voltage insta-

bility measurements [J]. IEEE Transactions on Electron Devices, 2008, 55(8): 1835-1840.

- [5] Zhong Xiaohan, Jiang Huaping, Qiu Guanqun, et al. Bias temperature instability of silicon carbide power MOSFET under AC gate stresses [J]. IEEE Transactions on Power Electronics, 2022, 37(2): 1998-2008.
- [6] Zhong Xiaohan, Jiang Huaping, Tang Lei, et al. Gate stress polarity dependence of AC bias temperature instability in silicon carbide MOSFETs [J]. IEEE Transactions on Electron Devices, 2022, 69(6): 3328-3333.
- [7] Orti Gonzalez J, Alatisse O. Impact of BTI-Induced threshold voltage shifts in shoot-through currents from crosstalk in SiC MOSFETs [J]. IEEE Transactions on Power Electronics, 2021, 36(3): 3279-3291.
- [8] 陈宏, 白云, 陈喜明, 等. 3 300 V SiC MOSFET 栅氧可靠性研究[J]. 电源学报, 2020, 18(4): 10-14.
Chen Hong, Bai Yun, Chen Ximing, et al. Investigation on the reliability of gate oxide in 3 300 V SiC MOSFET [J]. Journal of Power Supply, 2020, 18(4): 10-14 (in Chinese).
- [9] 杜泽晨. 高温可靠性试验对 SiC MOSFET 特性参数的影响[D]. 北京: 华北电力大学, 2021.
Du Zechen. The influence of high temperature reliability experiments on the characteristic parameters of SiC MOSFET [D]. Beijing: North China Electric Power University, 2021 (in Chinese).
- [10] 张子扬, 梁琳, 尚海, 等. 高温栅偏和电子辐照对 SiC MOSFET 阈值电压影响研究[J/OL]. 电源学报: 1-10. (2022-07-05) [2024-01-31] https://kns.cnki.net/kcms2/article/abstract?v=0Vs2Vpqj5we-UrDh47jBHDluQhCa1vfZWEezpLBwPjrQ1PHSroH6xvj5Vg8SwdQa_Nf9vUMe3Wwzu0VBqLAMJnGpds0L9hCvNQM5mwtNSgXtVH0cozAUjWzws78VfHQSP0H3tk2h4=&uniplatform=NZKPT&language=CHS
Zhang Ziyang, Liang Lin, Shang Hai, et al. Study on the influence of high temperature gate bias and electron irradiation on threshold voltage of SiC MOSFET [J/OL]. Journal of Power Supply: 1-10. (2022-07-05) [2024-01-31] https://kns.cnki.net/kcms2/article/abstract?v=0Vs2Vpqj5we-UrDh47jBHDluQhCa1vfZWEezpLBwPjrQ1PHSroH6xvj5Vg8SwdQa_Nf9vUMe3Wwzu0VBqLAMJnGpds0L9hCvNQM5mwtNSgXtVH0cozAUjWzws78VfHQSP0H3tk2h4=&uniplatform=NZKPT&language=CHS (in Chinese).
- [11] 刘建君, 陈宏, 丁杰钦, 等. SiC MOSFET 高温栅氧可靠

- 性研究[J]. 电源学报, 2024, 22(1): 147-152.
- Liu Jianjun, Chen Hong, Ding Jieqin, et al. Investigation on reliability of high-temperature gate oxide in SiC MOSFET [J]. Journal of Power Supply, 2024, 22(1): 147-152 (in Chinese).
- [12] Huiskamp T, van Oorschot J J, Pereira M T, et al. Ozone generation with a flexible solid-state marx generator [C]// 2018 IEEE International Power Modulator and High Voltage Conference (IPMHVC). Jackson, WY, USA, 2018: 147-150.
- [13] Huiskamp T. Nanosecond pulsed streamer discharges Part I: Generation, source-plasma interaction and energy-efficiency optimization [J]. Plasma Sources Science and Technology, 2020, 29(2): 023002.
- [14] Wang Limin, Zhang Zhengquan, Liu Qingxiang, et al. Development of a 500-kV all solid-state linear transformer driver [J]. IEEE Transactions on Plasma Science, 2021, 49(6): 1915-1919.
- [15] Kim A A, Mazarakis M G. The story of the LTD development [J]. IEEE Transactions on Plasma Science, 2020, 48(4): 749-756.
- [16] Jiang Weihua, Sugiyama H, Tokuchi A. Pulsed power generation by solid-state LTD [J]. IEEE Transactions on Plasma Science, 2014, 42(11): 3603-3608.
- [17] Wu Qilin, Cui Yancheng, Gao Jingming, et al. A high-voltage pulse generator based on PFN and varistors [J]. IEEE Transactions on Plasma Science, 2019, 47(1): 512-517.
- [18] Fairbanks A J, Crawford T D, Vaughan M E, et al. Simulated and measured output from a composite nonlinear transmission line driven by a blumlein pulse generator [J]. IEEE Transactions on Plasma Science, 2021, 49(11): 3383-3391.
- [19] Zhuang Longyu, Yang Junxiang, Sugai T, et al. Solid-state pulsed power generator based on blumlein PFN using saturable pulse transformer [J]. IEEE Transactions on Plasma Science, 2021, 49(10): 3189-3192.
- [20] Su Jiancang, Li Rui, Zhao Liang, et al. Theoretical investigation on matching multistage circular pulse-forming line to transmission line [J]. IEEE Transactions on Plasma Science, 2018, 46(10): 3408-3416.
- [21] Kang Jianlong, Zhu Ankang, Chen Yu, et al. An online gate oxide degradation monitoring method for SiC MOSFETs with contactless PCB rogowski coil approach [J]. IEEE Transactions on Power Electronics, 2023, 38(8): 9673-9684.
- [22] Konishi K, Fujita R, Shima A, et al. Modeling of stacking fault expansion velocity of body diode in 4H-SiC MOSFET [J]. Materials Science Forum, 2017, 897: 214-217.
- [23] Li Huan, Wang Jue, Ren Na, et al. Investigation of 1 200 V SiC MOSFETs' surge reliability [J]. Micromachines, 2019, 10(7): 485.



左璐巍

作者简介:

左璐巍(1999-),男,硕士研究生。研究方向:功率半导体器件可靠性。E-mail: 202121401044@stu.hebut.edu.cn。

辛振(1988-),男,中国电源学会高级会员,通信作者,博士,教授。研究方向:基于 WBG 的电力电子系统的状态监测、电力电子元件失效机制的建模与验证,以及可再生能源系统中电力转换器的建模与控制。E-mail:xzh@hebut.edu.cn。

蒙慧(1998-),男,中国电源学会学生会员,硕士研究生。研究方向:功率半导体器件可靠性和器件结温检测。E-mail:mh19980924@163.com。

周泽(1996-),男,博士研究生。研究方向:功率器件的状态监测与可靠性评估。E-mail:202111401009@stu.hebut.edu.cn。

余彬(1989-),男,中国电源学会会员,博士。研究方向:固态配电技术、功率半导体器件可靠性与应用。E-mail:yubinee@zju.edu.cn。

罗皓泽(1986-),男,中国电源学会会员,博士。研究方向:功率半导体器件技术与应用研究,包括功率半导体器件的应用特性分析、功率半导体器件的可靠性研究、功率半导体器件的封装与工艺开发等。E-mail:haozeluo@zju.edu.cn。