

文章编号: 2097-1974(2025)06-0100-07

DOI: 10.7654/j.issn.2097-1974.20250615

# EEPROM 存储器动态老化试验技术研究及应用

李 决<sup>1</sup>, 张文杰<sup>1</sup>, 石 帅<sup>2</sup>, 任建波<sup>1</sup>, 郭焕焕<sup>1</sup>

(1. 中国运载火箭技术研究院物资中心, 北京, 100076; 2. 中国运载火箭技术研究院, 北京, 100076)

**摘要:** 带电可擦可编程只读存储器 (Electrically Erasable Programmable Read-Only Memory, EEPROM) 作为航空航天、汽车电子、工业控制等关键系统的核心非易失性存储器件, 其长期可靠性直接关乎设备数据安全。传统静态老化技术仅利用高温与偏置电压加速失效, 难以模拟实际动态工作状态下的电应力损伤, 故障覆盖率有限。动态老化技术通过模拟真实工作负载, 可有效激活早期失效, 提升器件使用可靠性。以XX28C010器件为研究对象, 先阐述动静态老化技术原理、器件工作原理及图形算法, 随后介绍动态老化测试系统的架构、测试算法及硬件设计, 最后分析试验结果, 为EEPROM动态老化技术研究提供参考。

**关键词:** EEPROM; 图形算法; 可靠性; 动态老化; 静态老化

**中图分类号:** TN406; V19

**文献标识码:** A

## Research and Application of Dynamic Burn in Test Technology for EEPROM Memory

LI Yang<sup>1</sup>, ZHANG Wenjie<sup>1</sup>, SHI Shuai<sup>2</sup>, REN Jianbo<sup>1</sup>, GUO Huanhuan<sup>1</sup>

(1. Material Center of China Academy of Launch Vehicle Technology, Beijing, 100076;

2. China Academy of Launch Vehicle Technology, Beijing, 100076)

**Abstract:** EEPROM as a core non-volatile memory device in critical systems such as aerospace, automotive electronics, and industrial control, its long-term reliability is directly related to the data security of the equipment. Traditional static burn-in (BI) technology only use high temperature and bias voltage to accelerate failure, which is difficult to simulate the electrical stress damage under the actual dynamic working state, and the fault coverage is limited. Dynamic BI technology can effectively activate early failures by simulating real workloads, thereby improving the reliability of the device. XX28C010 device is taken as the research object. Firstly, the working principles of dynamic and static BI, device working principles and graphic algorithm are introduced, then the system architecture, test algorithm program and hardware design are introduced, and finally the test results are analyzed, which provide a reference for the research on dynamic BI technology of EEPROM.

**Keywords:** electrically erasable programmable read-only memory; graphic algorithms; reliability; dynamic BI; static BI

## 0 引言

存储器是数字集成电路的一种, 广泛应用于信息通信、汽车/工业电子、军事航天等高可靠性领域<sup>[1-3]</sup>。在现代电子系统中, 带电可擦可编程只读存储器 (Electrically Erasable Programmable Read-Only Memory, EEPROM) 作为非易失存储的核心器件, 直接影响系统的生命周期与任务完成度<sup>[4]</sup>。然而, 由于器件在制造过程中因材料缺陷、工艺波动等因素引入的潜在失效机制, 如浮栅-氧化层薄弱、存储单元阈值漂

移等, 在常规测试中往往难以暴露, 需通过老化试验加速其失效进程<sup>[5-6]</sup>。

国内外的相关研究中, 针对各类元器件或器件的静态老化技术已形成成熟的标准, 但其仅施加恒定偏置电压与温度应力, 无法模拟动态负载导致的失效模式。随着集成电路技术的不断发展, 动态老化技术近年来逐渐受到关注, 如某团队针对FPGA器件设计了动态老化测试系统, 实现了真实模拟器件运行状态并进行早期缺陷暴露的功能<sup>[7]</sup>, 其他团队

提出了一种 DSP 器件动态老化系统的设计与实现方法<sup>[8]</sup>。

尽管近年来已有部分类别器件动态老化的相关研究，但针对 EEPROM 存储器的动态老化研究较少，本文针对 EEPROM 的动态老化技术进行研究，旨在解决此类器件无法进行动态老化试验的问题，为此类存储器的老化筛选技术提供参考。

### 1 关键技术工作原理

#### 1.1 老化技术原理

老化试验主要是指对器件施加外部应力与内部应力的过程，外部应力是指给器件施加高温环境应力，使其在额定或高于工作环境应力条件下加速器件材料老化。内部应力是指在老化过程中给器件输入向量，使器件处于工作状态，对于存储器而言就是使其在老化试验中实现存储单元数值（0 和 1）翻转来加速潜在缺陷的暴露<sup>[9]</sup>。

按照应力施加的方式，严格意义上可分为静态老化（Static BI）、动态老化（Dyanmic BI）与含测试老化（Test During BI）<sup>[10]</sup>。静态老化是指给器件持续施加一定时间的高温与直流偏置电压，该过程器件只接通电源电压，器件处于非运行状态；动态老化是指在静态老化基础上给器件施加输入信号，激活器件使其处于工作状态，从而达成更多的失效机制，剔除更多的早期失效器件；含测试老化是指将功能测试与老化过程结合，在器件施加向量后对器件的输出进行功能测试和功耗监控。

在实际试验中，动态老化需要设计功能测试算法，以便于在老化过程中识别故障单元，尽早剔除或隔离故障器件，提高检测效率。本文中的动态老化方案同样包括功能测试，因此分类上属于含测试动态老化，为方便表述，后文中动态老化均指含测试动态老化。

#### 1.2 XX28C010 器件工作原理

本文的研究对象 XX28C010 存储器属于单片电路，功能结构如图 1 所示。器件由 5 V 单电源供电，快速存储时间为 120 ns，存储器容量为 1 MB，存储空间分为 1 024 页，每页 128 个字节，每个字节由 8 位组成。该器件有 17 个地址输入端，8 个数据端。其中，地址信号 A0-A6 对应 X 译码器，A7-A16 对应 Y 译码器，当执行一个写操作时，根据 X、Y 译码器找寻正确的存储单元地址，将缓存器中的数据写入存储单元，读操作相反。其中，标识位用于器件的识别和跟

踪，可以将多个器件联结在一起，扩容成一个大的存储阵列。该器件的有效擦写次数在 10<sup>4</sup> 到 10<sup>5</sup> 之间，数据可保持 10 年以上，广泛用于系统掉电后的数据存储。

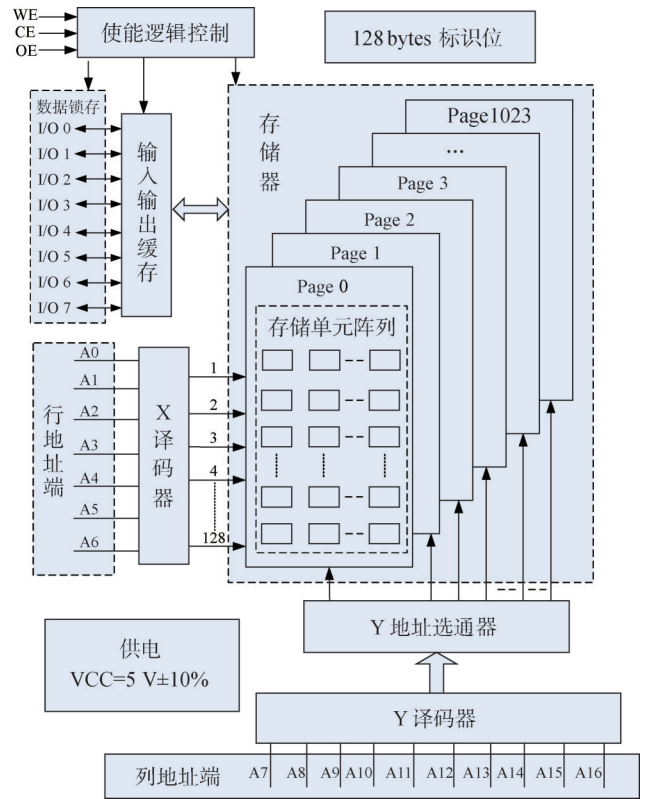


图1 XX28C010 结构功能示意

Fig.1 Diagram of XX28C010 function and structure

#### 1.3 图形算法

存储器故障一般都是物理故障，物理故障无法直接进行测试和诊断，解决方法是将实际存在的存储单元故障映射为逻辑故障，通过检测逻辑故障来判断故障的发生部位。存储阵列故障是由存储器内部存储单元引起的故障，主要包含：固定故障（Stuck-At Fault, SAF）、状态转换故障（Transition Fault, TF）、耦合故障（Coupling Fault, CF）、图形敏感故障（Pattern Sensitive Fault, PSF）、寻址故障（Address decoder Fault, AF）<sup>[11]</sup>。

存储器故障的成因复杂多样，常规的读写操作难以全面覆盖各类故障模式，因此需构建动态老化试验图形算法。该算法通过对 EEPROM 的每个存储单元执行一系列读、写、擦除等操作，针对存储器故障的具体特征设计相应的试验图形，以有效覆盖潜在故障，力求在最短周期内实现多种故障类型的全面检测。目前常用的试验图形算法包括：扫描算法、跳步

算法、走步算法、棋盘格算法以及 March 类算法等<sup>[12]</sup>。

表1对比了上述算法的故障覆盖率、操作数和复杂程度，表2展示了基于内存大小和操作数<sup>[13]</sup>完成存储器测试所需的时间。由此可知，扫描算法和棋盘格算法的操作数少，试验时间短，但能够检测的故障类型有限，测试覆盖率不足；跳步算法和走步算法对于检测特定的CF较为有效，但测试时间过长。March类算法相对于其他算法，可以有效检测各类故障，能

够有效激活与浮栅电荷泄漏、时序违规、阈值电压漂移等相关的缺陷，其有序的遍历方式有助于加速暴露栅氧化层中的潜在缺陷<sup>[14]</sup>；试验时间与存储容量呈线性关系，在测试覆盖率和时间效率之间取得了良好的平衡，且March类算法变体较多<sup>[15]</sup>，可根据器件特性和缺陷类型作具体的设计与调整。

综合器件特性、任务要求以及老化试验特点，本文基于改进March算法来实现动态老化测试，详见2.2节。

表1 试验算法及检测特性

Tab.1 Test algorithms and detection characteristics

算法功能	SAF	TF	CF	PSF	AF	操作数	复杂程度	基础故障覆盖率
扫描算法	√	√	√	—	—	4N	简单	60%
跳步算法	√	√	√	—	√	N <sup>2</sup>	一般	80%
走步算法	√	√	√	—	√	N <sup>2</sup>	一般	80%
棋盘格算法	√	√	—	√	—	4N	一般	60%
March类算法	√	√	√	√	√	4~20N	复杂	100%

注：N为操作数基数，实际代表存储器的存储单元数。不同的算法所需操作数不同，反映了算法复杂度。以上故障覆盖率针对基础故障类别进行统计，由算法覆盖故障类型与表中所列故障类型进行计算。

表2 测试时间

Tab.2 Test time

容量	不同操作数所需测试时间			
	N	MlogN	N <sup>3/2</sup>	N <sup>2</sup>
1 KB	0.000 1 s	0.001 s	0.003 3 s	0.105 s
16 KB	0.000 16 s	0.022 4 s	0.21 s	27 s
64 KB	0.006 4 s	0.1 s	1.678 s	7.17 min
256 KB	0.025 6 s	0.46 s	13.4 s	1.9 h
1 MB	0.102 s	2.04 s	1.83 min	1.27 d
16 MB	1.64 s	39.36 s	1.9 h	326 d
64 MB	6.56 s	2.843 min	15.25 h	14.3 y
256 MB	26.24 s	12.25 min	5.1 d	229 y
1 GB	1.75 min	52.48 min	40.8 d	365 9 y

注：表中s、min、h、d、y分别代表秒、分、时、天、年。

## 2 动态老化方案

### 2.1 动态老化系统架构

本文采用某集成电路高温动态老化测试系统，主要由工控计算机、控制系统、电源模块、IO模块、温箱与老化板等组成，如图2所示。该老化测试系统能够满足多种类型集成电路的动态老化需求，测试温度最高可达150℃，每个温箱最多可配置12个驱动板，具有12MB矢量存储能力，矢量深度可以达到32MB，可以覆盖不同类型器件的老化测试。

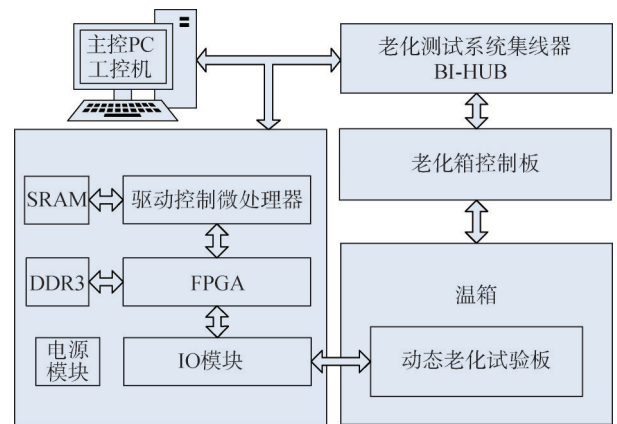


图2 动态老化系统架构

Fig.2 Diagram of dynamic BI

具体工作流程如下：

- 工控计算机将任务指令信息发送到BI-HUB（老化测试系统）；
- BI-HUB接收任务信息，驱动控制微处理器和老化箱控制板进行工作；
- 驱动控制器控制FPGA，生成测试图形信号，电源模块根据指令生成电平信号，配置到驱动控制微处理器；
- FPGA通过金手指将信号发送到动态老化试验板，进行存储器动态高温老化测试。

实现动态老化试验包括IO接口分配与定义、动态测试图形算法程序开发、温度控制算法程序设计、老化板开发、试验结果分析与总结等环节。

### 2.2 测试算法设计

由1.3节可知，为了提高测试覆盖率，本文将采用改进March算法。首先根据器件工作特性建立如下的March模型，其中1和0代表高电平和低电平，W代表写入，R代表读出，↑代表地址升序，↓代表地址降序：

- M0 (ALL W1 R1);
- M1 (ALL W0 R0);
- M2 ↑ (W1 R1);
- M3 ↓ (W1 R1);

- M4 ↑ (W0 R0);
- M5 ↓ (W0 R0)。

本文的动态老化March算法流程设计为：M0→M1→M2→M5→M3→M4→M0→M4→M3→M1→M2→M5→M0，如图3所示。每次写、读操作后与预设的阈值进行对比，相同则进行下一步，相异则输出地址信息。

将算法流程编辑为BASIC编程语言，即可使用2.1节中的动态老化系统对程序进行测试。通过不断循环上述算法流程即可在规定的老化时间内不断进行存储单元的翻转及功能测试，实现全存储单元的动态老化测试。

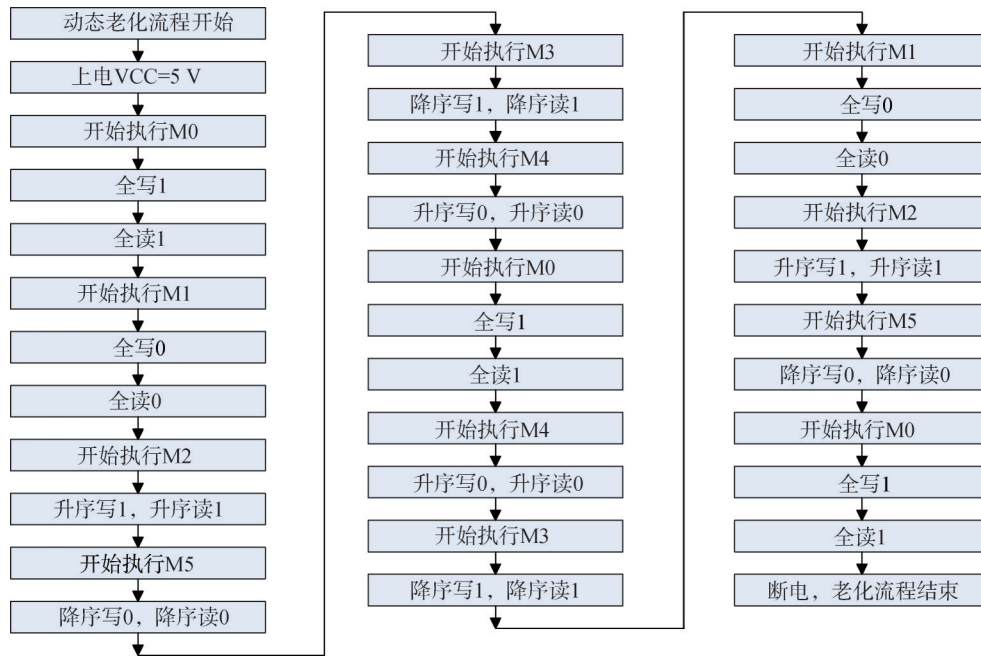


图3 动态老化March算法流程

Fig.3 Flow chart of dynamic BI March algorithm

a) M0→M1: 上电后将所有存储单元初始化为1，然后将所有单元从1翻转为0，检测是否有单元存在SAF和TF。

b) M2→M5: M2在低地址区域首先施加电应力，并检测是否存在CF，同时可以检测是否存在AF。M5立即对刚被M2写过的单元（高地址区域）进行反向操作，在极短时间内产生剧烈电压翻转和电流应力，极易激活晶体管阈值电压漂移等缺陷。M2和M5的组合实现了对每个单元的“0→1→0”强应力翻转操作。

c) M3→M4: 与M2→M5类似，实现了另一个

方向的“0→1→0”操作。

d) M0→M4→M3: M0再次将所有存储单元初始化为1，同时验证器件经过前面一系列操作后是否还能正确写1。M4→M3构成了一个“1→0→1”反向翻转应力序列。

e) M1→M2→M5: M1再次执行全阵列写0，验证器件经过前面一系列操作后是否还能正确写0，重复第二次“0→1→0”强应力翻转操作。

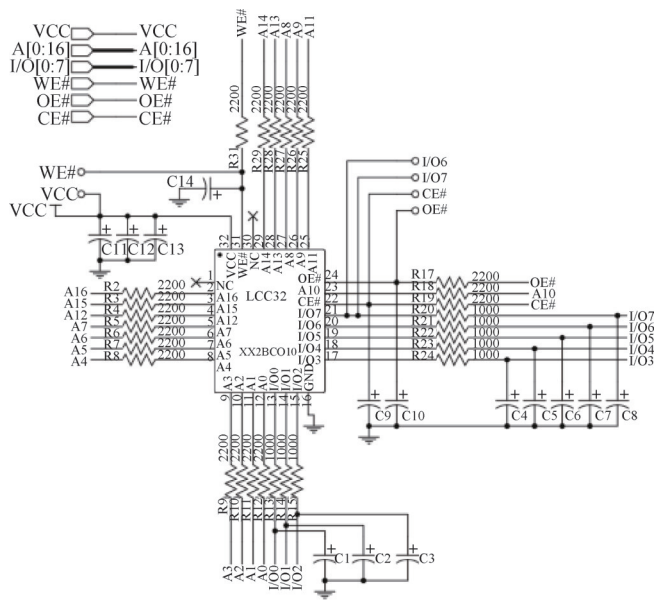
f) M0: 对器件进行擦除操作。

在执行完所有流程后可以检测出PSF。

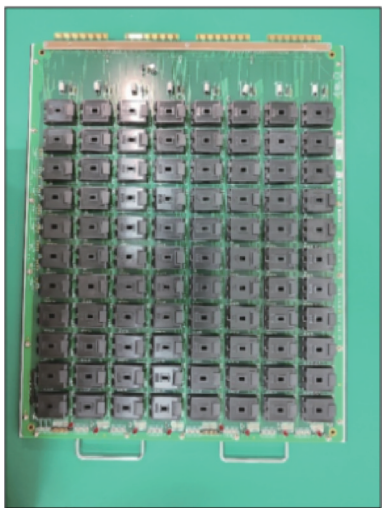
### 2.3 老化板硬件设计

根据 1.2 节中的器件特性，对老化板硬件进行设计，单器件动态老化原理如图 4a 所示，老化板实物如图 4b 所示。

由图 4a 可知，器件的地址端 A0~A16，控制端 WE、OE、CE 连接了 220 Ω 的电阻，数据端采用了 100 Ω 的负载，满足动态老化试验要求。其中，VCC、WE、OE、CE、I/O0~I/O7 引出测试端口，供控制、监控和测试。



a) 单器件动态老化原理



b) 老化板实物

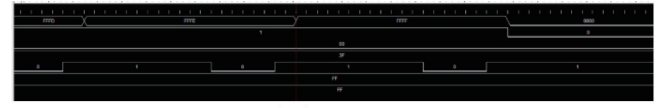
图4 单器件动态老化原理图及老化板

Fig.4 Single chip dynamic BI schematic diagram and BI board

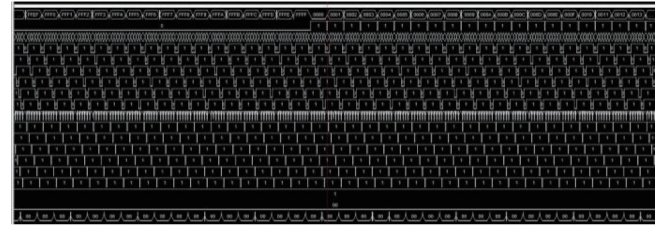
### 3 试验结果

#### 3.1 程序运行结果

基于 2.1 节的高温动态老化测试系统与 2.3 节的老化板与 2.2 节的老化算法程序进行联调，部分波形测试结果如图 5、图 6 所示。



a) 全地址写1



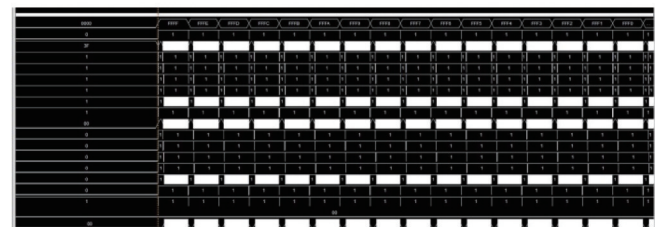
b) 全地址读1

图5 全地址写1、读1波形图

Fig.5 Full address write 1 and read 1 waveform diagram



a) 全地址升序写0, 升序读0



b) 全地址降序写0, 降序读0

图6 全地址升序、降序写0、读0波形图

Fig.6 Full address waveform diagram of ascending write 0 read 0 and descending write 0 read 0

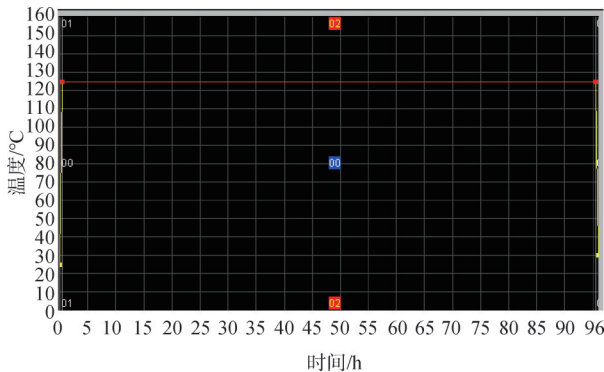
由图 6 的试验结果可知，XX28C010 存储器的测试实现全地址覆盖，及全写 1、全读 1 及升/降序写 0、升/降序读 0 等核心功能。在动态老化试验中，通过引入图形化算法，借助高频次（尤其快速反向）的位翻转高效施加电应力，并结合高温环境加速存储器老化进程，不仅能有效激活与电荷隧穿、阈值电压漂移及

时序恢复相关的潜在缺陷，还可同步检测故障模式，显著提升其可靠性评估的全面性。

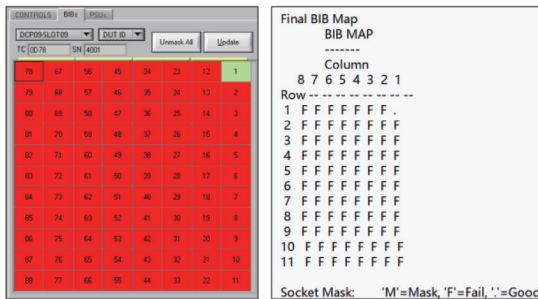
### 3.2 器件性能评估结果

为评估前述设计方案的老化效果，本文选取一只老化前电性能测试合格的器件置于老化板第1行第1列，即编号为1的工位上进行老化测试。在  $T_a=125\text{ }^\circ\text{C}$ ， $VCC=5\text{ V}$ ， $t=96\text{ h}$ 的应力环境下对器件进行供电和动态老化测试。图7a为温箱的温度控制曲线，集成电路高温动态老化测试系统按照该曲线执行温度控制任务。

图7b为基于2.2节设计的算法程序，在动态老化试验过程中实时测试并判定器件状态的上位机运行界面。试验进行时，系统会采集器件的电压、电流及功能比对结果，全程未出现参数偏离和功能异常的情况。图7c为试验结束后，上位机软件自动生成的运行结果报告界面，可以看出器件经过完整老化试验后仍被判断为“Good”，且老化后电性能测试合格。这一结果不仅证明器件通过老化测试，而且证明本方案在可靠性验证方面的有效性。



a) 温度控制曲线



b) 中间过程判定结果

c) 运行结束后报告

图7 温控曲线及上位机实际运行结果

Fig.7 Temperature control curve and actual operation result of PC

## 4 结束语

动态老化是一种有效的可靠性筛选手段，可快速

暴露器件内部缺陷、剔除早期失效器件，显著提升故障覆盖率。本文以XX28C010器件为研究对象，构建了EEPROM存储器动态老化试验技术路线：通过改进March算法、优化硬件设计，依托集成电路高温动态老化测试系统，在设定时间内实现了该器件的全容量动态老化测试。与传统的静态老化技术相比，本方案能够覆盖器件内部译码器、使能控制逻辑及数据端口的故障检测，在可接受的测试时间内实现了故障覆盖率的显著提升。该成果可为航空航天、汽车电子等领域高可靠性EEPROM的质量控制提供技术支撑，也为其他类型存储器动态老化试验提供了参考。

本文局限在于仅针对XX28C010单一型号EEPROM，未建立老化程度与长期可靠性的量化关联模型；后续可拓展至不同类型的存储器，并建立老化失效预测模型，实现可靠性评估升级。

### 参 考 文 献

[1] YU S. Semiconductor memory devices and circuits[M]. Boca Raton: CRC Press, 2022.

[2] 石伟, 汪东升. 基于非易失存储器的事务存储系统综述[J]. 计算机研究与发展, 2016, 53(2): 399-415.

SHI Wei, WANG Dongsheng. Survey on transactional storage systems based on non-volatile memory[J]. Journal of Computer Research and Development, 2016, 53(2): 399-415.

[3] RABAEY J M, CHANDRAKASAN A P, NIKOLIĆ, et al. Digital integrated circuits: a design perspective[M]. New York: Prentice Hall, 2003.

[4] DAGA J M, PAPAIX C, MERANDAT M, et al. Design techniques for EEPROMs embedded in portable systems on chips[J]. Design & Test of Computers IEEE, 2008, 20(1): 68-75.

[5] 张乔木, 张延伟, 祝名, 等. 非易失性存储器宇航应用的问题与思考[J]. 质量与可靠性, 2020(2): 26-30.

ZHANG Qiaomu, ZHANG Yanwei, ZHU Ming, et al. Problems and considerations on non-volatile memory in aerospace[J]. Quality and Reliability, 2020(2): 26-30.

[6] 郝思萍, 崔诗瑶. 高可靠集成电路典型失效模式类型与原因分析[J]. 微处理机, 2022(4): 34-37.

HAO Siping, CUI Shiyao. Typical failure mode types and cause analysis of high reliability integrated circuits[J]. Microprocessors, 2022(4): 34-37.

[7] GAO C, LIU H, WANG X, et al. Configuration circuit design for burn-in test of clb based on structure[C]. Beijing: 2015 Prognostics and System Health Management Conference (PHM), 2015.

- [8] 王涛, 钱昀莹, 韦凯, 等. DSP芯片动态老炼系统设计与实现[J]. 电子设计工程, 2024, 32(1): 15-18+23.  
WANG Tao, QIAN Yunying, WEI Kai, et al. Design and implementation of dynamic burn-in system for DSP chips[J]. Electronic Design Engineering, 2024, 32(1): 15-18+23.
- [9] ANGIONE F, APPELLO D, BERNARDI P, et al. A low-cost burn-in tester architecture to supply effective electrical stress[J]. Computers, IEEE Trans. on (T-C), 2023, 72(5): 13.
- [10] NG Y H, LOW Y H, DEMIDENKO S. Improving efficiency of IC burn-in testing[C]. Victoria: 2008 IEEE Instrumentation and Measurement Technology Conference, 2008.
- [11] AL-HARBI S M, NOOR F, AL-TURJMAN F M. March DSS: a new diagnostic march test for all memory simple static faults[J]. IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, 2007, 26(9): 1713-1720.
- [12] LINDER M, EDER A, OBERLANDER K, et al. Variations of fault manifestation during burn-in, a case study on industrial SRAM test results[C]. Athens: 2011 IEEE 17th International Online Testing Symposium, 2011.
- [13] JIDIN A Z, HUSSIN R, FOOK L W, et al. A review paper on memory fault models and test algorithms[J]. Bulletin of Electrical Engineering and Informatics, 2021, 10(6): 3083-3093.
- [14] MARINESCU M. Simple and efficient algorithms for functional RAM testing[C]. New York: 1982 International Test Conference, 1982.
- [15] 林刘涛. 基于SRAM的存储器测试算法的设计[D]. 西安: 西安科技大学, 2020.  
LIN Liutao. The design of memory test algorithm based on SRAM [D]. Xi'an: Xi'an University of Science And Technology, 2020.

### 作者简介

李 泐 (1991—), 男, 高级工程师, 主要研究方向为元器件质量保证技术。

张文杰 (1999—), 男, 助理工程师, 主要研究方向为元器件质量保证技术。

石 帅 (1994—), 男, 工程师, 主要研究方向为元器件质量保证技术。

任建波 (1991—), 男, 工程师, 主要研究方向为元器件质量保证技术。

郭焕焕 (1999—), 女, 工程师, 主要研究方向为元器件质量保证技术。